

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6081850号
(P6081850)

(45) 発行日 平成29年2月15日 (2017.2.15)

(24) 登録日 平成29年1月27日 (2017.1.27)

(51) Int.Cl.

G 1 1 C 11/405 (2006.01)

F I

G 1 1 C 11/34 3 5 2 B

請求項の数 5 (全 36 頁)

(21) 出願番号 特願2013-80140 (P2013-80140)
(22) 出願日 平成25年4月8日 (2013.4.8)
(65) 公開番号 特開2013-235644 (P2013-235644A)
(43) 公開日 平成25年11月21日 (2013.11.21)
審査請求日 平成28年3月30日 (2016.3.30)
(31) 優先権主張番号 特願2012-90887 (P2012-90887)
(32) 優先日 平成24年4月12日 (2012.4.12)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山本 朗央
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 記憶回路

(57) 【特許請求の範囲】

【請求項1】

トランジスタと、容量部と、を有する記憶回路であって、
第1のデータを前記容量部及び前記トランジスタのゲート容量に保持する機能を有し、
第2のデータを前記容量部と前記トランジスタのゲート容量とのうち前記トランジスタ
のゲート容量にのみ保持する機能を有し、
前記トランジスタを用いて前記第1のデータまたは前記第2のデータを読み出す機能を
有する記憶回路。

【請求項2】

トランジスタと、容量部と、第1のスイッチと、を有する記憶回路であって、
前記容量部は、前記第1のスイッチを介して前記トランジスタのゲート電極と電氣的に
接続され、
前記第1のスイッチがオン状態のときに、第1のデータを前記容量部及び前記トランジ
スタのゲート容量に保持する機能を有し、
前記第1のスイッチがオフ状態のときに、第2のデータを前記トランジスタのゲート容
量に保持する機能を有し、
前記トランジスタを用いて前記第1のデータまたは前記第2のデータを読み出す機能を
有する記憶回路。

【請求項3】

トランジスタと、容量部と、第1のスイッチと、第2のスイッチと、を有する記憶回路

10

20

であって、

前記容量部は、前記第 1 のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、

前記第 1 のスイッチがオン状態のときに、第 1 のデータを前記容量部及び前記トランジスタのゲート容量に保持する機能を有し、

前記第 1 のスイッチがオフ状態のときに、第 2 のデータを前記トランジスタのゲート容量に保持する機能を有し、

前記第 1 のデータは、前記第 2 のスイッチを介して前記容量部及び前記トランジスタのゲート容量に書き込まれ、

前記第 2 のデータは、前記第 2 のスイッチを介して前記トランジスタのゲート容量に書き込まれ、

前記トランジスタを用いて前記第 1 のデータまたは前記第 2 のデータを読み出す機能を有する記憶回路。

【請求項 4】

請求項 3 において、

前記第 2 のスイッチが有するトランジスタは、チャネル形成領域に酸化物半導体を含む記憶回路。

【請求項 5】

請求項 3 または請求項 4 において、

前記第 1 のスイッチが有するトランジスタは、チャネル形成領域に酸化物半導体を含む記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

記憶回路に関する。記憶回路を用いた記憶装置及び電子機器に関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリなどの記憶装置に用いる様々な記憶回路が知られている。

【0003】

特許文献 1 には、酸化物半導体を用いたトランジスタを利用した記憶装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2011 - 171702 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

記憶回路には、用途によって、データを長期間保持することが求められる場合と、データを高速で書き込むことが求められる場合とがある。

【0006】

記憶回路がデータを長期間保持できれば、リフレッシュ動作の頻度を低く（又はリフレッシュ動作を不要に）できるため、消費電力を低減することができる。また、電力が供給されない状況でも、データを長期間保持できれば、さらなる消費電力の低減を実現できる。

【0007】

また、データを高速で書き込むことができれば、記憶回路の高速動作を実現できる。

【0008】

本発明の一態様は、高速動作が可能で、電力が供給されない状況でもデータを長期間保持

10

20

30

40

50

できる記憶回路を提供することを目的の一とする。

【課題を解決するための手段】

【0009】

本発明の一態様の記憶回路は、データを長期間保持できる第1の書き込みモードと、データの書き込みを高速で行える第2の書き込みモードと、を備える。本発明の一態様の記憶回路は、保持する容量部を選択することで、長く保持する必要があるデータは、長期間保持でき、短時間で書き込む必要があるデータは、高速で書き込むことができる。したがって、本発明の一態様の記憶回路は、電力が供給されない状況でもデータを長期間保持することができ、また、高速動作も可能である。

【0010】

本発明の一態様は、トランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、スイッチを介して接続された、データに基づく電荷を保持する第1の容量部及び第2の容量部を備える記憶回路である。

【0011】

本発明の一態様は、トランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、スイッチを介して接続された、データに基づく電荷を保持する第1の容量部及び第2の容量部を備え、スイッチがオン状態であり、電氣的に接続された第1の容量部及び第2の容量部に、データに基づく電荷を蓄積する第1の書き込みモードと、スイッチがオフ状態であり、第1の容量部にデータに基づく電荷を蓄積し、第2の容量部には該データに基づく電荷を蓄積しない第2の書き込みモードと、を有する記憶回路である。

【0012】

本発明の一態様の記憶回路では、第1の書き込みモードを選択することで、データを長期間保持することができる。また、第2の書き込みモードを選択することで、短時間でデータの書き込みを行うことができる。

【0013】

容量部としては、ゲート容量等のトランジスタに起因する容量、配線間の容量、又は容量素子等を用いることができる。

【0014】

上記各構成において、第2の容量部は、第1の容量部に比べて容量が大きいことが好ましい。

【0015】

本発明の一態様は、トランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、スイッチを介して該トランジスタと接続された、データに基づく電荷を保持する容量部を備え、スイッチがオン状態であり、電氣的に接続されたトランジスタのゲート容量及び容量部に、データに基づく電荷を蓄積する第1の書き込みモードと、スイッチがオフ状態であり、トランジスタのゲート容量に、データに基づく電荷を蓄積する第2の書き込みモードと、を有する記憶回路である。

【0016】

また、本発明の一態様は、第1のトランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、データに基づく電荷を保持する容量素子と、を備え、第2のトランジスタ及び第3のトランジスタをオン状態とすることで、第1のトランジスタのゲート容量及び容量素子に、データに基づく電荷を蓄積する第1の書き込みモードと、第2のトランジスタをオン状態とし、かつ、第3のトランジスタをオフ状態とすることで、第1のトランジスタのゲート容量にデータに基づく電荷を蓄積する第2の書き込みモードと、を有する記憶回路である。

【0017】

上記の記憶回路において、第2のトランジスタは、チャネル形成領域に酸化物半導体を含むことが好ましい。また、第3のトランジスタは、チャネル形成領域に酸化物半導体を含

10

20

30

40

50

むことが好ましい。チャネル形成領域に酸化物半導体を用いたトランジスタのオフ電流（オフ状態におけるリーク電流）は小さい。第2のトランジスタ及び第3のトランジスタのオフ電流が小さいほど、第1のトランジスタのゲート容量（及び容量素子）は電荷を長期間保持することができるため、好ましい。

【0018】

上記の記憶回路において、第1のトランジスタは、チャネル形成領域に多結晶シリコン又は単結晶シリコンを含むことが好ましい。チャネル形成領域に多結晶シリコン、又は単結晶シリコンを用いたトランジスタの移動度は高い。第1のトランジスタの移動度が高いほど、記憶回路はデータの読み出しを短時間で行うことができるため、好ましい。

【0019】

本発明の一態様は、第1のゲート電極、第1のソース電極、及び第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、及び第2のドレイン電極を有し、チャネル形成領域に酸化物半導体を含む第2のトランジスタと、第3のゲート電極、第3のソース電極、及び第3のドレイン電極を有し、チャネル形成領域に酸化物半導体を含む第3のトランジスタと、第1の容量素子と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、第6の配線と、を備え、第1のゲート電極は、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電気的に接続し、第1のソース電極は、第1の配線と電気的に接続し、第1のドレイン電極は、第2の配線と電気的に接続し、第2のゲート電極は、第3の配線と電気的に接続し、第2のソース電極又は第2のドレイン電極の他方は、第4の配線と電気的に接続し、第3のゲート電極は、第5の配線と電気的に接続し、第3のソース電極又は第3のドレイン電極の他方は、第1の容量素子の一方の電極と電気的に接続し、第1の容量素子の他方の電極は、第6の配線と電気的に接続する記憶回路である。

【0020】

上記記憶回路において、第2の容量素子と、第7の配線と、をさらに備え、第2の容量素子の一方の電極は、第1のゲート電極、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電気的に接続し、第2の容量素子の他方の電極は、第7の配線と電気的に接続する構成も、本発明の一態様である。

【0021】

本発明の一態様は、第1のゲート電極、第1のソース電極、及び第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、及び第2のドレイン電極を有し、チャネル形成領域に酸化物半導体を含む第2のトランジスタと、第3のゲート電極、第3のソース電極、及び第3のドレイン電極を有し、チャネル形成領域に酸化物半導体を含む第3のトランジスタと、第1の容量素子と、を備え、第1のゲート電極は、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電気的に接続し、第2のゲート電極には、第1の選択信号が入力され、第2のソース電極又は第2のドレイン電極の他方には、データを含む信号が入力され、第3のゲート電極には、第2の選択信号が入力され、第3のソース電極又は第3のドレイン電極の他方は、第1の容量素子の一方の電極と電気的に接続し、第1の容量素子の他方の電極には、固定電位が与えられ、第1のソース電極又は第1のドレイン電極の一方には、信号が入力され、第1のソース電極又は第1のドレイン電極の他方の電位を読み取ることで、データの読み出しが行われる記憶回路である。

【0022】

上記記憶回路において、第2の容量素子をさらに備え、第2の容量素子の一方の電極は、第1のゲート電極、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電気的に接続し、第2の容量素子の他方の電極には、固定電位が与えられる構成も本発明の一態様である。

【0023】

本発明の一態様は、第1のトランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、第2のゲート電極、第2のソース電極、及び第2のド

10

20

30

40

50

レイン電極を有し、チャンネル形成領域に酸化物半導体を含む第2のトランジスタと、第3のゲート電極、第3のソース電極、及び第3のドレイン電極を有し、チャンネル形成領域に酸化物半導体を含む第3のトランジスタと、第1の容量素子と、を備え、第1のトランジスタのゲート電極は、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電氣的に接続し、第3のソース電極又は第3のドレイン電極の他方は、第1の容量素子の一方の電極と電氣的に接続し、第2のゲート電極には、第1の選択信号が入力され、第2のソース電極又は第2のドレイン電極の他方には、データを含む信号が入力され、第3のゲート電極には、第2の選択信号が入力され、第1の容量素子の他方の電極には、固定電位が与えられる記憶回路である。

【0024】

10

上記記憶回路において、第2の容量素子をさらに備え、第2の容量素子の一方の電極は、第1のトランジスタのゲート電極、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電氣的に接続し、第2の容量素子の他方の電極には、固定電位が与えられる構成も本発明の一態様である。

【0025】

また、本発明の一態様は、第2のトランジスタ及び第3のトランジスタをオン状態とし、第1のトランジスタのゲート容量及び第1の容量素子に、データに基づく電荷を蓄積する第1の書き込みモードと、第2のトランジスタをオン状態とし、かつ、第3のトランジスタをオフ状態とし、第1のトランジスタのゲート容量に、データに基づく電荷を蓄積する第2の書き込みモードと、を有する上記の記憶回路である。

20

【0026】

また、上記記憶回路と、該記憶回路と電氣的に接続する読み出し回路（具体的には上記第1のトランジスタの状態を判別することによってデータの読み出しを行う読み出し回路）とを含む記憶装置（半導体装置ともいう）や、上記記憶回路又は上記記憶装置を含む電子機器等も本発明に含まれる。

【0027】

なお、本明細書において「上」や「下」という用語は、構成要素の位置関係が「直上」又は「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

30

【0028】

なお、本明細書において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0029】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0030】

また、本明細書において、「ゲート容量」とは、少なくとも、ゲート電極とチャンネル形成領域との間に形成される容量を指す。また、ゲート電極と、ソース電極又はドレイン電極との間に形成される容量を含んでいても良い。

40

【発明の効果】

【0031】

本発明の一態様では、高速動作が可能で、電力が供給されない状況でもデータを長期間保持できる記憶回路を提供することができる。

【図面の簡単な説明】

【0032】

【図1】本発明の一態様の記憶回路を示す図。

【図2】本発明の一態様の記憶回路の平面模式図を示す図。

50

【図 3】本発明の一態様の記憶回路の断面模式図を示す図。

【図 4】トランジスタの一例を示す図。

【図 5】本発明の一態様のレジスタを示す図。

【図 6】本発明の一態様のレジスタのフローチャートを示す図。

【図 7】本発明の一態様の記憶装置を示す図。

【図 8】本発明の一態様の電子機器を示す図。

【発明を実施するための形態】

【0033】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0034】

また、図面において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。よって、必ずしも、図面に開示された位置、大きさ、範囲などに限定されない。

【0035】

また、本明細書における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

20

【0036】

(実施の形態 1)

本実施の形態では、本発明の一態様の記憶回路について図 1 を用いて説明する。

【0037】

本発明の一態様の記憶回路は、データを長期間保持できる第 1 の書き込みモードと、データの書き込みを高速で行える第 2 の書き込みモードと、を備える。本発明の一態様の記憶回路は、保持する容量部を選択することで、長く保持する必要があるデータは、長期間保持でき、短時間で書き込みを行う必要があるデータは、高速で書き込むことができる。したがって、本発明の一態様の記憶回路は、電力が供給されない状況でもデータを長期間保持することができ、また、高速動作も可能である。

30

【0038】

本発明の一態様は、トランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、スイッチを介して接続された、データに基づく電荷を保持する第 1 の容量部及び第 2 の容量部を備える記憶回路である。

【0039】

具体的には、本発明の一態様は、トランジスタの導通状態を判別することによってデータの読み出しが行われる記憶回路であって、スイッチを介して接続された、データに基づく電荷を保持する第 1 の容量部及び第 2 の容量部を備え、スイッチがオン状態であり、電氣的に接続された第 1 の容量部及び第 2 の容量部に、データに基づく電荷を蓄積する第 1 の書き込みモードと、スイッチがオフ状態であり、第 1 の容量部にデータに基づく電荷を蓄積し、第 2 の容量部にはデータに基づく電荷を蓄積しない第 2 の書き込みモードと、を有する記憶回路である。

40

【0040】

上記の記憶回路では、第 1 の書き込みモードを選択することで、データを長期間保持することができる。また、第 2 の書き込みモードを選択することで、短時間でデータの書き込みを行うことができる。

【0041】

本発明の一態様の記憶回路は、記憶回路に供給される電力が停止してもデータの保持が可能である。特に、第 1 の書き込みモードを選択することで、データをより長期間保持する

50

ことができる。

【 0 0 4 2 】

例えば、本発明の一態様の記憶回路に電力が供給されている間は、第 2 の書き込みモードを選択し、電力供給が停止する前に、第 1 の書き込みモードを選択すれば良い。これにより、記憶回路に電力が供給されている間は、短時間でデータの書き込みを行うことができ、かつ、記憶回路に供給される電力が停止しても、長期間、データを保持することができる。

【 0 0 4 3 】

また、本発明の一態様の記憶回路と電氣的に接続する CPU やプロセッサ等に電力が供給されている間は、第 2 の書き込みモードを選択し、電力供給が停止する前に、第 1 の書き込みモードを選択しても良い。これにより、CPU やプロセッサ等に電力が供給されている間は、短時間でデータの書き込みを行うことができ、かつ、CPU やプロセッサ等に供給される電力が停止しても、長期間、データを保持することができる。

10

【 0 0 4 4 】

また、データの書き換えが多い場合に、第 2 の書き込みモードを用いることが好ましい。例えば、データの種類によって記憶回路の動作を選択すれば良く、レジスタ等、演算処理に使用するデータの場合は、第 2 の書き込みモードを選択し、プログラム等、書き換えが少ないデータの場合は、第 1 の書き込みモードを選択する。これにより、本発明の一態様の記憶回路では、書き換えの多いデータについては、書き込みを高速で行うことができ、かつ、書き換えの少ないデータについては、長期間保持することができる。

20

【 0 0 4 5 】

また、記憶回路（を含む記憶装置、電子機器等）の使用者がどちらのモードを使用するか選択できる仕様としても良い。

【 0 0 4 6 】

記憶回路がどちらのモードを用いてデータを保持するか、は、該記憶回路に接続された制御回路からの信号等により、制御すれば（決定されれば）良い。

【 0 0 4 7 】

容量部としては、ゲート容量等のトランジスタに起因する容量、配線間の容量、又は容量素子等を用いることができる。特に、第 2 の容量部は、第 1 の容量部に比べて容量が大きいことが好ましい。

30

【 0 0 4 8 】

スイッチとしては、電氣的スイッチや機械的スイッチ等が挙げられ、電流の流れを制御できるものであれば特に限定されない。例えば、トランジスタやダイオード等を用いることができる。

【 0 0 4 9 】

< 記憶回路の構成 >

図 1 (A) に示す記憶回路は、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 3、第 3 のトランジスタ 1 0 5、及び容量素子 1 0 7 を備える。

【 0 0 5 0 】

第 1 のトランジスタ 1 0 1 は、第 1 のゲート電極、第 1 のソース電極、及び第 1 のドレイン電極を有する。

40

【 0 0 5 1 】

第 2 のトランジスタ 1 0 3 は、第 2 のゲート電極、第 2 のソース電極、及び第 2 のドレイン電極を有する。第 2 のトランジスタ 1 0 3 は、チャネル形成領域に酸化物半導体を含む。

【 0 0 5 2 】

第 3 のトランジスタ 1 0 5 は、第 3 のゲート電極、第 3 のソース電極、及び第 3 のドレイン電極を有する。第 3 のトランジスタ 1 0 5 は、チャネル形成領域に酸化物半導体を含む。

【 0 0 5 3 】

50

第1のゲート電極は、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電氣的に接続し、第1のソース電極は、第1の配線(1st Line)と電氣的に接続し、第1のドレイン電極は、第2の配線(2nd Line)と電氣的に接続し、第2のゲート電極は、第3の配線(3rd Line)と電氣的に接続し、第2のソース電極又は第2のドレイン電極の他方は、第4の配線(4th Line)と電氣的に接続し、第3のゲート電極は、第5の配線(5th Line)と電氣的に接続し、第3のソース電極又は第3のドレイン電極の他方は、容量素子107の一方の電極と電氣的に接続し、容量素子107の他方の電極は、第6の配線(6th Line)と電氣的に接続している。

【0054】

10

第1の配線～第6の配線について説明する。第1の配線は、信号が入力される配線であり、例えば、固定電位が与えられる配線を用いることができる。第2の配線は、例えば、読み出し回路と電氣的に接続する配線とすることができる。第3の配線は、第2のトランジスタ103の導通状態(オン状態又はオフ状態)を選択する選択信号が入力される配線である。第4の配線は、データを含む信号が与えられる配線である。第5の配線は、第3のトランジスタ105の導通状態(オン状態又はオフ状態)を選択する選択信号が入力される配線である。第6の配線は、固定電位が与えられる配線である。なお、第1の配線及び第6の配線は、同電位とすることができる。

【0055】

第1のトランジスタ101は、移動度が高いことが好ましい。例えば、チャネル形成領域に多結晶シリコン、単結晶シリコン等を用いることで、第1のトランジスタ101の移動度を高くすることができる。第1のトランジスタ101の移動度が高いほど、記憶回路はデータの読み出しを短時間で行うことができる。

20

【0056】

第1のトランジスタ101のゲート容量としては、第1のゲート電極とチャネル形成領域とが絶縁膜を介して積層する領域で形成される容量や、第1のゲート電極と、第1のソース電極又は第1のドレイン電極とが絶縁膜を介して積層する領域で形成される容量等が挙げられ、これらによって、ゲート容量の大きさを制御できる。

【0057】

第2のトランジスタ103及び第3のトランジスタ105のオフ電流は、極めて小さいことが好ましい。第2のトランジスタ103及び第3のトランジスタ105のオフ電流が小さいほど、第1のトランジスタ101のゲート容量は電荷を長期間保持することができる。また、記憶回路に供給される電力が停止しても長期間電荷を保持することが可能となる。

30

【0058】

第2のトランジスタ103及び第3のトランジスタ105には、チャネルが形成される半導体にシリコンを用いたトランジスタに比べて、オフ電流が低減されたトランジスタを用いることが好ましい。具体的には、チャネルが形成される半導体として、シリコンよりもバンドギャップが広い半導体を用いることが好ましい。例えば、バンドギャップが1.1 eVより大きく、好ましくは2.5 eV以上4 eV以下、より好ましくは3 eV以上3.8 eV以下である半導体を用いる。シリコンよりもバンドギャップが広い半導体としては、例えば、炭化珪素(SiC)、窒化ガリウム(GaN)等の化合物半導体、In-Ga-Zn-O系酸化物半導体等の金属酸化物でなる酸化物半導体等が挙げられる。

40

【0059】

また、第2のトランジスタ103及び第3のトランジスタ105のチャネル形成領域には、シリコンよりも真性キャリア密度が低い半導体を用いることが好ましい。例えば、酸化物半導体の真性キャリア密度は、 $10^{-9} / \text{cm}^3$ であり、シリコンの真性キャリア密度の $10^{11} / \text{cm}^3$ と比較して極めて小さい。

【0060】

酸化物半導体をチャネル形成領域に用いたトランジスタの多数キャリアは、トランジスタ

50

のソースから流れるのみである。また、チャネル形成領域を完全空乏化することが可能であるため、トランジスタのオフ電流を極めて小さくすることが可能である。酸化物半導体を用いたトランジスタのオフ電流は、室温において、 $10 \text{ yA} / \mu\text{m}$ 以下、 $85 \sim 95$ においても、 $1 \text{ zA} / \mu\text{m}$ 以下と、極めて小さくすることが可能である。

【0061】

電子供与体（ドナー）となる水分または水素などの不純物が低減され、かつ酸素欠損が低減されることにより高純度化された酸化物半導体は、 i 型（真性半導体）又は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく小さいという特性を有する。水分または水素などの不純物濃度が十分に低減され、かつ酸素欠損が低減されることにより高純度化された酸化物半導体を用いることにより、トランジスタのオフ電流を小さくすることができる。

10

【0062】

なお、高純度化された酸化物半導体の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）の測定値において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらには $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらには $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下であることが好ましい。

【0063】

また、高純度化された酸化物半導体のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、さらには $1 \times 10^{12} / \text{cm}^3$ 未満、さらには $1 \times 10^{11} / \text{cm}^3$ 未満であることが好ましい。

20

【0064】

本発明の一態様の記憶回路は、容量素子107及び第1のトランジスタ101のゲート容量を用いることで、データを長期間保持できる第1の書き込みモードと、第1のトランジスタ101のゲート容量を用いることで、データの書き込みを高速で行える第2の書き込みモードと、を備える。本発明の一態様の記憶回路は、保持する容量部を選択することで、長く保持したいデータは、（大量であっても）長期間保持でき、短時間で書き込みを行いたいデータは、高速で書き込むことができる。

【0065】

ここで、容量素子107の容量は、第1のトランジスタ101のゲート容量に比べて十分に大きいことが好ましい。

30

【0066】

また、図1（B）に示すように、本発明の一態様の記憶回路は、容量素子109を有していても良い。容量素子109の一方の電極は、第1のゲート電極、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方と電気的に接続し、他方の電極は、第7の配線（7th Line）と電気的に接続している。

【0067】

ただし、容量素子109の容量は、容量素子107の容量に比べて十分に小さいものとする。

【0068】

また、第7の配線は、固定電位が与えられる配線であり、例えば、第6の配線と同電位とすることができる。

40

【0069】

<記憶回路の動作>

図1（A）に示す記憶回路の動作について説明する。

【0070】

第1の書き込みモード

まず、容量素子107及び第1のトランジスタ101のゲート容量を用いたデータの書き込み、保持、及び読み出しについて説明する。ここでは、容量素子107の一方の電極、及び第3のソース電極又は第3のドレイン電極の他方が構成するノードをノードAと記す。また、第1のゲート電極、第2のソース電極又は第2のドレイン電極の一方、及び第3

50

のソース電極又は第3のドレイン電極の一方が構成するノードをノードBと記す。なお、本実施の形態において、特に記載の無い限り、ゲート容量とは、第1のトランジスタ101のゲート容量を指す。

【0071】

[1-1:容量素子107及びゲート容量を用いたデータの書き込み]

第3の配線の電位を、第2のトランジスタ103がオン状態となる電位にし、かつ、第5の配線の電位を、第3のトランジスタ105がオン状態となる電位にすることで、第2のトランジスタ103及び第3のトランジスタ105をオン状態にする。続いて、第4の配線と第6の配線の間に所望の電圧を与えることにより、容量素子107及びゲート容量に電荷が蓄積され、ノードA及びノードBに電位が与えられる(データの書き込み)。

10

【0072】

[1-2:容量素子107及びゲート容量を用いたデータの保持]

第3の配線の電位を、第2のトランジスタ103がオフ状態となる電位にし、かつ、第5の配線の電位を、第3のトランジスタ105がオフ状態となる電位にすることで、第2のトランジスタ103及び第3のトランジスタ105をオフ状態とする。これにより、ノードA及びノードBに与えられた電位が保持される(データの保持)。なお、ここでは、第3のトランジスタ105をオフ状態にするのと同時に、又はそれより後に、第2のトランジスタ103をオフ状態とする。

【0073】

ここで、第2のトランジスタ103及び第3のトランジスタ105のオフ電流は極めて小さいため、容量素子107及びゲート容量に蓄積された電荷は長時間にわたって保持される。

20

【0074】

[1-3:容量素子107及びゲート容量を用いたデータの読み出し]

読み出しを行う際、第1の配線には、所定の電位(定電位)が与えられる。第5の配線の電位を、第3のトランジスタ105がオン状態となる電位にすることで、第3のトランジスタ105をオン状態にする。ここで、ノードAに、第1のトランジスタ101をオン状態とさせる電位が保持されているときは、第2の配線の電位が変化する。一方、ノードAに、第1のトランジスタ101をオフ状態とさせる電位が保持されているときには、第2の配線の電位は変化しない。したがって、第2の配線の電位の変化を検知することで、記憶回路に書き込まれたデータを読み出すことができる。

30

【0075】

[1-4:容量素子107及びゲート容量を用いたデータの書き換え]

データの書き換えは、上記のデータの書き込み及び保持と同様の動作で行うことができる。第2のトランジスタ103及び第3のトランジスタ105をオン状態とし、第4の配線と第6の配線間に新たなデータに係る電圧を与えることにより、容量素子107及びゲート容量に電荷が蓄積され、ノードA及びノードBに電位が与えられる(データの書き込み)。その後、第2のトランジスタ103及び第3のトランジスタ105をオフ状態とすることで、ノードA及びノードBの電位(新たなデータに係る電位)が保持される。

40

【0076】

容量素子107及び第1のトランジスタ101のゲート容量を用いてデータを保持することで、第1のトランジスタ101のゲート容量のみを用いてデータを保持する場合に比べて、データを長期間保持することができる。

【0077】

第2の書き込みモード

次に、第1のトランジスタ101のゲート容量のみを用いたデータの書き込み、保持、及び読み出しについて説明する。

【0078】

[2-1:ゲート容量を用いたデータの書き込み]

第5の配線の電位を第3のトランジスタ105がオフ状態となる電位にすることで、第3

50

のトランジスタ105をオフ状態とする。また、第3の配線の電位を、第2のトランジスタ103がオン状態となる電位にすることで、第2のトランジスタ103をオン状態とする。続いて、第4の配線に所望の電位を与えることにより、ゲート容量に電荷が蓄積され、ノードBに電位が与えられる（データの書き込み）。

【0079】

[2-2:ゲート容量を用いたデータの保持]

第3の配線の電位を、第2のトランジスタ103がオフ状態となる電位にすることで、第2のトランジスタ103をオフ状態とする。これにより、ノードBに与えられた電位が保持される（データの保持）。

【0080】

ここで、第2のトランジスタ103及び第3のトランジスタ105のオフ電流は極めて小さいため、ゲート容量に蓄積された電荷は長時間にわたって保持される。

【0081】

[2-3:ゲート容量を用いたデータの読み出し]

読み出しを行う際、第1の配線には、所定の電位（定電位）が与えられる。ここで、ノードBに、第1のトランジスタ101をオン状態とさせる電位が保持されているときは、第2の配線の電位が変化する。一方、ノードBに、第1のトランジスタ101をオフ状態とさせる電位が保持されているときには、第2の配線の電位は変化しない。したがって、第2の配線の電位の変化を検知することで、記憶回路に書き込まれたデータを読み出すことができる。

【0082】

[2-4:ゲート容量を用いたデータの書き換え]

データの書き換えは、上記のデータの書き込み及び保持と同様の動作で行うことができる。第2のトランジスタ103をオン状態とし（第3のトランジスタ105はオフ状態のままである）、第4の配線に新たなデータに係る電位をあたえることにより、ゲート容量に電荷が蓄積され、ノードBに電位が与えられる（データの書き込み）。その後、第2のトランジスタ103をオフ状態とすることで、ノードBの電位（新たなデータに係る電位）が保持される。

【0083】

つまり、本発明の一態様の記憶回路は、再度のデータの書き込みによって、直接データを書き換えることができる。したがって、フラッシュメモリ等において必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下や消費電力を抑制することができる。

【0084】

特に、ゲート容量のみを用いてデータを保持することで、容量素子107も用いてデータを保持する場合に比べて、書き込みを高速で行うことができる。

【0085】

<保持時間と書き込み時間の計算例>

第1のトランジスタ101のゲート容量を用いた場合における、データを保持できる時間と、データの書き込みにかかる時間について計算例を示す。以下では、第2のトランジスタ103及び第3のトランジスタ105のチャンネル形成領域に酸化物半導体を用い、第1のトランジスタ101のゲート絶縁膜に膜厚 x が10nmの酸化シリコン膜を用い、第1のトランジスタ101のチャンネル長 L 及びチャンネル幅 W を1 μ mとした場合について示す。

【0086】

第1のゲート電極及び半導体層の間のゲート絶縁膜の容量 C は、数式(1)に示す通り、 3.45×10^{-15} F（つまり、3.45 fF）と求められる。なお、数式(1)において、 ϵ は、ゲート絶縁膜の比誘電率を表し、 ϵ_0 は真空の誘電率を表す。

【0087】

10

20

30

40

【数 1】

$$C = \frac{\varepsilon \varepsilon_0 L W}{x} = \frac{3.9 \times 8.85 \times 10^{-12} \times 10^{-6} \times 10^{-6}}{10 \times 10^{-9}} = 3.45 \times 10^{-15} \cdots (1)$$

【0088】

第2のトランジスタ103及び第3のトランジスタ105のオフ電流 I_{off} を 10 yA 、第1のトランジスタ101のゲート容量を用いてデータを保持する際のゲート電圧（保持電圧） V を 3 V とすると、保持電荷が 10% 減少するまでの時間 t_1 は、数式（2）に示す通り、 $5.175 \times 10^7 \text{ s}$ と求められ、つまり、1年半以上であることがわかる。なお、容量素子107を用いてデータを保持する場合は、第1のトランジスタ101のゲート容量のみを用いてデータを保持する場合よりも容量が大きくなるため、保持電荷が 10% 減少するまでの時間が、 t_1 よりも長い。

10

【0089】

【数 2】

$$t_1 = \frac{CV}{2I_{off}} = \frac{3.45 \times 10^{-15} \times 3}{2 \times 100 \times 10^{-24}} = 5.175 \times 10^7 \cdots (2)$$

【0090】

また、第2のトランジスタ103のオン電流 I_{on} を $5 \mu\text{A}$ とすると、第1のトランジスタ101のゲート容量にデータに基づく電荷を書き込む時間 t_2 は、 $2.07 \times 10^{-9} \text{ s}$ （つまり、 2.07 ns ）と求められる。

20

【0091】

【数 3】

$$t_2 = \frac{CV}{I_{on}} = \frac{3.45 \times 10^{-15} \times 3}{5 \times 10^{-6}} = 2.07 \times 10^{-9} \cdots (3)$$

【0092】

以上により、チャネル形成領域に酸化物半導体を用いた第2のトランジスタ103及び第3のトランジスタ105を適用した本発明の一態様の記憶回路では、ゲート容量を用いてデータを長期間保持でき、かつ、高速でデータの書き込みを行えることが示された。

30

【0093】

<酸化物半導体>

また、本発明の一態様の記憶回路は、チャネル形成領域に酸化物半導体を用いたトランジスタを備える。以下に、酸化物半導体について説明する。

【0094】

酸化物半導体は、単結晶、多結晶（ポリクリスタル）、又は非晶質（アモルファス）等の状態をとる。

【0095】

アモルファス状態の酸化物半導体は、平坦な表面を得ることが比較的容易であるため、該アモルファス状態の酸化物半導体を用いたトランジスタは、動作させた際のキャリア（電子）の界面散乱を低減でき、高い電界効果移動度を得ることが比較的容易である。

40

【0096】

また、結晶性を有する酸化物半導体は、バルク内欠陥をより低減することができる。該結晶性を有する酸化物半導体は、表面の平坦性を高めれば、アモルファス状態の酸化物半導体を用いたトランジスタに比べて高い電界効果移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましい。

【0097】

酸化物半導体は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC（C

50

Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) と呼ぶ。

【0098】

酸化物半導体膜は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない。

【0099】

酸化物半導体膜は、例えば微結晶を有してもよい。微結晶を有する酸化物半導体(微結晶酸化物半導体ともいう)膜は、例えば、1nm以上10nm未満のサイズの微結晶(ナノ結晶ともいう)を膜中に含む。

10

【0100】

酸化物半導体膜は、例えば非晶質部を有してもよい。非晶質部を有する酸化物半導体(非晶質酸化物半導体ともいう)膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0101】

なお、酸化物半導体膜が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

20

【0102】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0103】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

30

【0104】

本発明の一態様において、酸化物半導体を用いた半導体層としては、CAAC-OS膜が好ましい。

【0105】

CAAC-OS膜に含まれる結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

40

【0106】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形又は六角形状に配列し、c軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0107】

50

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【 0 1 0 8 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形状（被形成面の断面形状又は表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、又は成膜後に加熱処理などの結晶化処理を行ったときに形成される。したがって、結晶部の c 軸は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃う。

10

【 0 1 0 9 】

C A A C - O S 膜を用いることで、可視光や紫外光の照射によるトランジスタの電気特性の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【 0 1 1 0 】

酸化物半導体としては、少なくともインジウム (I n) あるいは亜鉛 (Z n) を含むことが好ましい。特に I n と Z n の両方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (G a) を有することが好ましい。また、スタビライザーとしてスズ (S n) を有することが好ましい。また、スタビライザーとしてハフニウム (H f) を有することが好ましい。また、スタビライザーとしてアルミニウム (A l) を有することが好ましい。また、スタビライザーとしてジルコニウム (Z r) を有することが好ましい。

20

【 0 1 1 1 】

また、他のスタビライザーとして、ランタノイドである、ランタン (L a) 、セリウム (C e) 、プラセオジウム (P r) 、ネオジウム (N d) 、サマリウム (S m) 、ユウロピウム (E u) 、ガドリニウム (G d) 、テルビウム (T b) 、ジスプロシウム (D y) 、ホルミウム (H o) 、エルビウム (E r) 、ツリウム (T m) 、イッテルビウム (Y b) 、ルテチウム (L u) のいずれか一種あるいは複数種を有しても良い。

【 0 1 1 2 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である I n - Z n 系酸化物、S n - Z n 系酸化物、A l - Z n 系酸化物、Z n - M g 系酸化物、S n - M g 系酸化物、I n - M g 系酸化物、I n - G a 系酸化物、三元系金属の酸化物である I n - G a - Z n 系酸化物、I n - A l - Z n 系酸化物、I n - S n - Z n 系酸化物、S n - G a - Z n 系酸化物、A l - G a - Z n 系酸化物、S n - A l - Z n 系酸化物、I n - H f - Z n 系酸化物、I n - L a - Z n 系酸化物、I n - C e - Z n 系酸化物、I n - P r - Z n 系酸化物、I n - N d - Z n 系酸化物、I n - S m - Z n 系酸化物、I n - E u - Z n 系酸化物、I n - G d - Z n 系酸化物、I n - T b - Z n 系酸化物、I n - D y - Z n 系酸化物、I n - H o - Z n 系酸化物、I n - E r - Z n 系酸化物、I n - T m - Z n 系酸化物、I n - Y b - Z n 系酸化物、I n - L u - Z n 系酸化物、四元系金属の酸化物である I n - S n - G a - Z n 系酸化物、I n - H f - G a - Z n 系酸化物、I n - A l - G a - Z n 系酸化物、I n - S n - A l - Z n 系酸化物、I n - S n - H f - Z n 系酸化物、I n - H f - A l - Z n 系酸化物を用いることができる。

30

40

【 0 1 1 3 】

以上に示したように、本発明の一態様の記憶回路は、長く保持したいデータは、長期間保持でき、短時間で書き込みたいデータは、高速で書き込むことができる。本発明の一態様の記憶回路は、高速動作を行うモードと、データの長期保持を行うモードに適宜切り替えて使用できる。

【 0 1 1 4 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

50

【 0 1 1 5 】

(実施の形態 2)

本実施の形態では、本発明の一態様の記憶回路の作製方法について図 2 ~ 図 4 を用いて説明する。図 2 に、本発明の一態様の記憶回路の平面図の一例を示す。図 2 における A - B 間の断面図を図 3 (A) に、C - D 間の断面図を図 3 (B) に、E - F 間の断面図を図 3 (C) に示す。なお、本実施の形態で示す記憶回路の回路図は、図 1 (A) に相当する。

【 0 1 1 6 】

まず、基板 2 2 1 上に、n チャンネル型の第 1 のトランジスタ 1 0 1 を作製する。ここでは、一例として、単結晶の半導体基板から分離された単結晶半導体膜を用いて n チャンネル型の第 1 のトランジスタ 1 0 1 を作製する。

10

【 0 1 1 7 】

図 3 (B) に示す第 1 のトランジスタ 1 0 1 は、ゲート電極 2 0 3 を有する。第 1 のトランジスタ 1 0 1 は、半導体層 2 0 1 内に、ゲート電極 2 0 3 と重なる領域を挟むように設けられた一対の n 型の導電性を有する領域を含む。そして、第 1 のトランジスタ 1 0 1 は、半導体層 2 0 1 とゲート電極 2 0 3 の間にゲート絶縁膜 2 2 5 を有する。

【 0 1 1 8 】

具体的な単結晶半導体膜の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板に、電界で加速されたイオンでなるイオンビームを注入し、半導体基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、半導体基板と、絶縁膜 2 2 3 が形成された基板 2 2 1 とを、間に当該絶縁膜 2 2 3 が挟まるように貼り合わせる。貼り合わせでは、半導体基板と基板 2 2 1 とを重ね合わせた後、半導体基板と基板 2 2 1 の一部に、 $1 \text{ N} / \text{cm}^2$ 以上 $500 \text{ N} / \text{cm}^2$ 以下、好ましくは $11 \text{ N} / \text{cm}^2$ 以上 $20 \text{ N} / \text{cm}^2$ 以下程度の圧力を加える。圧力を加えると、その部分から半導体基板と絶縁膜 2 2 3 とが接合を開始し、最終的には密着した面全体に接合が及ぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層において半導体基板の一部である単結晶半導体膜が、半導体基板から分離する。上記加熱処理の温度は、基板 2 2 1 の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、島状の半導体層 2 0 1 を形成することができる。

20

30

【 0 1 1 9 】

なお、本実施の形態では、単結晶の半導体膜を用いて第 1 のトランジスタ 1 0 1 を作製する例について説明するが、本発明はこの構成に限定されない。例えば、絶縁膜 2 2 3 上に気相成長法を用いて形成された多結晶、微結晶の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、 950 程度の高温アニール法を組み合わせた結晶化法を用いても良い。

40

【 0 1 2 0 】

また、第 1 のトランジスタ 1 0 1 は、シリコン、ゲルマニウム、シリコンゲルマニウム、単結晶炭化シリコンなどの半導体材料を用いて作製することができる。例えば、シリコンを用いた第 1 のトランジスタ 1 0 1 は、シリコンウェハなどの単結晶の半導体基板、SOI 法により作製されたシリコン薄膜、気相成長法により作製されたシリコン薄膜などを用いて形成することができる。

【 0 1 2 1 】

基板 2 2 1 として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板 2 2 1 には

50

、フュージョン法やフロート法で作製されるガラス基板、石英基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0122】

次に、第1のトランジスタ101を覆うように絶縁膜227を形成する。その後、ゲート絶縁膜225及び絶縁膜227を部分的にエッチングすることで、半導体層201内の一対のn型の導電性を有する領域、及びゲート電極203に達するコンタクトホールを形成する。そして、絶縁膜227上にスパッタ法や真空蒸着法で導電膜を形成し、エッチング等により該導電膜をパターンニングすることで、該一対のn型の導電性を有する領域と電気的に接続する導電層205a及び導電層205b、並びにゲート電極203と電気的に接続する導電層205cを形成する。さらに、導電層205a～導電層205cを覆うように絶縁膜229を形成する。

10

【0123】

絶縁膜227及び絶縁膜229は、それぞれ、単層構造でも良いし、積層構造でも良い。絶縁膜227及び絶縁膜229は、その表面をCMP法などにより平坦化させても良い。平坦化された絶縁膜を用いることで、後に形成する酸化物半導体層を有するトランジスタにおける電気特性のばらつきを低減することができる。また、酸化物半導体層を有するトランジスタを歩留まり高く形成することができる。

20

【0124】

絶縁膜227及び絶縁膜229は、後の作製工程における加熱処理の温度に耐えうる材料を用いる。絶縁膜227や絶縁膜229の材料としては、例えば、酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、酸化アルミニウム、酸化ガリウム、酸化窒化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ジルコニウム、酸化ランタン、酸化バリウム等を用いることができる。

【0125】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質を指し、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を指す。

30

【0126】

後に形成する酸化物半導体層207と接する層である絶縁膜229は、水分や、水素などの不純物を極力含まないことが望ましい。絶縁膜229に水素が含まれると、その水素が酸化物半導体層へ侵入し、又は水素が酸化物半導体層中の酸素を引き抜き、酸化物半導体層のバックチャネル部が低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁膜229はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0127】

酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果(ブロック効果)が高く、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体層207への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体層207からの放出を防止する保護膜として機能するため好ましく適用することができる。

40

【0128】

絶縁膜229は、酸化物半導体層207と接する部分において酸素を含むことが好ましい。特に、絶縁膜229は、膜中(バルク中)に少なくとも化学量論的組成を超える量の酸素が存在することが好ましく、例えば、絶縁膜229として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ (ただし、 > 0) とするのが好ましい。この酸化シリコン膜を絶縁膜229として用いることで、酸化物半導体層207に酸素を供給することができ、特性を良好にすることができる。

50

【0129】

また、絶縁膜229を積層構造とする場合、酸化物半導体層207と接する酸化物絶縁膜と、酸化物絶縁膜と接するバリア性の高い絶縁膜と、の積層構造が好ましい。例えば、バリア性の高い絶縁膜として、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。バリア性の高い絶縁膜を用いることで、酸化物半導体層207内等に、水分又は水素などの不純物が入り込むのを防ぐことができる。

【0130】

導電層205a～導電層205cの材料としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

10

【0131】

また、導電層205a～導電層205cは、単層構造でも、2層以上の積層構造でも良い。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。

20

【0132】

また、導電層205a～導電層205cは、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、インジウムスズ酸化物、インジウム亜鉛酸化物又は該金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0133】

導電膜形成後に加熱処理を行う場合には、該加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0134】

次に、絶縁膜229上に、酸化物半導体層207を形成する。酸化物半導体については、先の実施の形態における説明も合わせて参酌できる。

30

【0135】

酸化物半導体層207は、単層構造としても良いし、積層構造としても良い。また、非晶質構造としても良いし、結晶性酸化物半導体としても良い。酸化物半導体層207を非晶質構造とする場合には、後の作製工程において、酸化物半導体層に熱処理を行うことによって、結晶性酸化物半導体層としても良い。非晶質酸化物半導体層を結晶化させる熱処理の温度は、250 以上700 以下、好ましくは、400 以上、より好ましくは500 以上、さらに好ましくは550 以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

40

【0136】

酸化物半導体層207の成膜方法は、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。また、酸化物半導体層207は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタリング装置を用いて成膜しても良い。

【0137】

酸化物半導体層207を形成する際、できる限り酸化物半導体層207に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の成膜室内に供給する雰囲気ガスとし

50

て、水素、水、水酸基又は水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、及び希ガスと酸素との混合ガスを適宜用いる。

【0138】

また、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜を行うことで、成膜された酸化物半導体層の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであっても良い。クライオポンプは、例えば、水素分子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等の排気能力が高いため、クライオポンプを用いて排気した成膜室で成膜した酸化物半導体層207に含まれる不純物の濃度を低減できる。

10

【0139】

また、酸化物半導体層207をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上99.9%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

【0140】

また、基板221を高温に保持した状態で酸化物半導体層207を形成すること、酸化物半導体層207中に含まれる不純物濃度を低減するのに有効である。基板221を加熱する温度としては、150℃以上450℃以下とすればよく、好ましくは基板温度が200℃以上350℃以下とすれば良い。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体層を形成することができる。

20

【0141】

なお、酸化物半導体層207は、成膜時に酸素が多く含まれるような条件（例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

【0142】

また酸化物半導体層207を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスをを用いることが好ましい。

30

【0143】

酸化物半導体層207としてCAAC-OS膜を適用する場合、該CAAC-OS膜を得る方法としては、三つ挙げられる。一つ目は、成膜温度を200℃以上450℃以下として酸化物半導体層の成膜を行い、表面に概略垂直にc軸配向させる方法である。二つ目は、酸化物半導体層を薄い膜厚で成膜した後、200℃以上700℃以下の熱処理を行い、表面に概略垂直にc軸配向させる方法である。三つ目は、一層目の膜厚を薄く成膜した後、200℃以上700℃以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直にc軸配向させる方法である。

【0144】

成膜後の酸化物半導体膜をフォトリソグラフィ工程により加工して、島状の酸化物半導体層207が形成される。島状の酸化物半導体層207へ加工するためのレジストマスクをインクジェットで形成しても良い。レジストマスクをインクジェットで形成するとフォトリソマスクを使用しないため、製造コストを低減することができる。

40

【0145】

また、酸化物半導体層207に、当該酸化物半導体層207に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化又は脱水素化）するための熱処理を行うのが好ましい。熱処理の温度は、300℃以上700℃以下、又は基板の歪み点未満とする。熱処理は減圧下又は窒素雰囲気下などで行うことができる。

【0146】

この熱処理によって、n型不純物である水素を酸化物半導体から除去することができる。

50

例えば、脱水化又は脱水素化処理後の酸化物半導体層 207 に含まれる水素濃度を、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下とすることができる。

【0147】

なお、脱水化又は脱水素化のための熱処理は、酸化物半導体層の成膜後であればトランジスタの作製工程においてどのタイミングで行っても良い。また、脱水化又は脱水素化のための熱処理は、複数回行ってもよく、他の加熱処理と兼ねても良い。

【0148】

なお、脱水化又は脱水素化のための熱処理を酸化物半導体層 207 の島状への加工前に行うと、絶縁膜 229 に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

【0149】

熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0150】

また、熱処理で酸化物半導体層 207 を加熱した後、加熱温度を維持、又はその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア(CRDS(キャピティリングダウンレーザ分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入しても良い。酸素ガスもしくは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガスもしくは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層 207 を高純度化及びi型(真性)化することができる。

【0151】

また、脱水化又は脱水素化処理を行った酸化物半導体層 207 に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む)を導入して膜中に酸素を供給しても良い。この工程によって、酸化物半導体層 207 を高純度化、及びi型(真性)化することができる。

【0152】

高純度化し、i型(真性)化した酸化物半導体層 207 を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【0153】

酸素は、酸化物半導体層 207 に直接導入しても良いし、後に形成されるゲート絶縁膜 231 などの他の膜を通過して酸化物半導体層 207 へ導入しても良い。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いれば良いが、露出された酸化物半導体層 207 へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

【0154】

酸化物半導体層 207 への酸素の導入は、脱水化又は脱水素化処理を行った後であればよく、特に限定されない。また、上記脱水化又は脱水素化処理を行った酸化物半導体層 207 への酸素の導入は複数回行っても良い。

【0155】

次に、絶縁膜 229 を部分的にエッチングすることで、導電層 205c に達するコンタクトホールを形成する。そして、酸化物半導体層 207 を覆うように、スパッタ法や真空蒸

10

20

30

40

50

着法で導電膜を形成し、エッチング等により該導電膜をパターニングすることで、ソース電極、ドレイン電極、又は配線として機能する導電層 209a ~ 導電層 209d を形成する。

【0156】

なお、導電層 209a ~ 導電層 209c は、酸化物半導体層 207 に接している。また、導電層 209b は、導電層 205c と電氣的に接続している。

【0157】

導電層 209a ~ 導電層 209d は、導電層 205a ~ 導電層 205c と同様の材料、方法を用いて形成することができる。

【0158】

なお、導電膜のエッチングの際に、酸化物半導体層 207 ができるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、島状の酸化物半導体層 207 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0159】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行っても良い。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0160】

その後、 N_2O 、 N_2 、又は Ar などのガスを用いたプラズマ処理を行うことが好ましい。このプラズマ処理によって露出している酸化物半導体層 207 の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行っても良い。

【0161】

次に、導電層 209a ~ 導電層 209d を覆うように、ゲート絶縁膜 231 を形成する。

【0162】

ゲート絶縁膜 231 の膜厚は、1nm 以上 20nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いて形成することができる。また、ゲート絶縁膜 231 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜しても良い。

【0163】

ゲート絶縁膜 231 の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、窒化酸化シリコン等を用いることができる。ゲート絶縁膜 231 は、酸化物半導体層 207 と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜 231 は、膜中（バルク中）に少なくとも化学量論的組成を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜 231 として、酸化シリコン膜を用いる場合には、 SiO_{2+x} （ただし、 $x > 0$ ）とするのが好ましい。本実施の形態では、ゲート絶縁膜 231 として、 SiO_{2+x} （ただし、 $x > 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁膜 231 として用いることで、酸化物半導体層 207 に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁膜 231 は、作製するトランジスタのサイズやゲート絶縁膜 231 の段差被覆性を考慮して形成することが好ましい。

【0164】

また、ゲート絶縁膜 231 の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSiO_xN_y$ （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ $HfAl_xO_y$

10

20

30

40

50

($x > 0$ 、 $y > 0$))、酸化ランタンなどの high-k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁膜 231 は、単層構造としても良いし、積層構造としても良い。

【0165】

なお、ゲート絶縁膜 231 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で 250、1 時間の加熱処理を行う。或いは、水分又は水素を低減させるために酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間の RTA 処理を行っても良い。酸素を含むゲート絶縁膜 231 が設けられた後に、加熱処理が施されることによって、酸化物半導体層に対して行った先の加熱処理により、酸化物半導体層 207 に酸素欠損が発生していたとしても、ゲート絶縁膜 231 から酸化物半導体層 207 に酸素が供与される。そして、酸化物半導体層 207 に酸素が供与されることで、酸化物半導体層 207 において、ドナーとなる酸素欠損を低減することが可能である。その結果、酸化物半導体層 207 を i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜 231 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層 207 を i 型に近づけることができる。

【0166】

また、酸素雰囲気下で酸化物半導体層 207 に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体層 207 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 以上 350 未満、好ましくは 150 以上 250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N（99.9999%）以上、好ましくは 7N（99.99999%）以上、（即ち酸素中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【0167】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体層 207 に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45 GHz のマイクロ波でプラズマ化した酸素を酸化物半導体層 207 に添加すれば良い。

【0168】

次に、ゲート絶縁膜 231 を部分的にエッチングすることで、導電層 209d に達するコンタクトホールを形成する。そして、導電層 209a ~ 導電層 209d を覆うように、スパッタ法や真空蒸着法で導電膜を形成し、エッチング等により該導電膜をパターンニングすることで、ゲート電極又は配線として機能する導電層 211a ~ 導電層 211c を形成する。

【0169】

導電層 211a ~ 導電層 211c は、単層構造としても良いし、積層構造としても良い。導電層 211a ~ 導電層 211c は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属材料、又は上述した元素を成分とする金属窒化物（窒化チタン、窒化モリブデン、窒化タングステン）等を用いて形成することができる。

【0170】

また、導電層 211a ~ 導電層 211c は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの導電性材料を適用することもできる。また

、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0171】

また、導電層211a～導電層211cの一層として、酸化物半導体の仕事関数よりも大きな仕事関数を有する材料、好ましくは1eV（電子ボルト）以上大きな仕事関数を有する材料を用いることが好ましい。当該材料としては、例えば窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（窒化インジウム膜、窒化亜鉛膜、窒化タンタル膜、窒化タングステン膜など）を用いることができる。導電層が積層構造である場合は、特にゲート絶縁膜231と接する層に用いることが好ましい。これらの膜は5eV以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタの閾値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

10

【0172】

なお、さらに導電層211a～導電層211cを覆う絶縁膜を設けても良い。

【0173】

以上の工程により、第2のトランジスタ103、及び第3のトランジスタ105、並びに容量素子107が形成される。

【0174】

なお、図1(A)に示す第1のトランジスタ101の構成は先に挙げた構成に限定されない。第1のトランジスタ101として適用することができる別の構成について、図4を用いて説明する。

20

【0175】

まず、p型の半導体基板251に素子分離領域253を形成する（図4(A））。

【0176】

p型の半導体基板251としては、p型の導電性を有する単結晶シリコン基板（シリコンウェハ）、化合物半導体基板（SiC基板、GaN基板等）を用いることができる。

【0177】

素子分離領域253は、LOCOS（Local Oxidation of Silicon）法又はSTI（Shallow Trench Isolation）法等を用いて形成する。

30

【0178】

また、同一基板上にpチャネル型のトランジスタを形成する場合、p型の半導体基板251の一部にnウェル領域を形成しても良い。nウェル領域は、リン、ヒ素等のn型を付与する不純物元素を添加して形成される。

【0179】

なお、ここでは、p型の半導体基板を用いているが、n型の半導体基板を用いて、p型のトランジスタを形成しても良い。その場合、n型の半導体基板にp型を付与するホウ素等の不純物元素が添加されたpウェル領域を形成して、同一基板上にnチャネル型のトランジスタを形成しても良い。

【0180】

次に、半導体基板251上にゲート絶縁膜257及びゲート電極259を形成する（図4(A））。

40

【0181】

ゲート絶縁膜257として、熱処理を行い半導体基板251の表面を酸化させて酸化シリコン膜を形成することができる。もしくは、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行い酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有するシリコン膜（酸化窒化シリコン膜）との積層構造を形成する。又は、厚さ5～50nmの酸化シリコン、酸化窒化シリコン、高誘電率物質（high-k材料ともいう）であるタンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタン等の金属酸化物、又は酸化ランタンなどの希土

50

類酸化物等を、CVD法、スパッタリング法等を用いて形成しても良い。

【0182】

ゲート電極259は、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造でゲート電極259を形成しても良い。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

【0183】

ゲート電極259は、導電膜をスパッタリング法、CVD法等により形成した後、該導電膜の一部を選択的にエッチングして形成される。

【0184】

なお、高集積化を実現するためには、ゲート電極259の側面にサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタの特性を重視する場合には、ゲート電極259の側面にサイドウォール絶縁層を設けることもできる。

【0185】

次に、図4(B)に示すように、半導体基板251にn型を付与する不純物元素を添加して、n型の導電性を有する領域261a、n型の導電性を有する領域261bを形成する。また、同一基板上にnウェル領域を形成している場合、当該領域にp型を付与する不純物元素を添加してp型の導電性を有する領域を形成する。n型の導電性を有する領域261a、n型の導電性を有する領域261b及びp型の導電性を有する領域におけるn型を付与する不純物元素及びp型を付与する不純物元素の濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下とすることが好ましい。n型を付与する不純物元素及びp型を付与する不純物元素は、イオンドーピング法、イオン注入法等を適宜用いて、半導体基板251及びnウェル領域に添加する。

【0186】

また、ゲート電極259の側面にサイドウォール絶縁層を設ける場合、当該サイドウォール絶縁層と重畳する領域に、n型の導電性を有する領域261a、n型の導電性を有する領域261b及びp型の導電性を有する領域とは異なる不純物濃度の領域を形成することができる。

【0187】

次に、図4(C)に示すように、半導体基板251、素子分離領域253、ゲート絶縁膜257及びゲート電極259上に、スパッタリング法、CVD法等により、絶縁膜265を形成する。

【0188】

絶縁膜265は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層又は単層で設ける。なお、絶縁膜265をCVD法により形成することで、絶縁膜265の水素含有量が高まる。このような絶縁膜265を用いて加熱処理を行うことにより、半導体基板を水素化し、水素によりダングリングボンドを終端させ、当該半導体基板中の欠陥を低減することができる。

【0189】

絶縁膜265を形成した後、n型の導電性を有する領域261a、n型の導電性を有する領域261b及びp型の導電性を有する領域に添加された不純物元素を活性化するための熱処理を行う。

【0190】

以上の工程により、図4(C)に示すように、nチャネル型の第1のトランジスタ101を作製することができる。ここで、第1のトランジスタ101は、単結晶シリコン等を用いて形成されるので、十分な高速動作が可能となる。

10

20

30

40

50

【 0 1 9 1 】

絶縁膜 2 6 5 を形成した後の工程は、図 3 (A) ~ (C) の絶縁膜 2 2 7 を形成した後の工程を適宜参照することができる。

【 0 1 9 2 】

また、本発明の一態様に適用する、酸化物半導体を半導体層に用いたトランジスタの構成は、特に限定されない。図 4 (D) (E) に、本発明の一態様に適用できる、絶縁表面 5 0 1 上に設けられたトランジスタの一例を示す。

【 0 1 9 3 】

図 4 (D) に示すトランジスタは、第 1 のゲート電極 5 0 3 と、第 1 のゲート電極 5 0 3 上の絶縁膜 5 0 5 と、絶縁膜 5 0 5 上の導電層 5 0 7 a 及び導電層 5 0 7 b と、第 1 のゲート電極 5 0 3 と重なる位置において、絶縁膜 5 0 5 上に形成された酸化物半導体層 5 0 9 と、導電層 5 0 7 a、導電層 5 0 7 b 及び酸化物半導体層 5 0 9 上の絶縁膜 5 1 1 と、酸化物半導体層 5 0 9 と重なる位置において、絶縁膜 5 1 1 上に形成された第 2 のゲート電極 5 1 3 と、を有する。

10

【 0 1 9 4 】

図 4 (D) に示すトランジスタでは、第 1 のゲート電極 5 0 3 又は第 2 のゲート電極 5 1 3 の一方にはトランジスタのオン又はオフを制御するための信号が与えられる (ゲート電極として機能する)。第 1 のゲート電極 5 0 3 又は第 2 のゲート電極 5 1 3 の他方は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い (バックゲート電極として機能する)。電位が他から与えられている場合、第 1 のゲート電極 5 0 3 及び第 2 のゲート電極 5 1 3 に同じ高さの電位が与えられていても良いし、他方にのみ接地電位などの固定電位が与えられていても良い。バックゲート電極を設けることにより、トランジスタの閾値電圧の制御を行うことができる。

20

【 0 1 9 5 】

バックゲート電極が不要な場合は、第 1 のゲート電極 5 0 3 又は第 2 のゲート電極 5 1 3 の一方のみを形成すれば良い。

【 0 1 9 6 】

図 4 (E) に示すトランジスタは、第 1 のゲート電極 5 0 3 と、第 1 のゲート電極 5 0 3 上の絶縁膜 5 0 5 と、第 1 のゲート電極 5 0 3 と重なる位置において、絶縁膜 5 0 5 上に形成された酸化物半導体層 5 1 9 と、酸化物半導体層 5 1 9 上の導電層 5 1 7 a 及び導電層 5 1 7 b と、酸化物半導体層 5 1 9、導電層 5 1 7 a 及び導電層 5 1 7 b 上の絶縁膜 5 2 1 と、酸化物半導体層 5 1 9 と重なる位置において、絶縁膜 5 2 1 上に形成された第 2 のゲート電極 5 2 3 と、を有する。

30

【 0 1 9 7 】

図 4 (E) に示すトランジスタでは、図 4 (D) に示すトランジスタと同様に、第 1 のゲート電極 5 0 3 又は第 2 のゲート電極 5 2 3 の一方がゲート電極として機能し、他方がバックゲート電極として機能する。バックゲート電極を設けることにより、トランジスタの閾値電圧の制御を行うことができる。バックゲート電極が不要な場合は、第 1 のゲート電極 5 0 3 又は第 2 のゲート電極 5 2 3 の一方のみを形成すれば良い。

40

【 0 1 9 8 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 0 1 9 9 】

(実施の形態 3)

本実施の形態では、本発明の一態様の記憶回路を有する記憶装置の一例について図 5 及び図 6 を用いて説明する。

【 0 2 0 0 】

< レジスタの構成 >

図 5 (A) に示すレジスタ 2 0 は、本発明の一態様の記憶回路 1 0 と、読み出し回路 1 5 を含む。

【 0 2 0 1 】

50

図 5 (B) にレジスタ 2 0 のより具体的な構成を示す。

【 0 2 0 2 】

図 5 (B) に示す本発明の一態様の記憶回路 1 0 は、第 1 のトランジスタ 3 0 1、第 2 のトランジスタ 3 0 3、第 3 のトランジスタ 3 0 5、及び容量素子 3 0 7 を備える。

【 0 2 0 3 】

第 1 のトランジスタ 3 0 1 は、第 1 のゲート電極、第 1 のソース電極、及び第 1 のドレイン電極を有する。

【 0 2 0 4 】

第 2 のトランジスタ 3 0 3 は、第 2 のゲート電極、第 2 のソース電極、及び第 2 のドレイン電極を有する。第 2 のトランジスタ 3 0 3 は、チャンネル形成領域に酸化物半導体を含む。

10

【 0 2 0 5 】

第 3 のトランジスタ 3 0 5 は、第 3 のゲート電極、第 3 のソース電極、及び第 3 のドレイン電極を有する。第 3 のトランジスタ 3 0 5 は、チャンネル形成領域に酸化物半導体を含む。

【 0 2 0 6 】

第 1 のゲート電極は、第 2 のソース電極又は第 2 のドレイン電極の一方、及び第 3 のソース電極又は第 3 のドレイン電極の一方と電氣的に接続し、第 1 のソース電極又は第 1 のドレイン電極の一方は、電源電位 V_{SS} を供給する配線、容量素子 3 0 7 の一方の電極、及び容量素子 3 1 7 の一方の電極と電氣的に接続し、第 1 のソース電極又は第 1 のドレイン電極の他方は、トランジスタ 3 1 1 のソース電極又はドレイン電極の一方と電氣的に接続し、第 2 のゲート電極は、切り替え信号線 SWL と電氣的に接続し、第 2 のソース電極又は第 2 のドレイン電極の他方は、ビット線 BL と電氣的に接続し、第 3 のゲート電極は、ワード線 WL と電氣的に接続し、第 3 のソース電極又は第 3 のドレイン電極の他方は、容量素子 1 0 7 の他方の電極と電氣的に接続している。

20

【 0 2 0 7 】

トランジスタ 3 1 1 のゲート電極は、読み出し線 RL 、及びトランジスタ 3 1 3 のゲート電極と電氣的に接続し、トランジスタ 3 1 1 のソース電極又はドレイン電極の他方は、トランジスタ 3 1 3 のソース電極又はドレイン電極の一方、容量素子 3 1 7 の他方の電極、及びインバータ 3 1 5 の入力端子と電氣的に接続している。トランジスタ 3 1 3 のソース電極又はドレイン電極の他方は、電源電位 V_{DD} を供給する配線と電氣的に接続している。

30

【 0 2 0 8 】

インバータ 3 1 5 の出力端子は、データ線 DL と電氣的に接続している。なお、読み出し回路の構成に限定は無く、例えば、インバータ 3 1 5 の代わりに、センスアンプ回路や、プルアップ抵抗を用いることができる。

【 0 2 0 9 】

< レジスタの動作 >

レジスタの動作について図 6 を用いて説明する。ここで、ワード線 WL 、切り替え信号線 SWL 、ビット線 BL 、読み出し線 RL 、及びデータ線 DL には、ハイレベルの電位 (H) かローレベルの電位 (L) が与えられるものとする。

40

【 0 2 1 0 】

また、容量素子 3 0 7 の一方の電極、及び第 3 のソース電極又は第 3 のドレイン電極の他方が構成するノードをノード C と記す。また、第 1 のゲート電極、第 2 のソース電極又は第 2 のドレイン電極の一方、及び第 3 のソース電極又は第 3 のドレイン電極の一方が構成するノードをノード D と記す。なお、本実施の形態において、特に記載の無い限り、ゲート容量とは、第 1 のトランジスタ 3 0 1 のゲート容量を指す。

【 0 2 1 1 】

[ステップ S_1 : データを保持するために用いる容量の決定]

まず、レジスタに接続された制御回路から入力される信号に応じて、レジスタにおいてデ

50

ータを保持する容量が決まる。容量素子 307 及びゲート容量を用いる場合は、以下に記すステップ S2 - A、ステップ S3 - A、ステップ S4 - A を、この順で行う。ゲート容量のみを用いる場合は、以下に記すステップ S2 - B、ステップ S3 - B、ステップ S4 - B を、この順で行う。

【0212】

[ステップ S2 - A : 容量素子 307 及びゲート容量を用いたデータの書き込み]

読み出し線 RL にローレベルの電位 (L) を与えることで、トランジスタ 313 をオン状態とし、トランジスタ 311 をオフ状態とする。これにより、インバータ 315 の入力端子には、電源電位 VDD が与えられる。ワード線 WL にハイレベルの電位 (H) を与え、かつ、切り替え信号線 SWL にハイレベルの電位 (H) を与えることで、第 2 のトランジスタ 303 及び第 3 のトランジスタ 305 をオン状態にする。続いて、ビット線 BL に所望の電位 (ハイレベルの電位 (H) 又はローレベルの電位 (L)) を与えることにより、容量素子 307 及びゲート容量に電荷が蓄積され、ノード C 及びノード D に電位が与えられる (データの書き込み)。

10

【0213】

[ステップ S3 - A : 容量素子 307 及びゲート容量を用いたデータの保持]

ワード線 WL にローレベルの電位 (L) を与え、かつ、切り替え信号線 SWL にローレベルの電位 (L) を与えることで、第 2 のトランジスタ 303 及び第 3 のトランジスタ 305 をオフ状態にする。これにより、ノード C 及びノード D に与えられた電位が保持される (データの保持)。

20

【0214】

[ステップ S4 - A : 容量素子 307 及びゲート容量を用いたデータの読み出し]

ワード線 WL にハイレベルの電位 (H) を与え、かつ、読み出し線 RL にハイレベルの電位 (H) を与えることで、第 3 のトランジスタ 305 及びトランジスタ 311 をオン状態とし、トランジスタ 313 をオフ状態にする。ここで、ノード C 及びノード D に保持されている電位が、第 1 のトランジスタ 301 をオン状態とさせる電位かオフ状態とさせる電位かによって、データ線 DL の電位が決まる。

【0215】

ビット線 BL に与えられた電位がハイレベルの電位 (H) であった場合、第 1 のトランジスタ 301 がオン状態となるため、インバータ 315 の入力端子には、電源電位 VSS が与えられる。したがって、データ線 DL の電位は、電源電位 VDD となる。

30

【0216】

一方、ビット線 BL に与えられた電位がローレベルの電位 (L) であった場合、第 1 のトランジスタ 301 がオフ状態となる。インバータ 315 の入力端子には、容量素子 317 に保持された電荷によって、電源電位 VDD が保持されている。したがって、データ線 DL の電位は電源電位 VSS となる。

【0217】

[ステップ S2 - B : ゲート容量を用いたデータの書き込み]

読み出し線 RL にローレベルの電位 (L) を与えることで、トランジスタ 313 をオン状態とし、トランジスタ 311 をオフ状態とする。これにより、インバータ 315 の入力端子には、電源電位 VDD が与えられる。ワード線 WL にローレベルの電位 (L) を与えることで、第 3 のトランジスタ 305 をオフ状態にする。また、切り替え信号線 SWL にハイレベルの電位 (H) を与えることで、第 2 のトランジスタ 303 をオン状態にする。続いて、ビット線 BL に所望の電位 (ハイレベルの電位 (H) 又はローレベルの電位 (L)) を与えることにより、ゲート容量に電荷が蓄積され、ノード D に電位が与えられる (データの書き込み)。

40

【0218】

[ステップ S3 - B : ゲート容量を用いたデータの保持]

切り替え信号線 SWL にローレベルの電位 (L) を与えることで、第 2 のトランジスタ 303 をオフ状態にする。これにより、ノード D に与えられた電位が保持される (データの

50

保持)。

【0219】

[ステップS4 - B : ゲート容量を用いたデータの読み出し]

読み出し線RLにハイレベルの電位(H)を与えることで、トランジスタ311をオン状態とし、トランジスタ313をオフ状態にする。ここで、ノードDに保持されている電位が、第1のトランジスタ301をオン状態とさせる電位かオフ状態とさせる電位かによって、データ線DLの電位が決まる。

【0220】

ビット線BLに与えられた電位がハイレベルの電位(H)であった場合、第1のトランジスタ301がオン状態となるため、インバータ315の入力端子には、電源電位VSSが与えられる。したがって、データ線DLの電位は、電源電位VDDとなる。

10

【0221】

一方、ビット線BLに与えられた電位がローレベルの電位(L)であった場合、第1のトランジスタ301がオフ状態となる。インバータ315の入力端子には、容量素子317に保持された電荷によって、電源電位VDDが保持されている。したがって、データ線DLの電位は電源電位VSSとなる。

【0222】

[ステップS5 : 別のデータの書き込みを行うか]

レジスタに接続された制御回路から入力される信号に応じて、別のデータを書き込む場合は、ステップS1に戻り、書き込まない場合は、終了する。

20

【0223】

以上のように、本発明の一態様の記憶回路を用いた記憶装置は、長く保持したいデータは、長期間保持でき、短時間で書き込みたいデータは、高速で書き込むことができる。本発明の一態様の記憶回路は、高速動作を行うモードと、データの長期保持を行うモードに適宜切り替えて使用できる。

【0224】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0225】

(実施の形態4)

本実施の形態では、本発明の一態様の記憶回路400をマトリクス状に配置した記憶装置の一例について図7を用いて説明する。

30

【0226】

<記憶装置の構成>

図7(A)に本発明の一態様の記憶回路400をm行n列(m、nはそれぞれ独立に2以上の自然数)のマトリクス状に配置した記憶装置を示す。図7(A)に示す記憶装置は、m本のワード線WLと、m本の読み出し選択線RSLと、m本の切り替え信号線SWLと、n本のビット線BL、n本の読み出し線RLと、n本の電源線VLと、を有する。

【0227】

a行目の記憶回路400は、ワード線WL__a、読み出し選択線RSL__a、及び切り替え信号線SWL__aと電氣的に接続している(aは1以上m以下の自然数)。b列目の記憶回路400は、ビット線BL__b、読み出し線RL__b、及び電源線VL__bと電氣的に接続している(bは1以上n以下の自然数)。

40

【0228】

記憶回路400は、第1のトランジスタ401、第2のトランジスタ403、第3のトランジスタ405、容量素子407、及び容量素子409を備える。

【0229】

第1のトランジスタ401は、第1のゲート電極、第1のソース電極、及び第1のドレイン電極を有する。

【0230】

第2のトランジスタ403は、第2のゲート電極、第2のソース電極、及び第2のドレイ

50

ン電極を有する。第2のトランジスタ403は、チャネル形成領域に酸化物半導体を含む。

【0231】

第3のトランジスタ405は、第3のゲート電極、第3のソース電極、及び第3のドレイン電極を有する。第3のトランジスタ405は、チャネル形成領域に酸化物半導体を含む。

【0232】

具体的に、a行b列目の記憶回路400では、第1のゲート電極は、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方、容量素子409の一方の電極と電気的に接続し、第1のソース電極又は第1のドレイン電極の一方は、電源線VL__bと電気的に接続し、第1のソース電極又は第1のドレイン電極の他方は、読み出し線RL__bと電気的に接続し、第2のゲート電極は、切り替え信号線SWL__aと電気的に接続し、第2のソース電極又は第2のドレイン電極の他方は、ビット線BL__bと電気的に接続し、第3のゲート電極は、ワード線WL__aと電気的に接続し、第3のソース電極又は第3のドレイン電極の他方は、容量素子407の一方の電極と電気的に接続している。また、読み出し選択線RSL__aは、容量素子407の他方の電極、及び容量素子409の他方の電極と電気的に接続している。

【0233】

図7(A)に示す記憶装置では、a行の記憶回路400が、ワード線WL__a、読み出し選択線RSL__a、及び切り替え信号線SWL__aを共有し、b列の記憶回路400が、ビット線BL__b、読み出し線RL__b、及び電源線VL__bを共有している。本発明はこの構成に限定されず、ワード線、読み出し選択線、及び切り替え信号線はa行にそれぞれ複数本設けても良く、ビット線、読み出し線、及び電源線はb列にそれぞれ複数本設けても良い。

【0234】

また、図7(B)に示すように、c列と(c+1)列(cは、1以上(b-1)以下の自然数、かつ奇数)の記憶回路が、電源線を共有する構成を適用しても良い。また、図7(B)に示すように、第1のソース電極又は第1のドレイン電極の他方と、第2のソース電極又は第2のドレイン電極の他方と、読み出し線が電気的に接続している構成(ビット線を設けない構成)を適用しても良い。

【0235】

<記憶装置の動作>

図7(A)に示す記憶装置における動作について説明する。まず、1行1列目の記憶回路400の容量素子407及びゲート容量を用いたデータの書き込み、保持、及び読み出しについて説明する。ここでは、容量素子407の一方の電極、及び第3のソース電極又は第3のドレイン電極の他方が構成するノードをノードEと記す。また、第1のゲート電極、容量素子409の一方の電極、第2のソース電極又は第2のドレイン電極の一方、及び第3のソース電極又は第3のドレイン電極の一方が構成するノードをノードFと記す。なお、本実施の形態において、特に記載の無い限り、ゲート容量とは、第1のトランジスタ401のゲート容量を指す。

【0236】

[1-1:容量素子407及びゲート容量を用いたデータの書き込み]

ワード線WL__1の電位を、第3のトランジスタ405がオン状態となる電位にし、かつ、切り替え信号線SWL__1の電位を、第2のトランジスタ403がオン状態となる電位にすることで、第2のトランジスタ403及び第3のトランジスタ405をオン状態にする。続いて、ビット線BL__1に所望の電位を与えることにより、容量素子407及びゲート容量に電荷が蓄積され、ノードE及びノードFに電位が与えられる(データの書き込み)。

【0237】

[1-2:容量素子407及びゲート容量を用いたデータの保持]

ワード線WL__1の電位を、第3のトランジスタ405がオフ状態となる電位にし、かつ、切り替え信号線SWL__1の電位を、第2のトランジスタ403がオフ状態となる電位にすることで、第2のトランジスタ403及び第3のトランジスタ405をオフ状態とする。これにより、ノードE及びノードFに与えられた電位が保持される（データの保持）。

【0238】

[1-3：容量素子407及びゲート容量を用いたデータの読み出し]

ここで、読み出し線RL__1と電氣的に接続する他の記憶回路における第1のトランジスタ401は確実にオフ状態とする必要がある。そのため、読み出し選択線RSL__2～読み出し選択線RSL__nに所望の電位を与えることにより、容量素子409を介して、ノードFの電位が第1のトランジスタ401をオフ状態とする電位に変化させる。このようにして、1行1列目の記憶回路からのデータの読み出しを確実に行うことができる。

10

【0239】

読み出しを行う際、電源線VL__1には、所定の電位（定電位）が与えられる。ワード線WL__1の電位を、第3のトランジスタ405がオン状態となる電位にすることで、第3のトランジスタ405をオン状態にする。ここで、ノードE及びノードFに、第1のトランジスタ401をオン状態とさせる電位が保持されているときは、読み出し線RL__1の電位が変化する。一方、ノードE及びノードFに、第1のトランジスタ401をオフ状態とさせる電位が保持されているときには、読み出し線RL__1の電位は変化しない。したがって、読み出し線RL__1の電位の変化を検知することで、1行1列目の記憶回路に書き込まれたデータを読み出すことができる。

20

【0240】

次に、1行1列目の記憶回路400の第1のトランジスタ401のゲート容量を用いたデータの書き込み、保持、及び読み出しについて説明する。

【0241】

[2-1：ゲート容量を用いたデータの書き込み]

ワード線WL__1の電位を、第3のトランジスタ405がオフ状態となる電位にすることで、第3のトランジスタ405をオフ状態とする。また、切り替え信号線SWL__1の電位を、第2のトランジスタ403がオン状態となる電位にすることで、第2のトランジスタ403をオン状態とする。続いて、ビット線BL__1に所望の電位を与えることにより、ゲート容量に電荷が蓄積され、ノードFに電位が与えられる（データの書き込み）。

30

【0242】

[2-2：ゲート容量を用いたデータの保持]

切り替え信号線SWL__1の電位を、第2のトランジスタ403がオフ状態となる電位にすることで、第2のトランジスタ403をオフ状態とする。これにより、ノードFに与えられた電位が保持される（データの保持）。

【0243】

[2-3：ゲート容量を用いたデータの読み出し]

ここで、読み出し線RL__1と電氣的に接続する他の記憶回路における第1のトランジスタ401は確実にオフ状態とする必要がある。そのため、読み出し選択線RSL__2～読み出し選択線RSL__nに所望の電位を与えることにより、容量素子409を介して、ノードFの電位が第1のトランジスタ401をオフ状態とする電位に変化させる。このようにして、1行1列目の記憶回路からのデータの読み出しを確実に行うことができる。

40

【0244】

読み出しを行う際、電源線VL__1には、所定の電位（定電位）が与えられる。ワード線WL__1の電位を、第3のトランジスタ405がオン状態となる電位にすることで、第3のトランジスタ405をオン状態にする。ここで、ノードFに、第1のトランジスタ401をオン状態とさせる電位が保持されているときは、読み出し線RL__1の電位が変化する。一方、ノードFに、第1のトランジスタ401をオフ状態とさせる電位が保持されているときには、読み出し線RL__1の電位は変化しない。したがって、読み出し線RL__

50

1の電位の変化を検知することで、1行1列目の記憶回路に書き込まれたデータを読み出すことができる。

【0245】

以上のように、本発明の一態様の記憶回路を用いた記憶装置は、長く保持したいデータは、長期間保持でき、短時間で書き込みたいデータは、高速で書き込むことができる。本発明の一態様の記憶回路は、高速動作を行うモードと、データの長期保持を行うモードに適宜切り替えて使用できる。

【0246】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0247】

(実施の形態5)

本明細書に開示する記憶回路、レジスタ、及び記憶装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD(Digital Versatile Disc)などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、煙感知器、放射線測定器、透析装置等の医療機器、などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電気機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車(EV)、内燃機関と電動機を併せ持ったハイブリッド車(HEV)、プラグインハイブリッド車(PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船等が挙げられる。これらの電子機器の具体例を図8に示す。

【0248】

図8(A)は、携帯音楽プレーヤであり、本体3021には、表示部3023、耳に装着するための固定部3022、スピーカ、操作ボタン3024、及び外部メモリスロット3025等が設けられている。本発明の一態様の記憶回路、レジスタ、又は記憶装置を本体3021に内蔵されているCPU等に適用することができる。

【0249】

さらに、図8(A)に示す携帯音楽プレーヤにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。

【0250】

図8(B)はコンピュータであり、本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206等を含む。本発明の一態様の記憶回路、レジスタ、又は記憶装置を本体9201に内蔵されているCPU等に適用することができる。

【0251】

図8(C)(D)に示す電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。

【 0 2 5 2 】

駆動装置 9 7 0 3 は、直流電動機若しくは交流電動機単体、又は電動機と内燃機関と、を組み合わせで構成される。処理装置 9 7 0 4 は、電気自動車 9 7 0 0 の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、制御回路 9 7 0 2 に制御信号を出力する。制御回路 9 7 0 2 は、処理装置 9 7 0 4 の制御信号により、二次電池 9 7 0 1 から供給される電気エネルギーを調整して駆動装置 9 7 0 3 の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【 0 2 5 3 】

図 8 (E) に示すテレビジョン装置 8 0 0 0 は、筐体 8 0 0 1 に表示部 8 0 0 2 が組み込まれており、表示部 8 0 0 2 により映像を表示し、スピーカ部 8 0 0 3 から音声を出力することが可能である。本発明の一態様の記憶回路、レジスタ、又は記憶装置を筐体 8 0 0 1 に組み込まれた表示部 8 0 0 2 を動作するための駆動回路に用いることが可能である。

10

【 0 2 5 4 】

表示部 8 0 0 2 は、液晶表示装置、有機 E L 素子などの発光素子を各画素に備えた発光装置、電気泳動表示装置、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel) 等の半導体表示装置を用いることができる。

【 0 2 5 5 】

テレビジョン装置 8 0 0 0 は、受信機やモデムなどを備えていてもよい。テレビジョン装置 8 0 0 0 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

20

【 0 2 5 6 】

また、テレビジョン装置 8 0 0 0 は、情報通信を行うための CPU 8 0 0 4 や、メモリを備えていてもよい。CPU 8 0 0 4 やメモリに、本発明の一態様の記憶回路、レジスタ、又は記憶装置を適用することもできる。

【 0 2 5 7 】

図 8 (E) において、室内機 8 2 0 0 及び室外機 8 2 0 4 を有するエアコンディショナーは、上記実施の形態で例示した記憶回路を用いた電気機器の一例である。具体的に、室内機 8 2 0 0 は、筐体 8 2 0 1、送風口 8 2 0 2、CPU 8 2 0 3 等を有する。図 8 (E) において、CPU 8 2 0 3 が、室内機 8 2 0 0 に設けられている場合を例示しているが、CPU 8 2 0 3 は室外機 8 2 0 4 に設けられていてもよい。或いは、室内機 8 2 0 0 と室外機 8 2 0 4 の両方に、CPU 8 2 0 3 が設けられていてもよい。

30

【 0 2 5 8 】

図 8 (E) において、電気冷凍冷蔵庫 8 3 0 0 は、上記実施の形態で例示した記憶回路を備える電気機器の一例である。具体的に、電気冷凍冷蔵庫 8 3 0 0 は、筐体 8 3 0 1、冷蔵室用扉 8 3 0 2、冷凍室用扉 8 3 0 3、CPU 8 3 0 4 等を有する。図 8 (E) では、CPU 8 3 0 4 が、筐体 8 3 0 1 の内部に設けられている。

40

【 0 2 5 9 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 符号の説明 】

【 0 2 6 0 】

- 1 0 記憶回路
- 1 5 読み出し回路
- 2 0 レジスタ
- 1 0 1 第 1 のトランジスタ
- 1 0 3 第 2 のトランジスタ
- 1 0 5 第 3 のトランジスタ

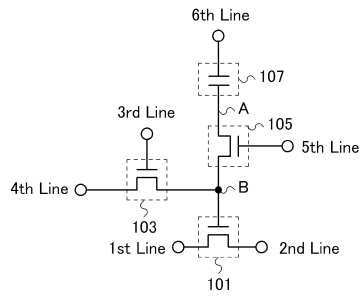
50

1 0 7	容量素子	
1 0 9	容量素子	
2 0 1	半導体層	
2 0 3	ゲート電極	
2 0 5 a	導電層	
2 0 5 b	導電層	
2 0 5 c	導電層	
2 0 7	酸化物半導体層	
2 0 9 a	導電層	
2 0 9 b	導電層	10
2 0 9 c	導電層	
2 0 9 d	導電層	
2 1 1 a ~ c	導電層	
2 2 1	基板	
2 2 3	絶縁膜	
2 2 5	ゲート絶縁膜	
2 2 7	絶縁膜	
2 2 9	絶縁膜	
2 3 1	ゲート絶縁膜	
2 5 1	半導体基板	20
2 5 3	素子分離領域	
2 5 7	ゲート絶縁膜	
2 5 9	ゲート電極	
2 6 1 a	n型の導電性を有する領域	
2 6 1 b	n型の導電性を有する領域	
2 6 5	絶縁膜	
3 0 1	第1のトランジスタ	
3 0 3	第2のトランジスタ	
3 0 5	第3のトランジスタ	
3 0 7	容量素子	30
3 1 1	トランジスタ	
3 1 3	トランジスタ	
3 1 5	インバータ	
3 1 7	容量素子	
4 0 0	記憶回路	
4 0 1	第1のトランジスタ	
4 0 3	第2のトランジスタ	
4 0 5	第3のトランジスタ	
4 0 7	容量素子	
4 0 9	容量素子	40
5 0 1	絶縁表面	
5 0 3	第1のゲート電極	
5 0 5	絶縁膜	
5 0 7 a	導電層	
5 0 7 b	導電層	
5 0 9	酸化物半導体層	
5 1 1	絶縁膜	
5 1 3	第2のゲート電極	
5 1 7 a	導電層	
5 1 7 b	導電層	50

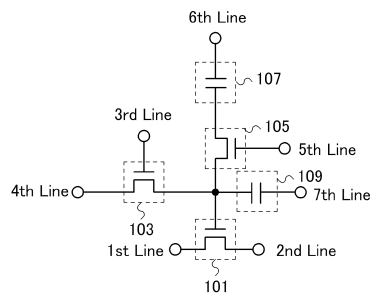
5 1 9	酸化物半導体層	
5 2 1	絶縁膜	
5 2 3	第 2 のゲート電極	
3 0 2 1	本体	
3 0 2 2	固定部	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部メモリスロット	
8 0 0 0	テレビジョン装置	
8 0 0 1	筐体	10
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 0 0 4	C P U	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	
8 2 0 3	C P U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	20
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	
9 7 0 0	電気自動車	30
9 7 0 1	二次電池	
9 7 0 2	制御回路	
9 7 0 3	駆動装置	
9 7 0 4	処理装置	

【図 1】

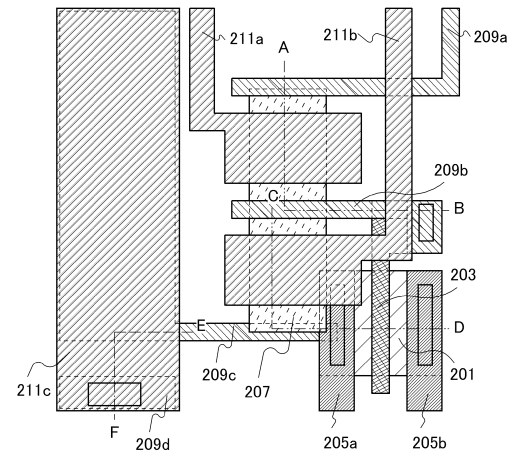
(A)



(B)

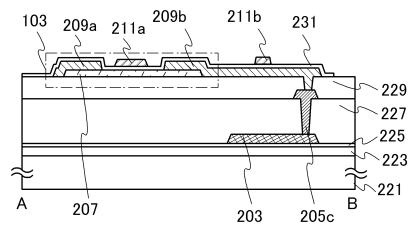


【図 2】

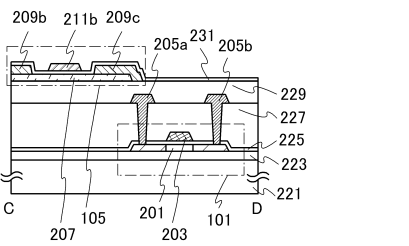


【図 3】

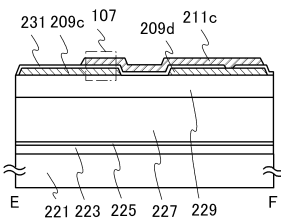
(A)



(B)

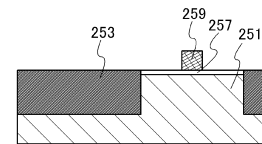


(C)

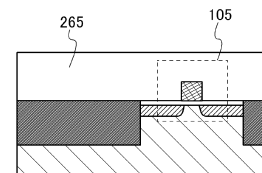


【図 4】

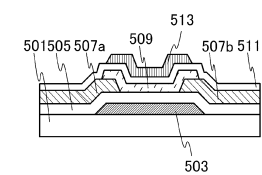
(A)



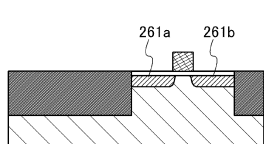
(C)



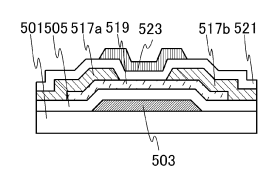
(D)



(B)

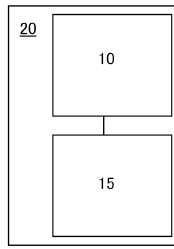


(E)

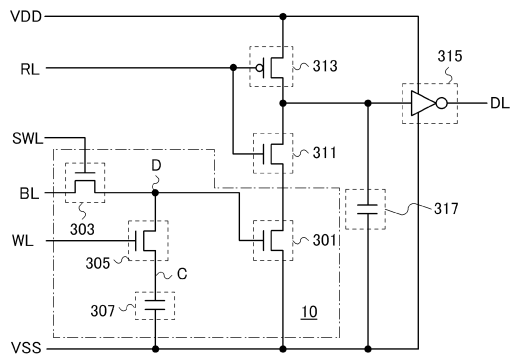


【図 5】

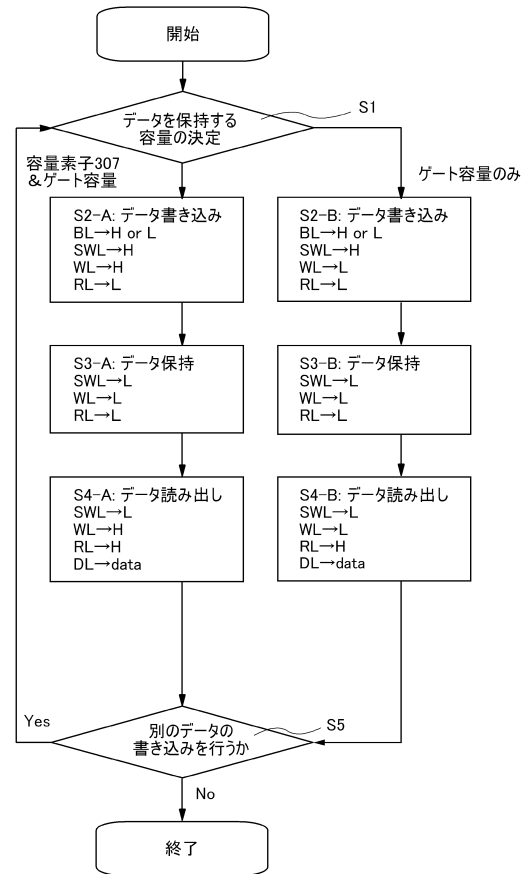
(A)



(B)

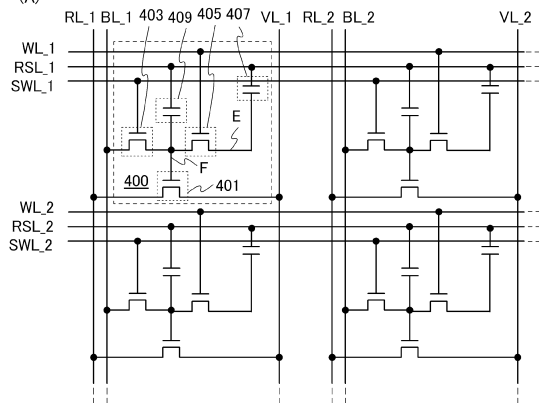


【図 6】

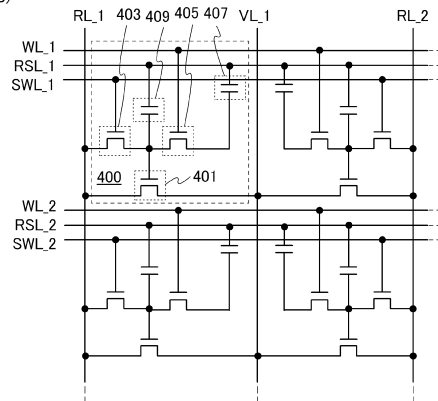


【図 7】

(A)

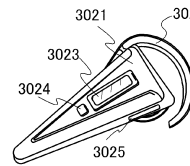


(B)

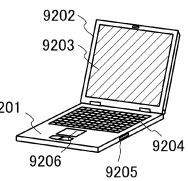


【図 8】

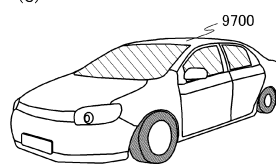
(A)



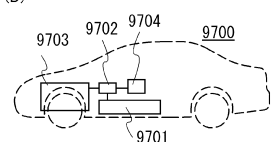
(B)



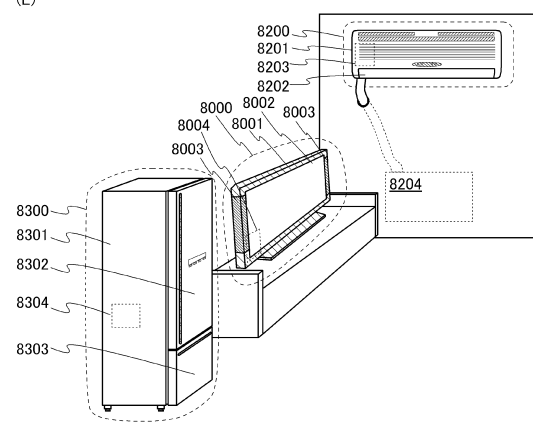
(C)



(D)



(E)



フロントページの続き

(56)参考文献 特開2002-170386(JP,A)
特開2011-171723(JP,A)
特開2007-115335(JP,A)
特開2000-156472(JP,A)
国際公開第2009/063542(WO,A1)

(58)調査した分野(Int.Cl., DB名)
G11C 11/405