(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7517104号
(P7517104)

(45)発行日　令和6年7月17日(2024.7.17)

(24)登録日　令和6年7月8日(2024.7.8)

(51)国際特許分類

		FI		
G02F	*1/1368(2006.01)*	G02F	1/1368	
G02F	*1/1343(2006.01)*	G02F	1/1343	
G09F	*9/30 (2006.01)*	G09F	9/30	338
G09F	*9/35 (2006.01)*	G09F	9/35	
G09F	*9/00 (2006.01)*	G09F	9/00	342

請求項の数　11　（全27頁）

(21)出願番号　特願2020-194184(P2020-194184)
(22)出願日　令和2年11月24日(2020.11.24)
(65)公開番号　特開2022-82980(P2022-82980A)
(43)公開日　令和4年6月3日(2022.6.3)
審査請求日　令和5年9月6日(2023.9.6)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区新宿四丁目１番６号
(74)代理人　100179475
弁理士　仲井 智至
(74)代理人　100216253
弁理士　松岡 宏紀
(74)代理人　100225901
弁理士　今村 真之
(72)発明者　井澤 彰太郎
長野県諏訪市大和３丁目３番５号 セイコーエプソン株式会社内
審査官　井亀 諭

最終頁に続く

(54)【発明の名称】　電気光学装置、電子機器、および電気光学装置の製造方法

(57)【特許請求の範囲】

【請求項１】

第１凹部と、前記第１凹部と連続して設けられ、前記第１凹部よりも深さが深い第２凹部と、を有する絶縁層と、

前記第１凹部の底面において前記第２凹部と重なる領域以外に設けられたエッチングストッパー層と、

前記第２凹部の底面および前記第２凹部の側壁に沿って設けられるとともに、前記第１凹部の底面に沿って設けられた第１容量電極と、前記第１容量電極に積層された容量絶縁層と、前記容量絶縁層に積層された第２容量電極と、を有する容量素子と、を備え、

前記第２凹部と重なる位置における前記第２容量電極の上面、前記第１凹部と重なる位置における前記第１容量電極の上面および前記容量絶縁層の一部は、前記絶縁層の上面と同一面に設けられている電気光学装置。

【請求項２】

データ線と、

走査線と、を備え、

前記容量素子は、平面視にて、前記データ線と前記走査線とが交差する領域と重なる位置に配置される、請求項１に記載の電気光学装置。

【請求項３】

前記第１容量電極および前記第２容量電極は、平面視にて、前記データ線および前記走査線と重ならない部分を含む、請求項２に記載の電気光学装置。

【請求項４】
前記第１容量電極および前記第２容量電極は、平面視にて、前記データ線および前記走査線のうちのいずれか一方と重ならない部分を含む、請求項２に記載の電気光学装置。
【請求項５】
トランジスターを備え、
前記第１容量電極は、前記絶縁層の前記第１凹部に設けられた第１コンタクトホールを介して前記トランジスターと電気的に接続される、請求項１から請求項４のいずれか１項に記載の電気光学装置。
【請求項６】
容量線を備え、
前記第２容量電極は、第２コンタクトホールを介して前記容量線と電気的に接続される、請求項１から請求項５のいずれか１項に記載の電気光学装置。
【請求項７】
前記第１容量電極および前記第２容量電極は、タングステンから成る、請求項１から請求項６のいずれか１項に記載の電気光学装置。
【請求項８】
前記第１凹部の深さは、前記第１容量電極の厚さに等しく、
前記第２凹部の深さは、前記第１容量電極、前記容量絶縁層、および前記第２容量電極の合計の厚さに等しい、請求項１から請求項７のいずれか１項に記載の電気光学装置。
【請求項９】
前記絶縁層と前記第１容量電極との間には、接着層が配置される、請求項１から請求項８のいずれか１項に記載の電気光学装置。
【請求項１０】
請求項１から請求項９のいずれか１項に記載の電気光学装置を備える電子機器。
【請求項１１】
第１絶縁層を形成する工程と、
前記第１絶縁層に、第１凹部を形成する工程と、
前記第１凹部よりも深さが深い第２凹部を、前記第１凹部と連続して一体に形成する工程と、
前記第１絶縁層、前記第１凹部、および前記第２凹部を被覆して、第１導電体層を形成する工程と、
前記第１導電体層を被覆して、第２絶縁層を形成する工程と、
前記第２絶縁層を被覆して、第２導電体層を形成する工程と、
前記第１導電体層、前記第２絶縁層、および前記第２導電体層にＣＭＰ処理を施して、第１容量電極、容量絶縁層、および第２容量電極から成る容量素子を一括で形成する工程と、を含み、
前記第１凹部の深さは、前記第１導電体層の厚さよりも浅く、
前記第２凹部の深さは、前記第１導電体層、前記第２絶縁層、および前記第２導電体層の合計の厚さよりも浅く、前記第１導電体層および前記第２絶縁層の合計の厚さよりも深い電気光学装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電気光学装置、電子機器、および電気光学装置の製造方法に関する。
【背景技術】
【０００２】
従来、画素電極のスイッチング素子にトランジスターを備えた、アクティブ駆動型の電気光学装置である液晶装置が知られていた。このような液晶装置は、複数の画素ごとに、画素電極、画素電極の電位を制御するトランジスター、および画素電極の電位を保持する容量素子を備えている。容量素子は、誘電体膜を挟んで配置された一対の容量電極を有す

る。
【０００３】
例えば、特許文献１には、凹部に５層から成る補助容量素子を設ける液晶表示装置の製造方法が開示されている。また、例えば、特許文献２には、画素電極と薄膜トランジスター（ＴＦＴ：Thin Film Transistor）との間の層に蓄積容量を配置する電気光学装置が開示されている。これら２つの技術では、共に非開口領域である遮光領域に容量素子が配置される。
【先行技術文献】
【特許文献】
【０００４】
【文献】特開２００６－７８７２２号公報
【文献】特開２００４－３３４０６４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、特許文献１の液晶表示装置および特許文献２の電気光学装置では、画素の開口率を向上させることが難しいという課題があった。詳しくは、液晶装置における開口率は、液晶装置をプロジェクターなどの光変調装置として用いる場合に画像の明るさに影響する。画像を明るくするためには開口率を向上させることが望ましい。
【０００６】
特許文献１では、公知の方法にて容量素子を形成すると、容量素子である蓄積容量を構成する電極の各々に対して成膜とパターニングとを繰り返すことになる。そのため、電極間ショートが発生しないように、各層のパターン間の合わせ精度や加工精度に応じて、各パターンの平面的な形状に設計マージンを持たせる必要があった。また、特許文献２では、凹部に容量電極を積層した後に、ＣＭＰ（Chemical Mechanical Polishing）処理を施してからパターニングを行っている。そのため、パターニングにおける加工精度を考慮して補助容量電極の平面的な形状に設計マージンを持たせる必要があった。
【０００７】
容量素子の電極は遮光性を有するため、上述した設計マージンは画素の開口率向上を妨げる要因となっていた。すなわち、画素における開口率を向上させる電気光学装置が求められていた。
【課題を解決するための手段】
【０００８】
電気光学装置は、第１凹部と、前記第１凹部と連続して設けられ、前記第１凹部よりも深さが深い第２凹部と、を有する絶縁層と、前記第１凹部の底面において前記第２凹部と重なる領域以外に設けられたエッチングストッパー層と、前記第２凹部の底面および前記第２凹部の側壁に沿って設けられるとともに、前記第１凹部の底面に沿って設けられた第１容量電極と、前記第１容量電極に積層された容量絶縁層と、前記容量絶縁層に積層された第２容量電極と、を有する容量素子と、を備え、前記第２凹部と重なる位置における前記第２容量電極の上面、前記第１凹部と重なる位置における前記第１容量電極の上面および前記容量絶縁層の一部は、前記絶縁層の上面と同一面に設けられている。
【０００９】
電子機器は、上記の電気光学装置を備える。
【００１０】
電気光学装置の製造方法は、第１絶縁層を形成する工程と、前記第１絶縁層に、第１凹部を形成する工程と、前記第１凹部よりも深さが深い第２凹部を、前記第１凹部と連続して一体に形成する工程と、前記第１絶縁層、前記第１凹部、および前記第２凹部を被覆して、第１導電体層を形成する工程と、前記第１導電体層を被覆して、第２絶縁層を形成する工程と、前記第２絶縁層を被覆して、第２導電体層を形成する工程と、前記第１導電体層、前記第２絶縁層、および前記第２導電体層にＣＭＰ処理を施して、第１容量電極、容

量絶縁層、および第２容量電極から成る容量素子を一括で形成する工程と、を含み、前記第１凹部の深さは、前記第１導電体層の厚さよりも浅く、前記第２凹部の深さは、前記第１導電体層、前記第２絶縁層、および前記第２導電体層の合計の厚さよりも浅く、前記第１導電体層および前記第２絶縁層の合計の厚さよりも深い。

【図面の簡単な説明】

【００１１】

【図１】第１実施形態に係る液晶装置の構成を示す概略平面図。

【図２】液晶装置の構成を示す模式断面図。

【図３】液晶装置の電気的な構成を示す等価回路図。

【図４】画素の配置を示す概略平面図。

【図５】素子基板の詳細な構成を示す拡大断面図。

【図６】液晶装置の製造方法のうち、素子基板の製造方法を示す工程フロー図。

【図７】素子基板の製造方法を示す模式断面図。

【図８】素子基板の製造方法を示す概略平面図。

【図９】素子基板の製造方法を示す模式断面図。

【図１０】素子基板の製造方法を示す概略平面図。

【図１１】素子基板の製造方法を示す模式断面図。

【図１２】素子基板の製造方法を示す概略平面図。

【図１３】素子基板の製造方法を示す模式断面図。

【図１４】素子基板の製造方法を示す模式断面図。

【図１５】素子基板の製造方法を示す模式断面図。

【図１６】素子基板の製造方法を示す模式断面図。

【図１７】素子基板の製造方法を示す概略平面図。

【図１８】素子基板の製造方法を示す模式断面図。

【図１９】素子基板の製造方法を示す概略平面図。

【図２０】素子基板の製造方法を示す模式断面図。

【図２１】素子基板の製造方法を示す概略平面図。

【図２２】第２実施形態に係る液晶装置の詳細な構成を示す拡大断面図。

【図２３】素子基板の製造方法を示す概略平面図。

【図２４】素子基板の製造方法を示す概略平面図。

【図２５】第３実施形態に係る素子基板の製造方法を示す模式断面図。

【図２６】素子基板の製造方法を示す概略平面図。

【図２７】素子基板の製造方法を示す模式断面図。

【図２８】第４実施形態に係る電子機器としての投射型表示装置の構成を示す模式図。

【発明を実施するための形態】

【００１２】

以下の各図においては、必要に応じて相互に直交する座標軸としてＸＹＺ軸を付し、各矢印が指す方向を＋方向とし、＋方向と反対の方向を－方向とする。以下の説明では、＋Ｚ方向を上方、－Ｚ方向を下方ということもあり、＋Ｚ方向から見ることを平面視あるいは平面的という。

【００１３】

また、以下の各図では、各層や各部材を認識可能な程度の大きさにするため、各層や各部材の尺度を実際とは異ならせている。さらに、例えば基板に対して、「基板上に」との記載は、基板の上に接して配置される場合、基板の上に他の構造物を介して配置される場合、または基板の上に一部が接して配置され、一部が他の構造物を介して配置される場合のいずれかを表すものとする。

【００１４】

１．第１実施形態

１．１．液晶装置

本実施形態では、電気光学装置として薄膜トランジスター（ＴＦＴ：Thin Film Transi

stor）を備えたアクティブ駆動型の液晶装置を例示する。まず、本実施形態に係る電気光学装置としての液晶装置１００の構成について図１から図４を参照して説明する。図２は、図１の線分Ｈ－Ｈ’を含み、ＹＺ平面に沿う断面を示している。また、図２では、図示の便宜上、液晶層に含まれる液晶の大きさ、数を実際とは異ならせている。

【００１５】

図１に示すように、本実施形態に係る液晶装置１００は、素子基板１０、対向基板２０、および後述する液晶層を備える。素子基板１０と対向基板２０とは、略矩形であって、対向基板２０の外縁に沿って配置されるシール材６０を介して重ねられて接合される。シール材６０の内側には、マトリクス状に配列された複数の画素Ｐを含む表示領域Ｅが設けられる。

【００１６】

素子基板１０は、データ線駆動回路１０１、２つの走査線駆動回路１０２、検査回路１０３、および複数の外部接続用端子１０４を有する。素子基板１０は平面的に対向基板２０よりも大きい。素子基板１０には、対向基板２０と重ならない領域に複数の外部接続用端子１０４が設けられ、複数の外部接続用端子１０４とシール材６０との間にデータ線駆動回路１０１が設けられる。

【００１７】

シール材６０と表示領域Ｅとの間には、表示領域Ｅを囲む見切り部２４が設けられる。見切り部２４は、略矩形であって、２辺がＹ軸に沿い、他の２辺がＸ軸に沿う。Ｙ軸に沿う上記２辺には、各々走査線駆動回路１０２が平面的に重ねられて配置される。２つの走査線駆動回路１０２は、配線１０７を介して電気的に接続される。Ｘ軸に沿う上記２辺のうち、＋Ｙ方向の１辺には検査回路１０３が平面的に重ねられて配置される。検査回路１０３は、後述するデータ線と電気的に接続される。

【００１８】

データ線駆動回路１０１および２つの走査線駆動回路１０２は、外部接続用端子１０４と電気的に接続される。対向基板２０の四隅には上下導通部１０６が設けられる。

【００１９】

図２に示すように、素子基板１０と対向基板２０とは、Ｚ軸に沿う方向に対向して配置される。素子基板１０と対向基板２０とは、シール材６０によって離間される。液晶層５０は、素子基板１０と対向基板２０との間に配置され、これらの２つの基板とシール材６０とに囲まれる。液晶層５０は液晶５０ａを含む。液晶５０ａは正または負の誘電異方性を有する。本実施形態では負の誘電異方性を有する液晶５０ａを採用する。

【００２０】

素子基板１０は、基板本体としての基板１０ｓ、トランジスターとしてのＴＦＴ３０を含む配線層、画素電極１５、および配向膜１８を有し、これらの構成が基板１０ｓから液晶層５０に向かって上記の順に配置される。配向膜１８は、画素電極１５と液晶層５０との間に配置される。

【００２１】

対向基板２０は、基板本体としての基板２０ｓ、見切り部２４、絶縁層２５、共通電極２１、および配向膜２２を有し、これらが基板２０ｓから液晶層５０に向かって上記の順に配置される。配向膜２２は、共通電極２１と液晶層５０との間に配置される。

【００２２】

配向膜１８，２２は液晶装置１００の光学設計に基づいて選定される。配向膜１８，２２の形成材料としては、酸化シリコンなどの無機配向膜、ポリイミドなどの有機配向膜が挙げられる。配向膜１８，２２は、負の誘電異方性を有する液晶５０ａを略垂直配向させる。

【００２３】

基板１０ｓ，２０ｓには、例えば、ガラス基板や石英基板などの透光性および絶縁性を有する平板が採用される。本明細書において透光性とは、可視光の透過率が５０％以上であることをいう。なお、素子基板１０の詳細な構成は後述する。

【００２４】
液晶装置１００は、透過型であって、対向基板２０から光Ｌが入射し、液晶層５０を介して素子基板１０から出射する。光Ｌは液晶層５０を透過する際に、液晶５０ａの配向状態に応じて変調される。液晶装置１００に対する光Ｌの入射方向は、上記に限定されず、素子基板１０から光Ｌが入射する構成であってもよい。また、液晶装置１００は、透過型であることに限定されず、反射型であってもよい。液晶装置１００には、ノーマリーホワイトモードやノーマリーブラックモードの光学設計が採用される。液晶装置１００は、光Ｌの入射側と出射側とに偏光素子を備えてもよい。
【００２５】
図３に示すように、液晶装置１００は、互いに絶縁された信号配線として、データ線６、走査線３および容量線８を各々複数有する。走査線３のうち後述する第２走査線３ｂはＸ軸に沿う方向に延在し、データ線６および容量線８はＹ軸に沿う方向に延在する。容量素子１６はＴＦＴ３０と電気的に接続される。容量線８は、Ｙ軸に沿う構成に限定されず、Ｘ軸に沿う構成であってもよい。
【００２６】
画素電極１５、ＴＦＴ３０および容量素子１６は、走査線３とデータ線６および容量線８とによって区分された領域に画素Ｐごと設けられ、画素Ｐの画素回路を構成する。走査線３、データ線６および容量線８などの信号配線類は、上述の配線層に設けられる。
【００２７】
走査線３は、スイッチング素子であるＴＦＴ３０のゲートに電気的に接続される。データ線６は、ＴＦＴ３０のデータ線側ソースドレイン領域に電気的に接続される。走査線３は、同一行に設けられたＴＦＴ３０のオン、オフを一斉に制御する。画素電極１５は、ＴＦＴ３０の画素電極側ソースドレイン領域に電気的に接続される。
【００２８】
データ線６は、上述のデータ線駆動回路１０１に電気的に接続され、データ線駆動回路１０１から供給される画像信号を画素Ｐに供給する。画像信号は、各データ線６へ線順次に供給されてもよく、隣り合う複数のデータ線６へグループごとに供給されてもよい。
【００２９】
走査線３は、上述の走査線駆動回路１０２に電気的に接続され、走査線駆動回路１０２から供給される走査信号を画素Ｐに供給する。走査信号は、走査線３へ所定のタイミングにてパルス的に線順次で供給される。
【００３０】
走査信号の入力によりＴＦＴ３０が一定期間オン状態とされ、画像信号が所定のタイミングで画素電極１５に印加される。画像信号は、画素電極１５を介して液晶層５０に所定レベルで書き込まれ、画素電極１５と液晶層５０を挟んだ共通電極２１との間で一定期間保持される。このとき、画像信号に応じて印加される電圧によって、液晶５０ａの配向状態が変化する。保持された画像信号がリークするのを防ぐため、画素電極１５と共通電極２１との間に設けられた液晶容量に対して、容量素子１６が電気的に並列接続される。容量素子１６は、ＴＦＴ３０と容量線８との間の層に設けられる。
【００３１】
図４に示すように、液晶装置１００における画素Ｐは、表示領域ＥにおいてＸ軸に沿う方向およびＹ軸に沿う方向にマトリクス状に配置される。画素Ｐは、例えば、平面視で略四角形の開口領域ＯＰを有する。開口領域ＯＰは、Ｘ軸およびＹ軸に沿って延在し、格子状に設けられた遮光性の非開口領域ＣＬに囲まれる。
【００３２】
画素Ｐの非開口領域ＣＬには、上述した容量素子１６が配置される。Ｘ軸に沿って延在する非開口領域ＣＬには、上述の第２走査線３ｂが配置される。Ｙ軸に沿って延在する非開口領域ＣＬには、上記のデータ線６および容量線８が配置される。換言すれば、走査線３、データ線６、および容量線８などには遮光性の導電性部材が採用されるため、走査線３、データ線６、および容量線８などによって非開口領域ＣＬが構成される。非開口領域

ＣＬは、対向基板２０に設けられるブラックマトリクスである遮光部を含んでもよい。
【００３３】
非開口領域ＣＬの交差部付近、すなわち、平面視にてデータ線６および容量線８と、第２走査線３ｂとが交差する領域には、画素Ｐの開口率を確保するために、上述したＴＦＴ３０や容量素子１６などが配置される。ＴＦＴ３０や容量素子１６などが配置されるため、上記交差部付近は他の部分に比べて幅が広い。これにより、容量素子１６の平面的な面積を拡大し易くなり、容量素子１６の容量を増大させることができる。また、上記領域に遮光性を有する容量素子１６を配置するため、画素Ｐの開口領域が狭くなり難く、開口率をより向上させることができる。なお、ここでいう画素Ｐの開口率とは、表示領域Ｅの平面的な面積に対する、開口領域ＯＰの平面的な面積の比率である。
【００３４】
複数の画素Ｐに対応して、複数の画素電極１５がマトリクス状に配置される。画素電極１５は、平面視にて略正方形であって、外縁が非開口領域ＣＬとほぼ重なるように開口領域ＯＰに設けられる。
【００３５】
１．２．素子基板
素子基板１０の詳細な構成について図５を参照して説明する。図５では、素子基板１０において、図４の線分Ａ－Ａ‘を含み、ＹＺ平面に沿う断面の一部を拡大している。
【００３６】
図５に示すように、基板１０ｓ上には、複数の層が設けられる。素子基板１０は、基板１０ｓ、ＴＦＴ３０、第１走査線３ａ、第２走査線３ｂ、容量素子１６、第１凹部５１、および第２凹部５２を有する。上述した走査線３は、第１走査線３ａおよび第２走査線３ｂを含む。第１走査線３ａおよび第２走査線３ｂは遮光性を有する。第２走査線３ｂが本発明の走査線の一例である。
【００３７】
素子基板１０に設けられた複数の層は、基板１０ｓから上方に向かって、順に、第１走査線３ａを含む第１層、半導体層３０ａを含む第２層、ゲート電極３０ｇを含む第３層、中継電極４５，４６を含む第４層、第２走査線３ｂを含む第５層、容量素子１６を含む第６層、容量素子１６を覆う第７層、データ線６を含む第８層、容量線８を含む第９層、および配向膜１８と上述した画素電極１５とを含む第１０層を備える。
【００３８】
第１層と第２層との間には下地絶縁層１１が、第２層と第３層との間にはゲート絶縁層１２が、第３層と第４層との間には層間絶縁層１３ａが、第４層と第５層との間には層間絶縁層１３ｂが、第５層と第６層との間には層間絶縁層１３ｃが、第７層には層間絶縁層１３ｄが、第８層と第９層との間には層間絶縁層１３ｅが、第９層と第１０層との間には層間絶縁層１３ｆが、それぞれ設けられる。これにより各層間における短絡の発生が防止される。
【００３９】
基板１０ｓ上の第１層には、第１走査線３ａが設けられる。第１走査線３ａは、ＴＦＴ３０の半導体層３０ａと基板１０ｓとの間に配置される。第１走査線３ａは、平面的に半導体層３０ａと重ねられて島状を成し、画素Ｐごとに分断されている。第１走査線３ａは、図示しないコンタクトホールを介して第２走査線３ｂと電気的に接続される。
【００４０】
第１走査線３ａの形成材料としては、遮光性を有する、例えば、チタン（Ｔｉ）、クロム（Ｃｒ）、Ｗ（タングステン）Ｔａ（タンタル）、モリブデン（Ｍｏ）などの高融点金属のうちの１種類以上を含む、金属単体、合金、金属シリサイド、ポリシリサイド、導電性ポリシリコンまたはアモルファスシリコンなどのシリコン膜などを単層または複数層としたものが挙げられる。
【００４１】
第１走査線３ａは、主に下方から半導体層３０ａに入射する光を遮光する機能を有する

。本実施形態では、第１走査線３ａにタングステンシリサイドを用いる。
【００４２】
第１走査線３ａと第２層との間には、下地絶縁層１１が設けられる。下地絶縁層１１は、第１走査線３ａとＴＦＴ３０とを絶縁する機能を有する。下地絶縁層１１は、例えば、酸化シリコン（None-doped Silicate Glass：ＮＳＧ）や窒化シリコンを用いて形成される。
【００４３】
第１層上の第２層および第３層には、ＴＦＴ３０が配置される。ＴＦＴ３０は、第２層に設けられる半導体層３０ａと、第３層に設けられるゲート電極３０ｇと、を含む。ＴＦＴ３０の半導体層３０ａにはＬＤＤ（Lightly Doped Drain）構造が形成される。
【００４４】
半導体層３０ａは、第２層においてＹ軸に沿う方向に延在する。半導体層３０ａは、チャネル領域３０ｃ、高濃度不純物領域３０ｄ，３０ｓ、接続層であるＬＤＤ領域としての、低濃度不純物領域３０ｅ，３０ｆを含む。
【００４５】
半導体層３０ａを被覆してゲート絶縁層１２が設けられる。ゲート絶縁層１２は、半導体層３０ａとゲート電極３０ｇとの間にあって、半導体層３０ａとゲート電極３０ｇとを絶縁する。
【００４６】
ゲート電極３０ｇは、チャネル領域３０ｃとＺ軸に沿う方向に対向して、第３層に設けられる。ゲート電極３０ｇは、例えば、導電性のポリシリコン、金属シリサイド、金属あるいは金属化合物などを用いて形成される。本実施形態では、ゲート電極３０ｇは、導電性のポリシリコン膜とタングステンシリサイド膜との２層構造である。導電性のポリシリコン膜は、減圧ＣＶＤ法にて燐（Ｐ）がドープされたポリシリコン膜を堆積させた後に、燐拡散処理を行ってポリシリコン膜中に燐原子が1×10^{19}個／cm^3以上の濃度で含まれるように形成する。
【００４７】
なお、以下の説明では、導電性のポリシリコン膜は、燐原子がドープされて導電性が付与されたポリシリコン膜を指すものとする。なお、ポリシリコン膜にドープされる原子は燐原子に限定されない。
【００４８】
ゲート電極３０ｇの上方には、ゲート電極３０ｇを覆って層間絶縁層１３ａが設けられる。層間絶縁層１３ａは、例えば、ＮＳＧ膜、燐（Ｐ）を含むＰＳＧ（Phospho silicate Glass）膜、ホウ素（Ｂ）を含むＢＳＧ（Boro silicate Glass）膜、ホウ素（Ｂ）と燐（Ｐ）とが含まれるＢＰＳＧ（Boro-phospho silicate Glass）膜などのシリコン系酸化膜の１種類以上を用いて形成される。
【００４９】
層間絶縁層１３ａには、コンタクトホール４１ａ，４２ａ，４３などが設けられる。コンタクトホール４１ａは、層間絶縁層１３ａを貫通して、半導体層３０ａの高濃度不純物領域３０ｄと、第４層の中継電極４５とを電気的に接続する。コンタクトホール４２ａは、層間絶縁層１３ａを貫通して、半導体層３０ａの高濃度不純物領域３０ｓと、第４層の中継電極４６とを電気的に接続する。コンタクトホール４３は、層間絶縁層１３ａ，１３ｂを貫通して、ゲート電極３０ｇと上方の第２走査線３ｂとを電気的に接続する。
【００５０】
層間絶縁層１３ａ上の第４層には、中継電極４５，４６が設けられる。中継電極４５は、平面的に半導体層３０ａの高濃度不純物領域３０ｄとほぼ重ねられて配置される。中継電極４６は、平面的に半導体層３０ａの高濃度不純物領域３０ｓの一部と重ねられて配置される。中継電極４５，４６には、第１走査線３ａと同様な形成材料が採用される。
【００５１】
中継電極４５，４６の上方には、中継電極４５，４６を覆って層間絶縁層１３ｂが設け

られる。層間絶縁層１３ｂには、層間絶縁層１３ａと同様な形成材料が採用される。
【００５２】
層間絶縁層１３ｂには、タングステンプラグ４１ｂ、コンタクトホール、４２ｂ，４３などが設けられる。タングステンプラグ４１ｂは、層間絶縁層１３ｂおよび上層を貫通して、中継電極４５と容量素子１６の第１容量電極である下部容量電極１６ａとを電気的に接続する。タングステンプラグ４１ｂは、本発明の第１コンタクトホールの一例である。コンタクトホール４２ｂは、層間絶縁層１３ｂおよび上層を貫通して、中継電極４６とデータ線６とを電気的に接続する。
【００５３】
層間絶縁層１３ｂ上の第５層には、第２走査線３ｂが設けられる。第２走査線３ｂは、ゲート電極３０ｇと容量素子１６との間の層に配置される。第２走査線３ｂは、Ｘ軸に沿う方向に延在する。また、第２走査線３ｂは、平面的に半導体層３０ａと重なる領域において、＋Ｙ方向および－Ｙ方向の幅が太くされている。第２走査線３ｂは、コンタクトホール４３を介してゲート電極３０ｇと電気的に接続される。これにより、ゲート電極３０ｇに対して、第１走査線３ａおよび第２走査線３ｂが電気的に接続される。第２走査線３ｂには、第１走査線３ａと同様な形成材料が採用される。
【００５４】
ここで、本実施形態では、ゲート電極３０ｇと第２走査線３ｂとを別配線とした形態を例示したが、これに限定されない。素子基板１０は、ゲート電極３０ｇと第２走査線３ｂとを共通化して、第２走査線がゲート電極を兼ねる形態であってもよい。
【００５５】
第２走査線３ｂの上方には、第２走査線３ｂを覆って第１絶縁層としての層間絶縁層１３ｃが設けられる。層間絶縁層１３ｃには、層間絶縁層１３ａと同様な形成材料が採用される。層間絶縁層１３ｃの厚さは、特に限定されないが、例えば４００ｎｍから８００ｎｍである。なお、本明細書において各配線および各層の厚さとは、それらを構成する層のＺ軸に沿う方向の厚さをいう。
【００５６】
層間絶縁層１３ｃ上の第６層には、第１凹部５１、第２凹部５２、および容量素子１６が設けられる。第１凹部５１は、平面的に下層の中継電極４５の一部と重ねられて配置される。第２凹部５２は、第１凹部５１の－Ｙ方向に、第１凹部５１と連続して一体に設けられる。第２凹部５２は、平面的に、チャネル領域３０ｃ、低濃度不純物領域３０ｅ，３０ｆと重ねられ、高濃度不純物領域３０ｄ，３０ｓの一部とも重ねられて配置される。
【００５７】
第１凹部５１および第２凹部５２は、絶縁層としての層間絶縁層１３ｃに設けられた窪みであって、第２凹部５２の窪みの深さは、第１凹部５１の窪みの深さより深い。これは、第１凹部５１および第２凹部５２を形成する際に、第１凹部５１を形成した後に、第１凹部５１の一部の領域を下方にエッチングして第２凹部５２を形成するためである。なお、本明細書において第１凹部５１や第２凹部５２などの窪み深さとは、それらの窪みが形成された層間絶縁層１３ｃの上方の、後述する平面１３ｃＳから窪みの底までＺ軸に沿う方向の距離をいう。
【００５８】
容量素子１６は第２凹部５２に配置される。容量素子１６は、平面視で非開口領域ＣＬに収まるように設けられる。容量素子１６は、第１容量電極としての下部容量電極１６ａ、容量絶縁層１６ｂ、および第２容量電極としての上部容量電極１６ｃから成る。下部容量電極１６ａと上部容量電極１６ｃとは、第２凹部５２内にて容量絶縁層１６ｂを介して重ねられる。
【００５９】
容量素子１６は、第２凹部５２にあって、＋Ｚ方向に向かって下部容量電極１６ａ、容量絶縁層１６ｂ、上部容量電極１６ｃの順に積層されて成る。容量素子１６は、上述した画素電極１５における電位保持特性を向上させる。容量素子１６は、遮光性を有する形成

材料を含むことから、ＴＦＴ３０への上方からの入射光を遮る機能も有する。

【００６０】

下部容量電極１６ａは、第２凹部５２の底面５２Ｂから、第２凹部５２の側壁５２Ｗを経て、第１凹部５１の底面５１Ｂまで連続して設けられる。第２凹部５２における上部容量電極１６ｃの上方の表面と、第１凹部５１における下部容量電極１６ａの上方の表面と、容量絶縁層１６ｂの一部と、は同一面にある。該同一面には、第１凹部５１および第２凹部５２を除く、層間絶縁層１３ｃの上方の平面１３ｃＳも含まれる。

【００６１】

容量素子１６の上記形態は、第１凹部５１および第２凹部５２を含む層間絶縁層１３ｃを覆って、下部容量電極１６ａ、容量絶縁層１６ｂ、および上部容量電極１６ｃと成る層を積層した後、ＣＭＰ（Chemical Mechanical Polishing）処理により容量素子１６を形成することに由来する。第１凹部５１、第２凹部５２、および容量素子１６の形成方法については後述する。

【００６２】

下部容量電極１６ａは、第１凹部５１において、第１コンタクトホールであるタングステンプラグ４１ｂを有する。これにより、下部容量電極１６ａは、タングステンプラグ４１ｂ、中継電極４５、およびコンタクトホール４１ａを介して、半導体層３０ａの高濃度不純物領域３０ｄと電気的に接続される。タングステンプラグ４１ｂは、層間絶縁層１３ｂ，１３ｃ，１３ｄを貫通する貫通孔に設けられる。

【００６３】

下部容量電極１６ａおよび上部容量電極１６ｃの形成材料としては、導電性を有し、形成時にＣＶＤ法が採用可能であれば特に限定されない。該形成材料の具体例としては、タングステン（Ｗ）、窒化チタン（ＴｉＮ）、導電性のポリシリコン膜などが挙げられる。これらの形成材料の中でも、下部容量電極１６ａおよび上部容量電極１６ｃはタングステン（Ｗ）から成ることが好ましい。これによれば、下部容量電極１６ａおよび上部容量電極１６ｃの遮光性が向上して、ＴＦＴ３０への入射光をさらに低減することができる。また、タングステン（Ｗ）はパターニングによる形成が困難であるが、第２凹部５２に容量素子１６を設けることで、パターニングを行わずにＣＭＰ処理にて容易に形成することができる。

【００６４】

下部容量電極１６ａにタングステン（Ｗ）を採用する場合には、下部容量電極１６ａにおける＋Ｚ方向と反対の方向の表面、つまり下部容量電極１６ａの下方の表面と、第１凹部５１および第２凹部５２との間に、接着層を配置してもよい。接着層の形成材料には、窒化チタンまたは窒化タングステンなどを採用する。これにより、下部容量電極１６ａと下方の層間絶縁層１３ｄとの密着性が向上する。下部容量電極１６ａの厚さは、特に限定されないが、例えば３００ｎｍである。

【００６５】

容量絶縁層１６ｂは、第２凹部５２において、下部容量電極１６ａの上方から第２凹部５２の側壁の下部容量電極１６ａの内側にわたって設けられる。容量絶縁層１６ｂは、誘電率が異なる誘電体材料を用いて形成された複数の層から成る。誘電体材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化シリコン、窒化シリコン、酸化タンタルなどが挙げられ、これらが組み合わされて用いられる。誘電率が異なる複数の層を組み合わせることにより、単層と比べてより大きな電気容量を確保可能となる。なお、容量絶縁層１６ｂは複数の層から成ることに限定されない。

【００６６】

本実施形態では、容量絶縁層１６ｂとして、高い誘電率を有する酸化ハフニウムと、耐圧性に優れる酸化アルミニウムとを、この順番に交互に積層した多層膜を用いる。容量絶縁層１６ｂの上方の表面、すなわち上部容量電極１６ｃと接する面には、保護膜として窒化チタンをスパッタによって成膜してもよい。容量絶縁層１６ｂの厚さは、特に限定されないが、例えば５０ｎｍである。

【００６７】
上部容量電極１６ｃは、第２凹部５２において、容量絶縁層１６ｂの上方から第２凹部５２の側壁の容量絶縁層１６ｂの内側にわたって設けられる。上部容量電極１６ｃは、第２コンタクトホールとしての後述するコンタクトホール４４などを介して、上層の容量線８と電気的に接続される。コンタクトホール４４は、層間絶縁層１３ｄ，１３ｅを貫通する貫通孔に設けられる。これにより、上部容量電極１６ｃは、図示しないコンタクトホール４４を介して、容量線８と電気的に接続される。上部容量電極１６ｃの厚さは、特に限定されないが、例えば１００ｎｍである。
【００６８】
容量素子１６上の第７層として、容量素子１６を覆って層間絶縁層１３ｄが設けられる。層間絶縁層１３ｄには、層間絶縁層１３ａと同様な形成材料が採用される。
【００６９】
層間絶縁層１３ｄ上の第８層には、データ線６が設けられる。データ線６は、画素Ｐの非開口領域ＣＬにおいてＹ軸に沿う方向に延在する。データ線６は、層間絶縁層１３ｂ，１３ｃ，１３ｄを貫通するコンタクトホール４２ｂを介して、中継電極４６と電気的に接続される。これにより、データ線６は、コンタクトホール４２ｂ、中継電極４６、およびコンタクトホール４２ａを介して、半導体層３０ａの高濃度不純物領域３０ｓと電気的に接続される。
【００７０】
データ線６の形成材料としては、導電性を有する低抵抗配線材料であれば特に限定されないが、例えば、アルミニウム（Ａｌ）、チタン（Ｔｉ）などの金属やその金属化合物が挙げられる。本実施形態では、データ線６は、Ｔｉ（チタン）層／ＴｉＮ（窒化チタン）層／Ａｌ（アルミニウム）層／ＴｉＮ（窒化チタン）層の４層構造である。
【００７１】
データ線６を覆って層間絶縁層１３ｅが設けられる。層間絶縁層１３ｅには、層間絶縁層１３ａと同様な形成材料が採用される。層間絶縁層１３ｅでは、成膜後の表面に下層の配線などによって凹凸が生じやすい。そのため、例えば、ＣＭＰ処理などの平坦化処理を施してもよい。
【００７２】
層間絶縁層１３ｅ上の第９層には、容量線８が設けられる。容量線８は、平面的にＹ軸に沿う方向に延在すデータ線６と重ねられて設けられる。容量線８は、図示を省略するが、対向基板２０の上下導通部１０６と電気的に接続される。そのため、容量線８には、共通電極２１に与えられる共通電位と同じ電位が与えられる。容量線８によって、データ線６や走査線３の電位の影響が画素電極１５におよぶことが抑えられる。
【００７３】
図示を省略するが、容量線８は、平面的に第２走査線３ｂと重なる領域において、データ線６に対して＋Ｙ方向に一部突出する凸部を有する。この凸部に上記コンタクトホール４４が電気的に接続される。これにより、容量線８は、コンタクトホール４４を介して容量素子１６の上部容量電極１６ｃとも電気的に接続される。容量線８の形成材料としては、データ線６と同様な、導電性を有する低抵抗配線材料が採用される。
【００７４】
容量線８を覆って層間絶縁層１３ｆが設けられる。層間絶縁層１３ｆには、層間絶縁層１３ａと同様な形成材料が採用される。層間絶縁層１３ｆにも、成膜後の表面に下層の配線などによって凹凸が生じやすい。そのため、例えば、ＣＭＰ処理などの平坦化処理を施してもよい。
【００７５】
層間絶縁層１３ｆ上の第１０層には、上述した画素電極１５が設けられる。画素電極１５は、図５では図示されない開口領域ＯＰに配置される。画素電極１５は、例えばＩＴＯ（Indium Tin Oxide）やＩＺＯ（Indium Zinc Oxide）などの透明導電膜を成膜した後、パターニングすることによって形成される。画素電極１５は、図示しないコンタクトホ

ールおよび中継電極などを介して、下部容量電極１６ａ、半導体層３０ａの高濃度不純物領域３０ｄと電気的に接続される。

【００７６】

画素電極１５および画素電極１５が配置されない層間絶縁層１３ｆの上方を覆って配向膜１８が設けられる。本実施形態では、素子基板１０の配向膜１８および対向基板２０の配向膜２２に無機配向膜を採用する。該無機配向膜は、酸化シリコンなどの無機材料を、斜め方向などから蒸着して柱状に成長させたカラムの集合体から成る。

【００７７】

液晶層５０の液晶５０ａは、配向膜１８，２２に対して負の誘電異方性を有する。そのため、液晶５０ａは、配向膜面の法線方向に対してカラムの傾斜方向に３°から５°のプレチルト角度θｐを有して略垂直配向（ＶＡ：Vertical Alignment）する。画素電極１５と共通電極２１との間に、交流電圧（駆動信号、交流信号）を印加して液晶層５０を駆動することにより、液晶５０ａが画素電極１５と共通電極２１との間に生ずる電界方向に傾くように振動する。

【００７８】

１．３．液晶装置の製造方法

本実施形態に係る電気光学装置の製造方法としての液晶装置の製造方法について、図６から図２１を参照して説明する。模式断面図では、図５に示した図４の線分Ａ－Ａ’における断面に対して、図示する領域を拡大すると共に、基板１０ｓ、第１走査線３ａ、および第２走査線３ｂなどの図示を省略している。概略平面図では、図４に示した領域Ｆを拡大して示している。なお、概略平面図の説明は、特に断りがない限り平面視した状態を述べるものとする。また、以下の説明においては図５も参照することとする。

【００７９】

本実施形態の電気光学装置としての液晶装置１００の製造方法は、以下に述べる素子基板１０の製造方法を含み、素子基板１０の製造方法に備わる工程以外では公知の技術が採用可能である。そのため、以下の説明では、素子基板１０の製造方法についてのみ述べることとする。また、素子基板１０の製造方法においても、特に断りがない限り公知の技術が採用可能である。

【００８０】

図６に示すように、本実施形態の素子基板１０の製造方法は、工程Ｓ１から工程Ｓ８を含む。以下、工程Ｓ１から工程Ｓ８の各工程について説明する。なお、図６の工程フローは一例であって、これに限定されるものではない。

【００８１】

工程Ｓ１では、基板１０ｓ上に第１走査線３ａ、下地絶縁層１１、ＴＦＴ３０、および第２走査線３ｂなどを形成する。まず、基板１０ｓ上に第１走査線３ａを形成する。第１走査線３ａの形成には、例えば、フォトリソグラフィー法によるパターニング加工を用いる。

【００８２】

次いで、第１走査線３ａを含む第１層上に下地絶縁層１１をベタ状に形成する。下地絶縁層１１の形成には、例えば、モノシラン（SiH_4）、２塩化シラン（$SiCl_2H_2$）、ＴＥＯＳ（Tetraethyl Orthosilicate）、アンモニアなどの処理ガスを用いた、常圧ＣＶＤ法、減圧ＣＶＤ法、あるいはプラズマＣＶＤ法などが採用される。

【００８３】

次いで、下地絶縁層１１上に、ポリシリコン膜から成る半導体層３０ａを形成する。半導体層３０ａの形成では、例えば、非晶質シリコン膜に５５０℃以上の高温処理を施して結晶化させる。半導体層３０ａは、例えば、減圧ＣＶＤ法などで堆積させた非晶質シリコン膜に、結晶化が施されたポリシリコン膜から成る。そのために、上記非晶質シリコン膜に、例えば、１０００℃以上の高温処理を行って結晶化を施す。ポリシリコン膜に、不純物イオンが選択的に注入されて、チャネル領域３０ｃ、高濃度不純物領域３０ｄ，３０ｓ、接続層であるＬＤＤ領域としての、低濃度不純物領域３０ｅ，３０ｆが形成される。

【００８４】
次いで、半導体層３０ａを含む第２層を覆ってゲート絶縁層１２を形成する。ゲート絶縁層１２として、例えば、２種類の酸化シリコンからなる２重構造を採用する場合には、シリコンの半導体膜を熱酸化して得られる第１酸化シリコン膜を形成した後、減圧ＣＶＤ法を用いて７００℃から９００℃の高温条件で第２酸化シリコン膜を形成する。
【００８５】
次いで、平面的に第１走査線３ａと重なる位置に、半導体層３０ａをＸ軸に沿う方向に挟んで、下地絶縁層１１およびゲート絶縁層１２を貫通する一対の貫通孔を形成する。一対の貫通孔の形成には、例えば、乾式エッチングが採用可能である。一対の貫通孔は、ゲート電極３０ｇを形成する際に、第１走査線３ａとゲート電極３０ｇとを電気的に接続する一対のコンタクトホールとなる。
【００８６】
次いで、ゲート絶縁層１２上に、ゲート電極３０ｇを形成する。ゲート電極３０ｇは、半導体層３０ａのチャネル領域３０ｃと平面的に重なるように配置される。これにより、半導体層３０ａおよびゲート電極３０ｇを含むＴＦＴ３０が形成される。
【００８７】
次いで、ゲート電極３０ｇの上方に、ゲート電極３０ｇを覆って層間絶縁層１３ａを形成する。層間絶縁層１３ａとなるシリコン系酸化膜の形成方法としては、モノシラン、２塩化シラン、ＴＥＯＳ、ＴＥＢ（Triethyl Borate）などを用いた、常圧ＣＶＤ法、減圧ＣＶＤ法、あるいはプラズマＣＶＤ法などが挙げられる。なお、層間絶縁層１３ａの表面には、ゲート電極３０ｇを含むＴＦＴ３０を被覆することで凹凸が生じる。そのため、この後に形成する電極や配線などのパターニング性を向上させる目的で、ＣＭＰ処理などの平坦化処理を施してもよい。
【００８８】
次いで、層間絶縁層１３ａにコンタクトホール４１ａ，４２ａなどを設ける貫通孔を形成する。コンタクトホール４１ａ，４２ａ，４３を含む素子基板１０に形成されるコンタクトホールは、例えば、層間絶縁層をドライエッチングして貫通孔を設けた後に、上層で電気的に接続される導電性を有する信号配線と一緒に、該貫通孔を埋めるようにして形成される。
【００８９】
次いで、層間絶縁層１３ａ上の第４層に、中継電極４５，４６などを形成する。中継電極４５，４６の形成には、第１走査線３ａと同様な方法が採用される。
【００９０】
中継電極４５，４６の上方に、中継電極４５，４６を覆って層間絶縁層１３ｂを形成する。層間絶縁層１３ｂの形成には、層間絶縁層１３ａと同様な方法が採用される。
【００９１】
次いで、層間絶縁層１３ｂにタングステンプラグ４１ｂ、コンタクトホール４２ｂ，４３などとなる貫通孔を設ける。
【００９２】
次いで、層間絶縁層１３ｂ上の第５層に、第２走査線３ｂを形成する。第２走査線３ｂの形成には、第１走査線３ａと同様な形成方法が採用される。そして工程Ｓ２へ進む。
【００９３】
工程Ｓ２では、ＴＦＴ３０上に、第２走査線３ｂを覆って第１絶縁層としての層間絶縁層１３ｃを形成する。層間絶縁層１３ｃの形成には、層間絶縁層１３ａと同様な方法が採用される。そして工程Ｓ３へ進む。
【００９４】
工程Ｓ３では、図７に示すように、層間絶縁層１３ｃに第１凹部５１を形成する。第１凹部５１は、図８に示すように、上述した非開口領域ＣＬの交差部と重なる矩形の領域から、一部が＋Ｙ方向および＋Ｘ方向に突出する。＋Ｙ方向に突出する領域には、コンタクトホール４１ａが電気的に接続される。＋Ｘ方向に突出する領域には、後述するコンタク

トホール４８が電気的に接続される。第１凹部５１の形成には、フォトリソグラフィー法と酸化膜エッチングとを組み合わせて用いる。第１凹部５１の深さは、層間絶縁層１３ｃの厚さよりも浅く、特に限定されないが例えば１００ｎｍから３００ｎｍとする。そして工程Ｓ４へ進む。

【００９５】

工程Ｓ４では、図９に示すように、第２凹部５２を第１凹部５１と連続して一体に形成する。第２凹部５２の形成には、第１凹部５１と同様な方法が採用される。第２凹部５２は、第１凹部５１よりも深さが深い。第２凹部５２の深さ、すなわち層間絶縁層１３ｃの上方の表面から第２凹部５２の底までの深さは、特に限定されないが例えば３００ｎｍから５００ｎｍとする。

【００９６】

図１０に示すように、第２凹部５２は略矩形である。第２凹部５２は、第１凹部５１の上記矩形の領域と重なる。第２凹部５２を形成すると、第１凹部５１の上記矩形の領域は第２凹部５２と成り、第１凹部５１の＋Ｙ方向および＋Ｘ方向に突出する領域が第１凹部５１として残る。換言すれば、第２凹部５２から、一段浅い第１凹部５１が＋Ｙ方向および＋Ｘ方向に突出して配置される。

【００９７】

次いで、図１１および図１２に示すように、第１凹部５１の＋Ｙ方向に突出した領域に、下層の層間絶縁層を貫通する貫通孔４１Ｈを形成する。貫通孔４１Ｈは中継電極４５を上方に露出させる。そして工程Ｓ５へ進む。

【００９８】

工程Ｓ５では、図１３に示すように、層間絶縁層１３ｃ、第１凹部５１、および第２凹部５２を被覆して、第１導電体層１６ａｘを形成する。第１導電体層１６ａｘの一部は、容量素子１６の下部容量電極１６ａと成る。第１導電体層１６ａｘの厚さは、特に限定されないが、例えば２００ｎｍから４００ｎｍとする。このとき、貫通孔４１Ｈにタングステンプラグ４１ｂも併せて形成する。第１導電体層１６ａｘは、タングステン（Ｗ）から成り、６フッ化タングステンを原料ガスとするＣＶＤ法によって形成される。そして工程Ｓ６へ進む。

【００９９】

工程Ｓ６では、図１４に示すように、第１導電体層１６ａｘを被覆して、第２絶縁層１６ｂｘを形成する。第２絶縁層１６ｂｘの一部は、容量素子１６の容量絶縁層１６ｂと成る。第２絶縁層１６ｂｘの厚さは、特に限定されないが、例えば１０ｎｍから４０ｎｍとする。第２絶縁層１６ｂｘは、ＡＬＤ（Atomic Layer Deposition）法にて形成される。そして工程Ｓ７へ進む。

【０１００】

工程Ｓ７では、図１５に示すように、第２絶縁層１６ｂｘを被覆して、第２導電体層１６ｃｘを形成する。第２導電体層１６ｃｘの一部は、容量素子１６の上部容量電極１６ｃと成る。第２導電体層１６ｃｘの厚さは、特に限定されないが、例えば１００ｎｍから４００ｎｍとする。第２導電体層１６ｃｘは、第１導電体層１６ａｘと同様な方法で形成される。

【０１０１】

第２凹部５２の深さは、第１導電体層１６ａｘ、第２絶縁層１６ｂｘ、および第２導電体層１６ｃｘの合計の厚さよりも浅く、第１導電体層１６ａｘおよび第２絶縁層１６ｂｘの合計の厚さよりも深くする。これにより、容量素子１６を形成する際に、第１凹部５１および第２凹部５２に、下部容量電極１６ａとなる第１導電体層１６ａｘと、容量絶縁層１６ｂとなる第２絶縁層１６ｂｘと、上部容量電極１６ｃとなる第２導電体層１６ｃｘと、を積層した後、ＣＭＰ処理を施すことによって容量素子１６を一括で容易に形成することができる。そして工程Ｓ８へ進む。

【０１０２】

工程Ｓ８では、図１６および図１７に示すように、第１導電体層１６ａｘ、第２絶縁層

１６ｂｘ、および第２導電体層１６ｃｘにＣＭＰ処理を施して、下部容量電極１６ａ、容量絶縁層１６ｂ、上部容量電極１６ｃから成る容量素子１６を一括で形成する。

【０１０３】

このとき、平面視で第１凹部５１および第２凹部５２と重なる領域以外の領域において、第１導電体層１６ａｘ、第２絶縁層１６ｂｘ、および第２導電体層１６ｃｘが残存せず、平面視で第１凹部５１および第２凹部５２の周辺領域において、層間絶縁層１３ｃが露出するようにＣＭＰ処理を施すと、第１凹部５１では第１導電体層１６ａｘが表面に露出し、第２凹部５２では第２導電体層１６ｃｘが表面に露出する。詳しくは、第１凹部５１の深さは、下部容量電極１６ａの厚さに等しく、第２凹部５２の深さは、下部容量電極１６ａ、容量絶縁層１６ｂ、および上部容量電極１６ｃの合計の厚さに等しくなる。

【０１０４】

これにより、第２凹部５２における上部容量電極１６ｃの層間絶縁層１３ｃの平面１３ｃＳ側の面１６ｃＳと、第１凹部５１における下部容量電極１６ａの層間絶縁層１３ｃの平面１３ｃＳ側の面１６ａＳと、容量絶縁層１６ｂの一部面１６ｂＳとは、層間絶縁層１３ｃの平面１３ｃＳと略同一面に並ぶ。そのため、これらの電極とＴＦＴ３０との電気的な接点を確保し易くなる。また、中継電極の数が低減されて、液晶装置１００を薄くすることができる。そして次工程へ進む。

【０１０５】

次に、容量素子１６および層間絶縁層１３ｃの上方を覆って、層間絶縁層１３ｄを形成する。層間絶縁層１３ｄの形成には、層間絶縁層１３ａと同様な方法が採用される。図示を省略するが、中継電極４６と平面的に重なる位置に、層間絶縁層１３ｃ，１３ｄなどを貫通して中継電極４６に到達する貫通孔を設ける。

【０１０６】

次いで、図１８および図１９に示すように、Ｙ軸に沿う方向の非開口領域ＣＬと重ねてデータ線６を形成する。ここで、容量素子１６は略矩形であって、非開口領域ＣＬの交差部に配置される。図示を省略するが、本実施形態では、走査線３は、上記交差部において容量素子１６と同様な略矩形の領域を有し、該領域において容量素子１６と重なる。これに対し、上記交差部において、データ線６はＸ軸に沿う方向の幅が太くなく、容量素子１６のＸ軸に沿う方向の幅よりも細い。

【０１０７】

すなわち、容量素子１６の下部容量電極１６ａおよび上部容量電極１６ｃは、平面視にて、データ線６と重ならない部分を含む。これにより、容量素子１６の容量をさらに増大させることができる。また、下部容量電極１６ａおよび上部容量電極１６ｃと他の配線との接点を確保し易くなる。非開口領域ＣＬの増大を抑えて画素Ｐの開口率を向上させることができる。なお、下部容量電極１６ａおよび上部容量電極１６ｃは、平面視にて、データ線６と重ならない部分を含むことに限定されず、データ線６および走査線３のうちのいずれか一方と重ならない部分を含めばよい。さらに、下部容量電極１６ａおよび上部容量電極１６ｃは、平面視にて、データ線６および走査線３と重ならない部分を含んでもよい。

【０１０８】

次いで、図２０および図２１に示すように、データ線６を覆って層間絶縁層１３ｅを形成した後、容量線８および中継電極４７を形成する。層間絶縁層１３ｅの形成には、層間絶縁層１３ａと同様な方法が採用される。容量線８は、Ｙ軸に沿う方向に延在してデータ線６と平面的に重なる部分と、上部容量電極１６ｃと重なり、－Ｘ方向に突出した部分とから成る。上記突出した部分には、上部容量電極１６ｃと容量線８とを電気的に接続するコンタクトホール４４が設けられる。

【０１０９】

中継電極４７は、容量線８の＋Ｘ方向にあって、平面的に非開口領域ＣＬの交差部およびＸ軸に沿う方向に延在する非開口領域ＣＬと重ねられて島状に設けられる。中継電極４７は、コンタクトホール４８を介して、下部容量電極１６ａと電気的に接続される。

【０１１０】

次いで、図示を省略するが、容量線８および中継電極４７を覆って層間絶縁層１３ｆを形成した後、画素電極１５、および配向膜１８を形成する。層間絶縁層１３ｆの形成には、層間絶縁層１３ａと同様な方法が採用される。これにより素子基板１０が製造される。

【０１１１】

本実施形態によれば以下の効果を得ることができる。

【０１１２】

液晶装置１００において画素Ｐの開口率を向上させることができる。詳しくは、深さの異なる第１凹部５１と第２凹部５２とに、容量素子１６に連続する下部容量電極１６ａと上部容量電極１６ｃとが配置される。つまり、容量素子１６を形成する際に、第１凹部５１および第２凹部５２を、下部容量電極１６ａとなる第１導電体層１６ａｘと、容量絶縁層１６ｂとなる第２絶縁層１６ｂｘと、上部容量電極１６ｃとなる第２導電体層１６ｃｘと、によって被覆してＣＭＰ処理を施すことによって、セルフアライン的に一括で容量素子１６が形成される。そのため、容量素子１６の形成にパターニング処理を用いないことから、各パターンの平面的な形状における設計マージンを削減することができる。これにより、画素Ｐにおける開口率を向上させる液晶装置１００および液晶装置１００の製造方法を提供することができる。

【０１１３】

本実施形態では、層間絶縁層１３ｃとして、１層又は２層の構成を例示したが、これに限定されない。本発明において、層間絶縁層１３ｃは、３層以上の構成としてもよい。本実施形態では、容量素子１６をデータ線６とトランジスター３０との間の絶縁層に配置したが、これに限定されない。本発明において、容量素子１６は、データ線と画素電極１５との間の絶縁層に第１凹部５１と第２凹部５２を設けて、当該第２凹部５２に配置されていてもよい。または、容量素子１６は、基板１０ｓとトランジスター３０との間の絶縁層に第１凹部５１と第２凹部５２を設けて、当該第２凹部５２に配置されていてもよい。または、基板１０ｓに第１凹部５１および第２凹部５２を形成して、当該第２凹部５２に容量素子１６を配置する構成としてもよい。

【０１１４】

２．第２実施形態

本実施形態では、電気光学装置としてＴＦＴを備えたアクティブ駆動型の液晶装置を例示する。本実施形態に係る液晶装置は、第１実施形態の液晶装置１００に対して、素子基板の構成を異ならせたものである。以下の説明では、第１実施形態と同一の構成部位については、同一の符号を使用して重複する説明は省略する。

【０１１５】

本実施形態の液晶装置が備える素子基板２１０の構成について、図２２、図２３、および図２４を参照して説明する。図２２は、第２実施形態の素子基板２１０において、第１実施形態の図５に相当する部位を示している。図２３および図２４では、第１実施形態の図４に示した領域Ｆに相当する領域を拡大して示している。なお、概略平面図の説明は、特に断りがない限り平面視した状態を述べるものとする。

【０１１６】

図２２に示すように、素子基板２１０では、容量素子１６の上部容量電極１６ｃが、コンタクトホール６１、中継電極６２、コンタクトホール４１ｃ、中継電極４５、およびコンタクトホール４１ａを介して、半導体層３０ａの高濃度不純物領域３０ｄと電気的に接続される。

【０１１７】

また、図２３に示すように、容量素子１６の下部容量電極１６ａは、矩形の本体部から－Ｘ方向に突出した部分に、コンタクトホール６３を備える。コンタクトホール６３は、図２４に示すように、上方の層間絶縁層１３ｄ，１３ｇ，１３ｅを貫通するコンタクトホール６３を介して、容量線８と電気的に接続される。以上に述べたように、本実施形態の容量素子１６では、第１容量電極である下部容量電極１６ａに共通電位が付与される。素子基板２１０では、この点が第１実施形態の素子基板１０と異なる。以下、付帯する構成

の相違について述べる。

【０１１８】

図２３および図２４に示すように、下部容量電極１６ａはコンタクトホール６３を配置するため、第１実施形態と平面形状が異なる。すなわち、下部容量電極１６ａを形成するための、図示しない第１凹部も平面形状が異なる。容量線８は、図示しない非開口領域ＣＬにおいて、Ｙ軸に沿って延在する部分から－Ｘ方向に突出した領域を有し、該領域においてコンタクトホール６３と電気的に接続される。

【０１１９】

中継電極６２は、＋Ｙ方向に突出する部分と＋Ｘ方向に突出する部分とを有する。＋Ｙ方向に突出する部分には、下方からのコンタクトホール４１ｃが電気的に接続される。＋Ｘ方向に突出する部分には、上方へ延在するコンタクトホール６５が電気的に接続される。

【０１２０】

容量線８と同層には中継電極４９が形成される。中継電極４９は、下方からのコンタクトホール６５と電気的に接続される。図示を省略するが、中継電極４９は上方へのコンタクトホールなどを介して、画素電極１５と電気的に接続される。

【０１２１】

素子基板２１０には、容量素子１６の構成に合わせて、第１凹部および第２凹部などの形態が異なる他は、第１実施形態の素子基板１０と同様な形成材料および製造方法が採用される。

【０１２２】

本実施形態によれば、第１実施形態と同様な効果を得ることができる。

【０１２３】

３．第３実施形態

本実施形態では、電気光学装置としてＴＦＴを備えたアクティブ駆動型の液晶装置を例示する。本実施形態に係る液晶装置は、第１実施形態の液晶装置１００に対して、一部の構成および一部の製造工程を異ならせたものである。詳しくは、第１実施形態の層間絶縁層１３ｃを、層間絶縁層１３ｃ１と層間絶縁層１３ｃ２との２層構成として、層間絶縁層１３ｃ１と層間絶縁層１３ｃ２との間にエッチングストッパー層を設ける点が異なる。そのため、以下の説明では、第１実施形態と同一の構成部位については、同一の符号を使用して重複する説明は省略する。

【０１２４】

本実施形態の製造方法について、図２５から図２７を参照して説明する。図２５および図２７は、第１実施形態の図７などに相当する領域を示すと共に、基板１０ｓ、第１走査線３ａ、および第２走査線３ｂなどの図示を省略している。図２６では、第１実施形態の図４に示した領域Ｆに相当する領域を拡大して示している。なお、図２６の説明は、特に断りがない限り平面視した状態を述べるものとする。

【０１２５】

図２５に示すように、図示しない第２走査線３ｂを覆って層間絶縁層１３ｃ１を形成する。層間絶縁層１３ｃ１の形成材料および形成方法は、第１実施形態の層間絶縁層１３ｃと同様である。層間絶縁層１３ｃ１の厚さは、特に限定されないが、例えば４００ｎｍから８００ｎｍとする。そして、層間絶縁層１３ｃ１を覆ってエッチングストッパー層５９を形成する。エッチングストッパー層５９は窒化シリコンから成る。エッチングストッパー層５９の厚さは、特に限定されないが、例えば３０ｎｍから５０ｎｍとする。

【０１２６】

エッチングストッパー層５９には、開口４１Ｘ，５２Ｘ，４２Ｘを設ける。図２６に示すように、開口４１Ｘ，５２Ｘ，４２Ｘは各々矩形である。後工程にて、開口４１Ｘを介してタングステンプラグ４１ｂを形成する貫通孔が形成される。後工程にて、開口５２Ｘを介して第２凹部５２が形成される。後工程にて、開口４２Ｘを介してコンタクトホール４２ｂを形成する貫通孔が形成される。開口４１Ｘ，５２Ｘ，４２Ｘを有するエッチングストッパー層５９の形成には、公知の方法が採用可能である。

【０１２７】
次いで、エッチングストッパー層５９を覆って層間絶縁層１３ｃ２を形成する。層間絶縁層１３ｃ２の形成材料および形成方法は、層間絶縁層１３ｃ１と同様である。層間絶縁層１３ｃ２の厚さは、特に限定されないが、例えば１００ｎｍから２００ｎｍとする。本実施形態における第１絶縁層は、層間絶縁層１３ｃ１および層間絶縁層１３ｃ２である。
【０１２８】
次いで、層間絶縁層１３ｃ１，１３ｃ２に第１凹部５１を形成する。第１凹部５１の形態および形成方法は第１実施形態と同様である。
【０１２９】
次いで、図２７に示すように、層間絶縁層１３ｃ１に第２凹部５２を形成する。このとき、エッチングストッパー層５９に、第２凹部５２の平面的な形状および位置に対応する開口５２Ｘが配置されるため、第２凹部５２を容易に形成することができる。すなわち、第１凹部５１の底面には、エッチングストッパー層５９が配置され、第２凹部５２の底面には、エッチングストッパー層５９が配置されない。
【０１３０】
本実施形態によれば、第１実施形態の効果に加えて以下の効果を得ることができる。エッチングストッパー層５９により、深さの異なる第１凹部５１と第２凹部５２とを容易に形成することができる。
【０１３１】
４．第４実施形態
本実施形態に係る電子機器として投射型表示装置１０００を例示する。
【０１３２】
図２８に示すように、投射型表示装置１０００は、ランプユニット１００１、色分離光学系のダイクロイックミラー１０１１，１０１２、３個の液晶装置１Ｂ，１Ｇ，１Ｒ、反射ミラー１１１１，１１１２，１１１３、リレーレンズ１１２１，１１２２，１１２３、色合成光学系のダイクロイックプリズム１１３０、投射光学系の投射レンズ１１４０を備える。
【０１３３】
ランプユニット１００１は、例えば、放電型の光源である。光源の方式はこれに限定されず、発光ダイオード、レーザーなどの固体光源を採用してもよい。
【０１３４】
ランプユニット１００１から出射された光は、ダイクロイックミラー１０１１，１０１２によって、各々異なる波長域の３色の色光に分離される。３色の色光とは、略赤色の赤色光Ｒ、略緑色の緑色光Ｇ、略青色の青色光Ｂである。
【０１３５】
ダイクロイックミラー１０１１は、赤色光Ｒを透過し、赤色光Ｒよりも波長が短い、緑色光Ｇおよび青色光Ｂを反射する。ダイクロイックミラー１０１１を透過した赤色光Ｒは、反射ミラー１１１１で反射し、液晶装置１Ｒに入射する。ダイクロイックミラー１０１１で反射した緑色光Ｇは、ダイクロイックミラー１０１２で反射した後、液晶装置１Ｇに入射する。ダイクロイックミラー１０１１で反射した青色光Ｂは、ダイクロイックミラー１０１２を透過して、リレーレンズ系１１２０へ入射する。
【０１３６】
リレーレンズ系１１２０は、リレーレンズ１１２１，１１２２，１１２３、反射ミラー１１１２，１１１３を有する。青色光Ｂは、緑色光Ｇや赤色光Ｒと比べて光路が長いため、光束が大きくなりやすい。そのため、リレーレンズ１１２２を用いて光束の拡大を抑える。リレーレンズ系１１２０に入射した青色光Ｂは、リレーレンズ１１２１によって収束しつつ反射ミラー１１１２で反射して、リレーレンズ１１２２の近傍で収束する。そして、青色光Ｂは、反射ミラー１１１３およびリレーレンズ１１２３を経て、液晶装置１Ｂに入射する。
【０１３７】

投射型表示装置１０００における、光変調装置である液晶装置１Ｒ，１Ｇ，１Ｂには、上記実施形態の電気光学装置としての液晶装置が適用される。上記実施形態の液晶装置は、液晶装置１Ｒ，１Ｇ，１Ｂに対して１つ以上に適用されればよく、全てに適用されることがより好ましい。

【０１３８】

液晶装置１Ｒ，１Ｇ，１Ｂのそれぞれは、投射型表示装置１０００の上位回路と電気的に接続される。したがって、赤色光Ｒ、緑色光Ｇ、青色光Ｂの階調レベルを指定する各画像信号が外部回路から上位回路に供給されて処理されると、液晶装置１Ｒ，１Ｇ，１Ｂが駆動されて各色光が変調される。

【０１３９】

液晶装置１Ｒ，１Ｇ，１Ｂで変調された赤色光Ｒ、緑色光Ｇ、青色光Ｂは、ダイクロイックプリズム１１３０に３方向から入射する。ダイクロイックプリズム１１３０は、入射した赤色光Ｒ、緑色光Ｇ、青色光Ｂを合成する。ダイクロイックプリズム１１３０では、赤色光Ｒおよび青色光Ｂが９０度に反射し、緑色光Ｇが透過する。これにより、赤色光Ｒ、緑色光Ｇ、青色光Ｂは、カラー画像を表示する表示光として合成されて投射レンズ１１４０に入射する。

【０１４０】

投射レンズ１１４０は、投射型表示装置１０００の外側を向いて配置される。表示光は、投射レンズ１１４０を介して拡大されて出射され、投射対象であるスクリーン１２００に投射画像が投射される。

【０１４１】

本実施形態では、電子機器として投射型表示装置１０００を例示したが、これに限定されない。本発明の液晶装置は、例えば、投射型のＨＵＤ（Head-Up Display）、直視型のＨＭＤ（Head Mounted Display）、パーソナルコンピューター、デジタルカメラ、液晶テレビなどの電子機器に適用されてもよい。

【０１４２】

本実施形態によれば、液晶装置１Ｒ，１Ｇ，１Ｂにおける画素Ｐの開口率が向上する。そのため、従来よりも投射画像の明るさに優れる投射型表示装置１０００を提供することができる。

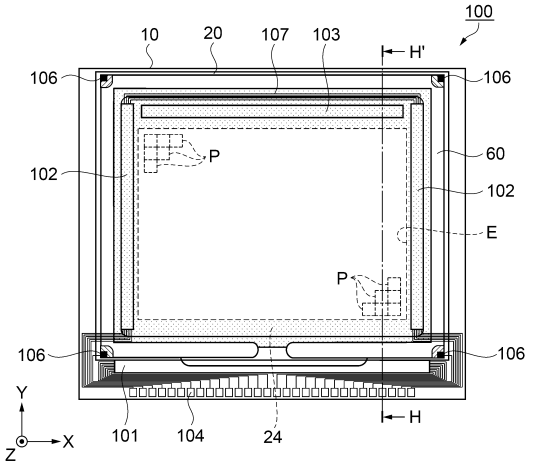
【符号の説明】

【０１４３】

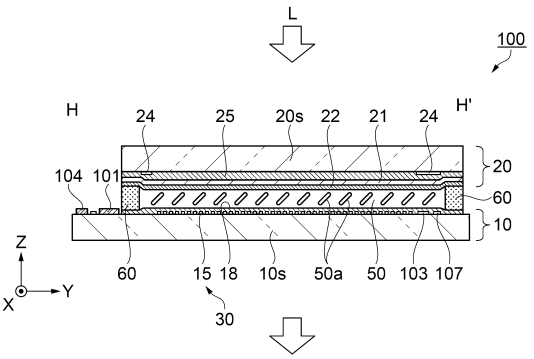
１Ｂ，１Ｇ，１Ｒ…液晶装置、３…走査線、３ａ…第１走査線、３ｂ…第２走査線、６…データ線、１３ｃ…第１絶縁層としての層間絶縁層、１３ｃＳ…平面、１６…容量素子、１６ａ…第１容量電極としての下部容量電極、１６ａｘ…第１導電体層、１６ｂ…容量絶縁層、１６ｂｘ…第２絶縁層、１６ｃ…第２容量電極としての上部容量電極、１６ｃｘ…第２導電体層、１６ａＳ，１６ｃＳ…面、１６ｂＳ…一部面、３０…トランジスターとしてのＴＦＴ、４１ｂ…第１コンタクトホールとしてのタングステンプラグ、４４…第２コンタクトホールとしてのコンタクトホール、５１…第１凹部、５１Ｂ，５２Ｂ…底面、５２…第２凹部、５２Ｗ…側壁、５９…エッチングストッパー層、１００…電気光学装置としての液晶装置、１０００…電子機器としての投射型表示装置、ＣＬ…非開口領域、Ｐ…画素。

【図面】

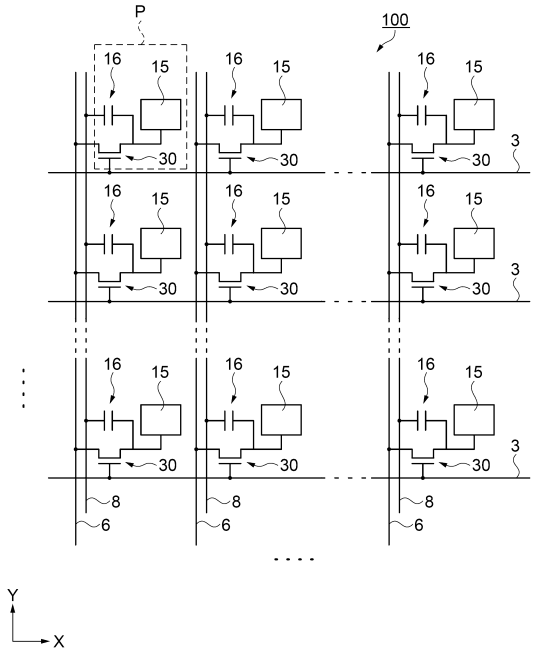
【図１】


100
10
20
107
103
H'
106
106
P
102
60
102
E
P
106
106
Y
X
Z
101
104
24
H

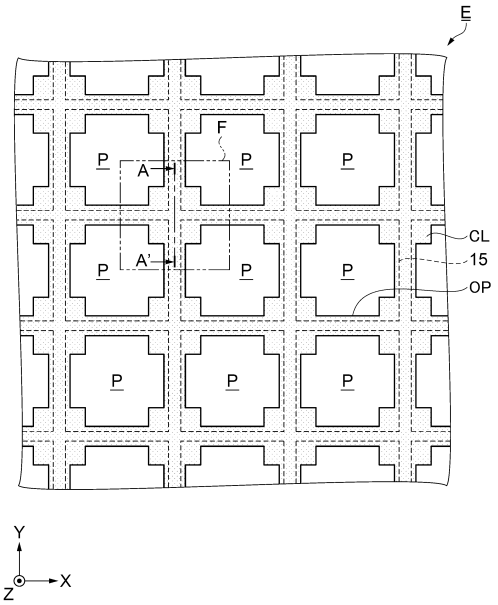
【図２】


L
100
H
24
25
20s
22
21
24
H'
104
101
20
60
10
Z
Y
X
60
15
18
10s
50a
50
103
107
30

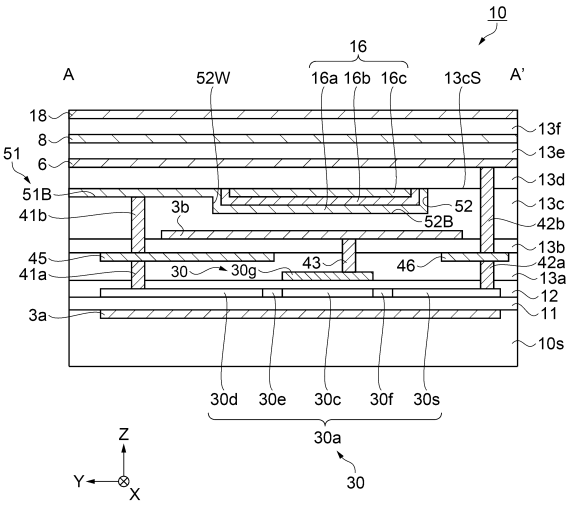
【図３】


P
100
16
15
30
3
8
6
Y
X

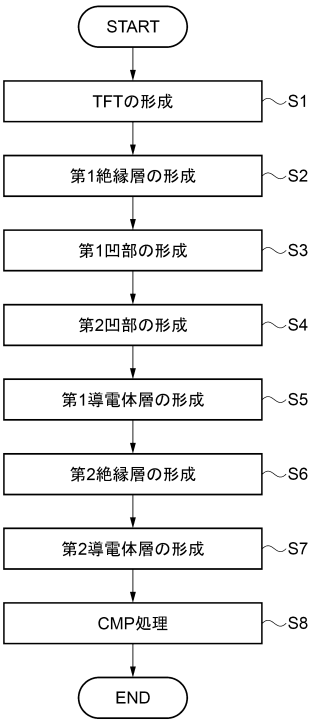
【図４】


E
F
P
A
A'
CL
15
OP
Y
X
Z

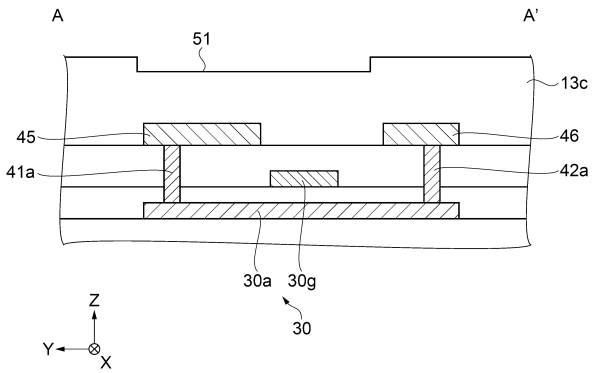
【図５】


10
16
A
52W
16a 16b 16c
13cS
A'
18
8
51
6
51B
41b
3b
52
52B
13f
13e
13d
13c
42b
13b
42a
13a
12
11
10s
45
41a
30
30g
43
46
3a
30d 30e 30c 30f 30s
30a
30
Z
Y
X

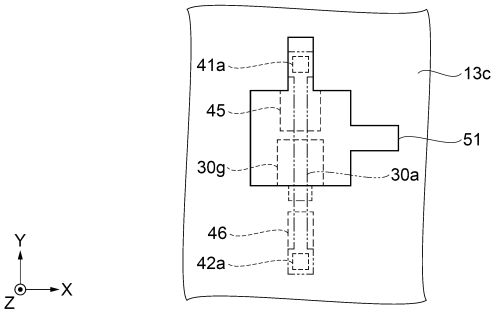
【図６】


START
TFTの形成
S1
第1絶縁層の形成
S2
第1凹部の形成
S3
第2凹部の形成
S4
第1導電体層の形成
S5
第2絶縁層の形成
S6
第2導電体層の形成
S7
CMP処理
S8
END

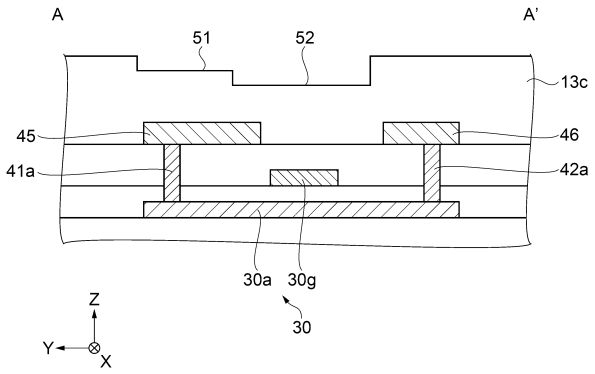
【図７】


A
A'
51
13c
45
46
41a
42a
30a 30g
30
Z
Y
X

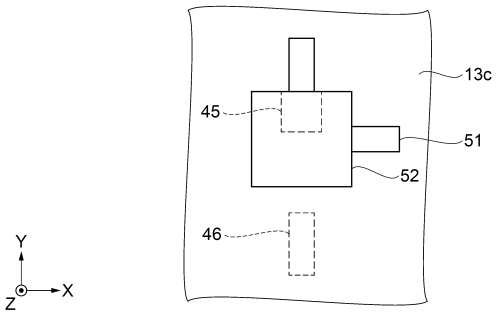
【図８】


41a
13c
45
51
30g
30a
46
42a
Y
X
Z

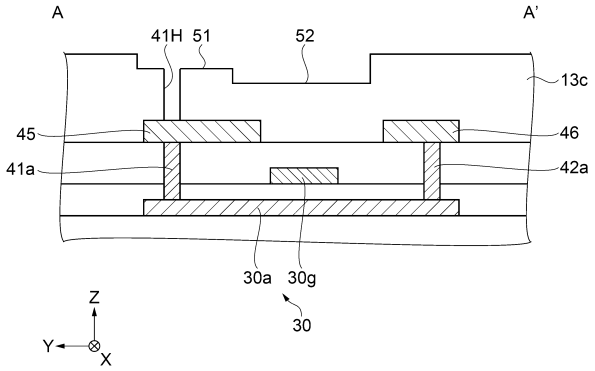
【図９】



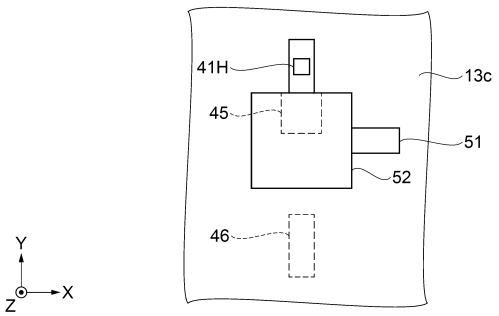
【図１０】



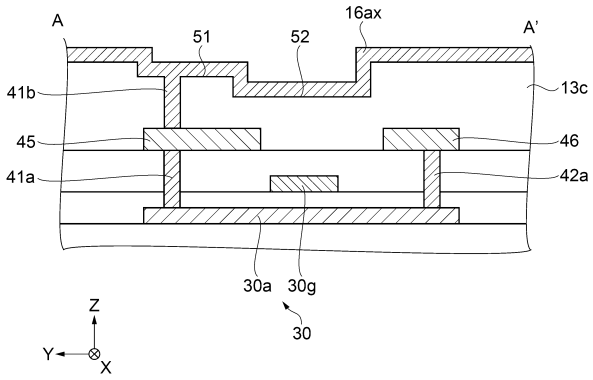
【図１１】



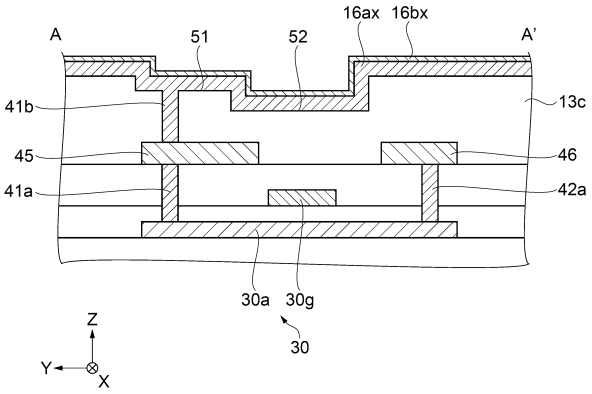
【図１２】



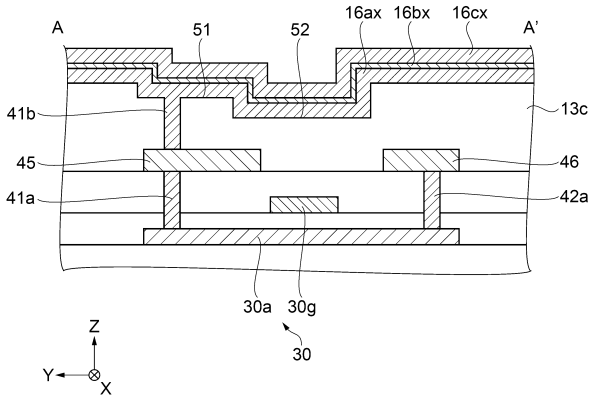
【図１３】



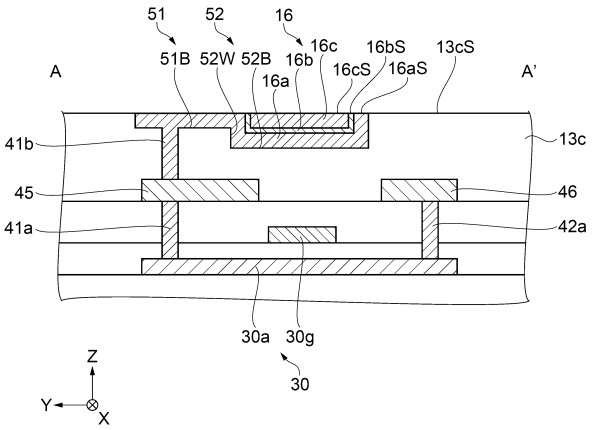
【図１４】



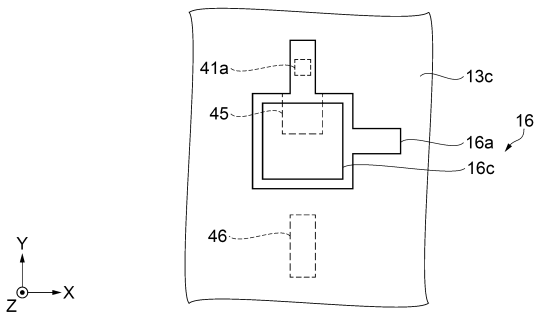
【図１５】



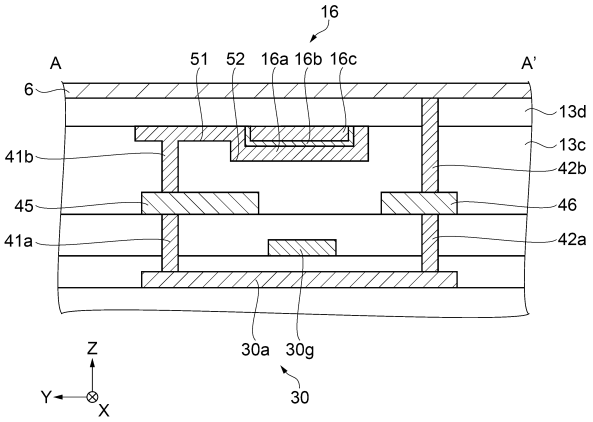
【図１６】



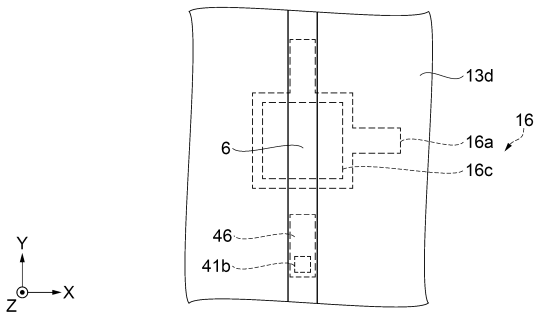
【図１７】



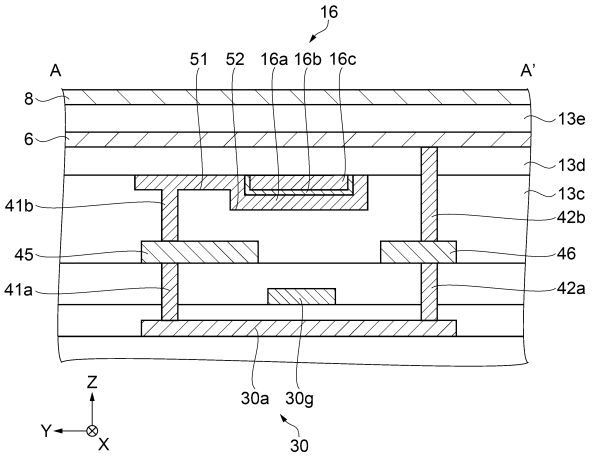
【図１８】



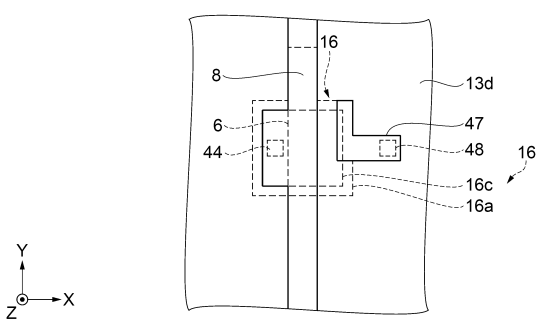
【図１９】



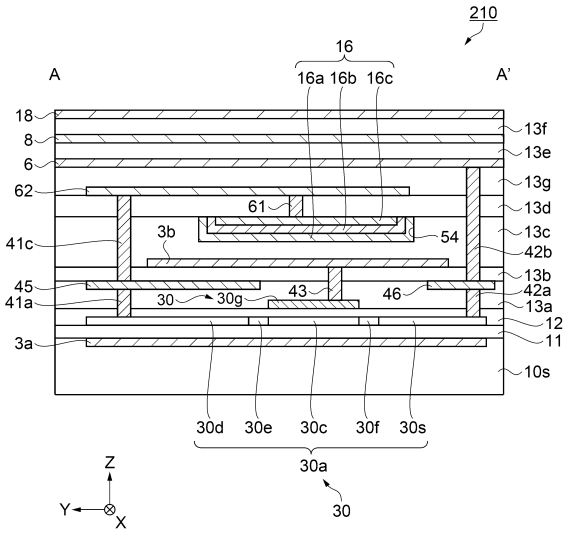
【図２０】



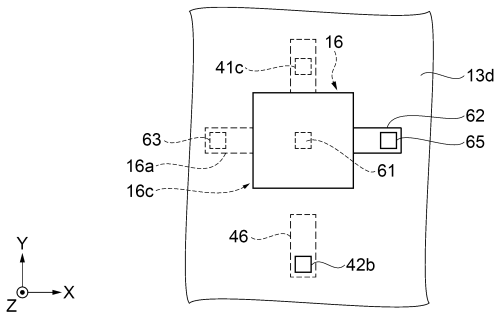
【図２１】



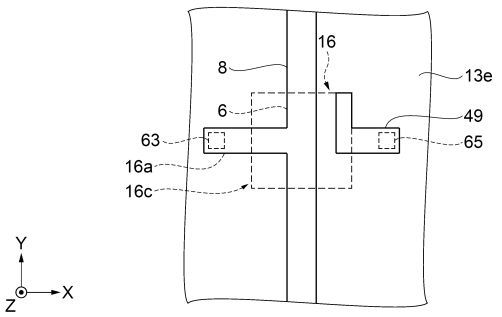
【図２２】



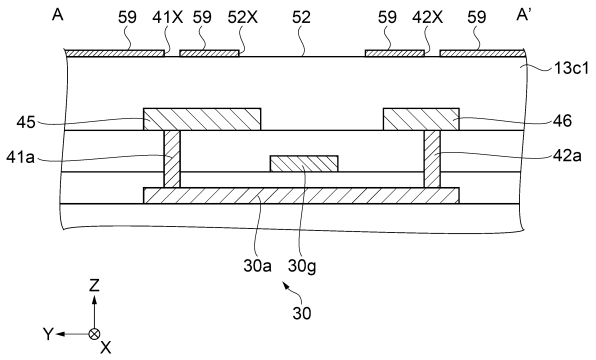
【図２３】



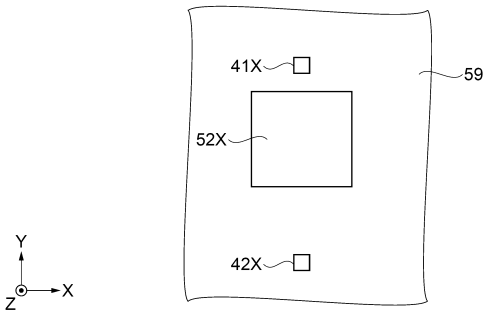
【図２４】



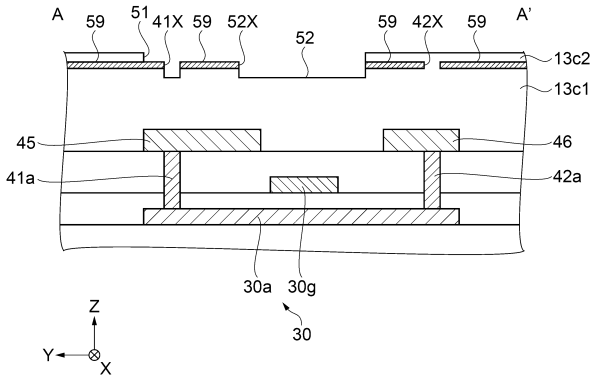
【図２５】



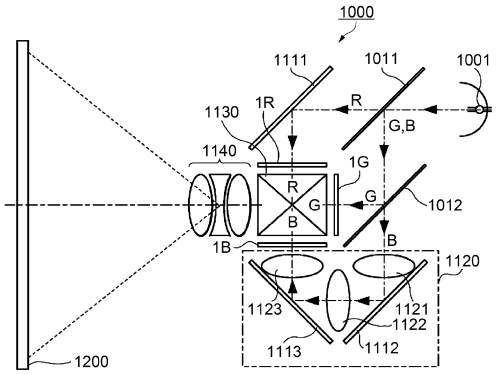
【図２６】



【図２７】



【図２８】



フロントページの続き

(56)参考文献　特開２０２０－１７７１２６（ＪＰ，Ａ）
特開２００７－１８９１６１（ＪＰ，Ａ）
特開２００４－３２５６２７（ＪＰ，Ａ）
特開２００１－２５０９２５（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｇ０２Ｆ　１／１３６８
Ｇ０２Ｆ　１／１３４３
Ｇ０９Ｆ　９／３０
Ｇ０９Ｆ　９／３５
Ｇ０９Ｆ　９／００