



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0122077
(43) 공개일자 2007년12월28일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2006-0057087

(22) 출원일자 2006년06월23일

심사청구일자 2006년06월23일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정원창

경기 군포시 산본동 1120 주몽아파트 1002-604

이희춘

경기 용인시 기흥구 구갈동 가현신안아파트
604-1403

(74) 대리인

리엔목특허법인

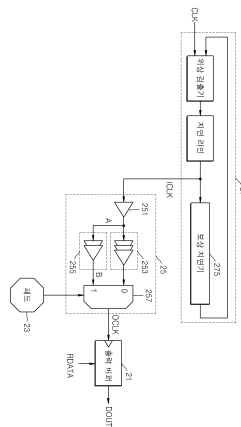
전체 청구항 수 : 총 11 항

(54) 스택 패키지(stack package)용 반도체메모리장치 및 이의 독출 데이터 스큐 조절방법

(57) 요약

스택 패키지에서 패드 본딩(pad bonding)을 이용하여 독출 데이터가 출력되는 시점을 조절할 수 있는 반도체 메모리장치 및 이의 독출 데이터 스큐 조절방법이 개시된다. 상기 반도체 메모리장치는 본딩 옵션용 패드, 및 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태에 따라 출력버퍼로부터 데이터가 출력되는 시점을 조절하는 지연 제어회로를 구비하는 것을 특징으로 한다. 따라서 스택 패키지에 본 발명에 따른 반도체 메모리장치를 채용할 때 상기 본딩 옵션용 패드를 전원전압 또는 접지전압에 연결함으로써, 본딩 와이어의 부하에 기인하여 발생하는 독출 데이터 스큐가 보상될 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

출력 제어클럭에 응답하여 독출 데이터를 받아 외부로 출력하는 출력버퍼;

본딩 옵션용 패드; 및

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태에 따라 상기 출력버퍼로부터 데이터가 출력되는 시점을 조절하는 지연 제어회로를 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 지연 제어회로는,

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때는 상기 데이터가 상기 반도체 메모리장치 외부에서 인가되는 외부클럭에 동기되어 출력되도록 제어하고 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 데이터가 상기 외부클럭보다 빠르게 출력되도록 제어하는 것을 특징으로 하는 반도체 메모리장치.

청구항 3

제1항에 있어서, 상기 지연 제어회로는,

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때는 내부클럭을 제1지연시간 만큼 지연시켜 상기 출력 제어클럭으로서 제공하고, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 내부클럭을 제2지연시간 만큼 지연시켜 상기 출력 제어클럭으로서 제공하는 것을 특징으로 하는 반도체 메모리장치.

청구항 4

제3항에 있어서, 상기 지연 제어회로는,

상기 내부클럭을 상기 제1지연시간 만큼 지연시키는 제1지연기;

상기 내부클럭을 상기 제2지연시간 만큼 지연시키는 제2지연기; 및

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때는 상기 제1지연기의 출력신호를 선택하여 상기 출력 제어클럭으로서 제공하고 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 제2지연기의 출력신호를 선택하여 상기 출력 제어클럭으로서 제공하는 선택기를 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 5

제4항에 있어서, 상기 제2지연기의 상기 제2지연시간은 퓨즈 옵션 회로 내의 퓨즈 컷팅 여부에 따라 감소 또는 증가되는 것을 특징으로 하는 반도체 메모리장치.

청구항 6

제3항에 있어서,

상기 반도체 메모리장치의 외부에서 인가되는 외부클럭을 수신하여 상기 내부클럭을 발생하는 지연동기 루프회로를 더 구비하고,

상기 제1지연시간은 상기 지연동기 루프회로 내에 포함되어 있는 보상 지연기의 지연시간과 동일하고 상기 제2지연시간은 상기 보상 지연기의 지연시간보다 작은 것을 특징으로 하는 반도체 메모리장치.

청구항 7

출력버퍼 및 본딩 옵션용 패드를 구비하는 반도체 메모리장치의 독출 데이터 스큐 조절방법에 있어서,

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때는 상기 출력버퍼로부터 독출 데이터

를 외부클럭에 동기시켜 출력하는 단계; 및

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 독출 데이터가 출력되는 시점을 변경하여 출력하는 단계를 구비하는 것을 특징으로 하는 독출 데이터 스큐 조절방법.

청구항 8

제7항에 있어서, 상기 독출 데이터가 출력되는 시점을 변경하여 출력하는 단계는,

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때 상기 독출 데이터를 상기 외부클럭보다 빠르게 출력하는 단계를 구비하는 것을 특징으로 하는 독출 데이터 스큐 조절방법.

청구항 9

제7항에 있어서, 상기 외부클럭에 동기시켜 출력하는 단계는,

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때 내부클럭을 제1지연시간 만큼 지연시키는 단계;

상기 제1지연시간 만큼 지연된 제1내부클럭을 상기 출력버퍼로 제공하는 단계; 및

상기 제1내부클럭에 응답하여 상기 출력버퍼로부터 상기 독출 데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 독출 데이터 스큐 조절방법.

청구항 10

제9항에 있어서, 상기 독출 데이터가 출력되는 시점을 변경하여 출력하는 단계는,

상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때 상기 내부클럭을 제2지연시간 만큼 지연시키는 단계;

상기 제2지연시간 만큼 지연된 제2내부클럭을 상기 출력버퍼로 제공하는 단계; 및

상기 제2내부클럭에 응답하여 상기 출력버퍼로부터 상기 독출 데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 독출 데이터 스큐 조절방법.

청구항 11

제10항에 있어서, 상기 반도체 메모리장치는 외부에서 인가되는 외부클럭을 수신하여 상기 내부클럭을 발생하는 지연동기 루프회로를 더 구비하고,

상기 제1지연시간은 상기 지연동기 루프회로 내에 포함되어 있는 보상 지연기의 지연시간과 동일하고 상기 제2지연시간은 상기 보상 지연기의 지연시간보다 작은 것을 특징으로 하는 독출 데이터 스큐 조절방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 스택 패키지(stack package)용 반도체 메모리장치 및 이의 독출 데이터 스큐 조절방법에 관한 것이다.
- <6> 두 개 이상의 반도체 메모리장치, 즉 두 개 이상의 반도체 메모리 칩을 쌓아 구현되는 패키지를 스택 패키지(stack package)라 한다. 도 1에 스택 패키지를 나타내는 개략적인 도면이 도시되어 있다. 도 1에 도시된 바와 같이, 스택 패키지에서는 하부 메모리 칩(bottom memory chip)(13) 위에 상부 메모리 칩(top memory chip)(11)이 놓인다. 상부 메모리 칩(11)의 출력 패드(pad)에는 볼(ball)(15)이 연결되고 하부 메모리 칩(13)의 출력 패드에는 볼(17)이 연결된다. 그리고 볼(15)은 본딩 와이어(bonding wire)(19)를 통해 볼(17)에 연결된다.
- <7> 예컨대 볼(17)이 데이터 출력용일 경우, 하부 메모리 칩(13)으로부터 독출되는 데이터는 직접 볼(17)을 통해 출

력되고 상부 메모리 칩(11)으로부터 독출되는 데이터는 순차적으로 볼(15), 본딩 와이어(19), 및 볼(17)을 통해 출력된다. 따라서 상부 메모리 칩(11)의 출력 패드에는 하부 메모리 칩(13)의 출력 패드에 비하여 본딩 와이어(19)의 부하가 더 걸리게 된다. 이로 인하여 데이터 독출시 상부 메모리 칩(11)으로부터 독출되는 데이터가 하부 메모리 칩(13)으로부터 독출되는 데이터보다 수백 ps(pico second) 늦게 출력되게 된다.

<8> 이러한 경우에는 상부 메모리 칩(11)에 대한 tAC(메모리 칩에 인가되는 외부클럭으로부터 독출 데이터가 출력되는 시점까지의 시간)이 하부 메모리 칩(13)에 대한 tAC 보다 길어지게 된다. 이는 상부 메모리 칩(11)으로부터 독출되는 데이터의 유효(valid) 구간을 감소시키고 독출 데이터를 받아들이는 메모리 컨트롤러에서 데이터 페치(fetch)를 위한 마진을 감소시킨다.

<9> 한편 상부 메모리 칩(11)으로부터 독출되는 데이터와 하부 메모리 칩(13)으로부터 독출되는 데이터 간의 스큐, 즉 독출 데이터 스큐를 보상하기 위해서 반도체 메모리 칩 내에 독출 데이터 스큐 보상을 위한 퓨즈를 포함시킬 수 있다. 이 퓨즈를 이용하여 퓨징(Fusing) 단계에서 상부 메모리 칩과 하부 메모리 칩을 구분시킴으로써 상부 메모리 칩 또는 하부 메모리 칩으로부터 데이터가 출력되는 시점을 조절할 수 있다. 또는 패키지가 만들어진 뒤 E-Fuse(electrical fuse)와 같은 수단을 이용하여 데이터가 출력되는 시점을 조절할 수도 있다.

<10> 그런데 퓨즈를 이용하는 경우에는 패키징 전 단계에서 반도체 메모리 칩들을 미리 상부 칩 혹은 하부 칩으로 구분해서 퓨징을 적용해야 하는 문제가 있고, E-Fuse를 이용하는 경우에는 신뢰성 등 아직 해결되어야 하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<11> 따라서 본 발명이 이루고자하는 기술적 과제는, 스택 패키지에서 패드 본딩(pad bonding)을 이용하여 독출 데이터가 출력되는 시점을 조절할 수 있는 반도체 메모리장치를 제공하는 데 있다.

<12> 본 발명이 이루고자하는 다른 기술적 과제는, 상기 반도체 메모리장치의 독출 데이터 스큐 조절방법을 제공하는 데 있다.

발명의 구성 및 작용

<13> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리장치는, 출력 제어클럭에 응답하여 독출 데이터를 받아 외부로 출력하는 출력버퍼, 본딩 옵션용 패드, 및 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태에 따라 상기 출력버퍼로부터 데이터가 출력되는 시점을 조절하는 지연 제어회로를 구비하는 것을 특징으로 한다.

<14> 바람직한 일실시예에 따르면 상기 지연 제어회로는, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1 논리 레벨일 때는 상기 데이터가 상기 반도체 메모리장치 외부에서 인가되는 외부클럭에 동기되어 출력되도록 제어하고 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 데이터가 상기 외부클럭보다 빠르게 출력되도록 제어한다.

<15> 바람직한 일실시예에 따르면 상기 지연 제어회로는, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때는 내부클럭을 제1지연시간 만큼 지연시켜 상기 출력 제어클럭으로서 제공하고, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 내부클럭을 제2지연시간 만큼 지연시켜 상기 출력 제어클럭으로서 제공하도록 구성된다.

<16> 상기 제1지연시간은 상기 반도체 메모리장치 내의 지연동기 루프회로 내에 포함되어 있는 보상 지연기의 지연시간과 동일하고 상기 제2지연시간은 상기 보상 지연기의 지연시간보다 작게 셋팅된다. 상기 제2지연기는 퓨즈 옵션 회로를 포함하여 구성될 수 있고 상기 제2지연기의 상기 제2지연시간은 상기 퓨즈 옵션 회로 내의 퓨즈 컷팅 여부에 따라 감소 또는 증가될 수 있다.

<17> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 독출 데이터 스큐 조절방법은, 출력버퍼 및 본딩 옵션용 패드를 구비하는 반도체 메모리장치의 독출 데이터 스큐 조절방법에 있어서, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때는 상기 출력버퍼로부터 독출 데이터를 외부클럭에 동기시켜 출력하는 단계, 및 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때는 상기 독출 데이터가 출력되는 시점을 변경하여 출력하는 단계를 구비하는 것을 특징으로 한다.

<18> 바람직한 일실시예에 따르면 상기 독출 데이터가 출력되는 시점을 변경하여 출력하는 단계는, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때 상기 독출 데이터를 상기 외부클럭보다 빠르게 출력하

는 단계를 구비한다.

- <19> 바람직한 일실시예에 따르면 상기 외부클럭에 동기시켜 출력하는 단계는, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제1논리 레벨일 때 내부클럭을 제1지연시간 만큼 지연시키는 단계, 상기 제1지연시간 만큼 지연된 제1내부클럭을 상기 출력버퍼로 제공하는 단계, 및 상기 제1내부클럭에 응답하여 상기 출력버퍼로부터 상기 독출 데이터를 출력하는 단계를 구비한다.
- <20> 또한, 상기 독출 데이터가 출력되는 시점을 변경하여 출력하는 단계는, 상기 본딩 옵션용 패드에 인가되는 신호의 논리 상태가 제2논리 레벨일 때 상기 내부클럭을 제2지연시간 만큼 지연시키는 단계, 상기 제2지연시간 만큼 지연된 제2내부클럭을 상기 출력버퍼로 제공하는 단계, 및 상기 제2내부클럭에 응답하여 상기 출력버퍼로부터 상기 독출 데이터를 출력하는 단계를 더 구비한다.
- <21> 상기 제1지연시간은 상기 반도체 메모리장치 내의 지연동기 루프회로 내에 포함되어 있는 보상 지연기의 지연시간과 동일하고 상기 제2지연시간은 상기 보상 지연기의 지연시간보다 작게 셋팅된다. 상기 제2지연시간은 퓨즈 옵션 회로를 이용하여 상기 퓨즈 옵션 회로 내의 퓨즈 컷팅 여부에 따라 감소 또는 증가되도록 조절될 수 있다.
- <22> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <23> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <24> 도 2는 본 발명의 일실시예에 따른 반도체 메모리장치를 나타내는 블록도이다.
- <25> 도 2를 참조하면, 본 발명의 일실시예에 따른 반도체 메모리장치는 출력 제어클럭(OCLK)에 응답하여 독출 데이터(RDATA)를 받아 외부로 출력하는 출력버퍼(21)를 구비하고 특히 스택 패키지에서 독출 데이터 스큐를 보상하기 위해 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태에 따라 출력버퍼(21)로부터 데이터가 출력되는 시점을 조절하는 지연 제어회로(25)를 구비한다.
- <26> 또한 본 발명의 일실시예에 따른 반도체 메모리장치는 상기 반도체 메모리장치의 외부에서 인가되는 외부클럭(CLK)을 수신하여 내부클럭(ICLK)을 발생하는 지연동기 루프회로(delay locked loop, DLL)(27)를 구비한다. 독출 데이터(RDATA)는 상기 반도체 메모리장치 내의 메모리셀 어레이(미도시)로부터 독출되는 데이터이다. 본 발명의 일실시예에 따른 반도체 메모리장치는 본 발명의 독출 데이터 스큐 조절방법에 따라 동작한다.
- <27> 좀더 상세히 설명하면, 도 1에 도시된 스택 패키지에서는 본딩 와이어(19)의 길이가 대략 정해지므로 상부 메모리 칩(11)으로부터 독출되는 데이터와 하부 메모리 칩(13)으로부터 독출되는 데이터 간의 스큐, 즉 독출 데이터 스큐가 대략 미리 정해지고 또한 스택 패키지에서는 상부 메모리 칩과 하부 메모리 칩에 대한 구분을 패키징 단계에서 행하는 것이 유용하다. 따라서 본 발명에서는 패키징 단계에서 패드 본딩 옵션을 사용하여 상부 메모리 칩과 하부 메모리 칩을 구분함으로써 출력버퍼(21)로부터 데이터가 출력되는 시점을 조절한다.
- <28> 한편 DLL이 사용되는 반도체 메모리장치에서는 독출 데이터(RDATA)가 외부클럭(CLK)에 동기되어 출력되도록, DLL(27)이 데이터 출력 패스 지연을 모사(replicate)한 보상 지연기(compensation delay)(275)를 포함한다. 따라서 보상 지연기(delay)(275)의 지연시간과 데이터 출력 패스의 지연시간(도 2에서 지연 제어회로(25)의 지연시간에 해당함.)을 다르게 함으로써 출력버퍼(21)로부터 데이터가 출력되는 시점을 변경할 수 있다.
- <29> 이러한 원리를 이용하여 지연 제어회로(25)는, 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태가 제1논리 레벨, 예컨대 접지전압(VSS) 레벨일 때는 내부클럭(ICLK)을 보상 지연기(275)의 지연시간과 동일한 제1지연시간 만큼 지연시켜 출력 제어클럭(OCLK)으로서 제공하도록 구성되고, 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태가 제2논리 레벨, 예컨대 전원전압(VDD) 레벨일 때는 내부클럭(ICLK)을 보상 지연기(275)의 지연시간보다 작은 제2지연시간 만큼 지연시켜 출력 제어클럭(OCLK)으로서 제공하도록 구성된다.
- <30> 이에 따라 지연 제어회로(25)는 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태가 접지전압(VSS) 레벨일 때는 독출 데이터(RDATA)가 외부클럭(CLK)에 동기되어 출력되도록 제어하고 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태가 전원전압(VDD) 레벨일 때는 독출 데이터(RDATA)가 외부클럭(CLK)보다 빠르게 출력되도록 제어한다.
- <31> 상기 제1지연시간과 상기 제2지연시간의 차이는 도 1에 도시된 스택 패키지에서 본딩 와이어(19)의 부하에 기인하여 발생하는 독출 데이터 스큐를 보상할 수 있을 정도를 고려하여 설정될 수 있다.

- <32> 지연 제어회로(25)는 버퍼(251), 제1지연기(253), 제2지연기(255), 및 선택기(257)를 포함하여 구성될 수 있다. 버퍼(251)는 지연동기 루프회로(27)에서 발생하는 내부클럭(ICLK)을 받아 버퍼링한다. 제1지연기(253)는 버퍼링된 내부클럭을 상기 제1지연시간 만큼 지연시키고, 제2지연기(255)는 상기 버퍼링된 내부클럭을 상기 제2지연시간 만큼 지연시킨다. 선택기(257)는 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태가 접지전압(VSS) 레벨일 때는 제1지연기(253)의 출력신호를 선택하여 상기 출력 제어클럭(OCLK)으로서 제공하고 본딩 옵션용 패드(23)에 인가되는 신호의 논리 상태가 전원전압(VDD) 레벨일 때는 제2지연기(255)의 출력신호를 선택하여 상기 출력 제어클럭(OCLK)으로서 제공한다. 여기에서 버퍼(251)의 지연시간과 선택기(257)의 지연시간은 거의 없는 것으로 가정한다.
- <33> 따라서 상술한 본 발명에 따른 반도체 메모리장치가 도 1에 도시된 스택 패키지에서 하부 메모리 칩(13)으로 사용될 경우에는 패키징시 본딩 옵션용 패드(23)를 접지전압(VDD)에 연결하고 상부 메모리 칩(11)으로 사용될 경우에는 패키징시 본딩 옵션용 패드(23)를 전원전압(VDD)에 연결한다. 이에 따라 하부 메모리 칩(13)으로 사용되는 본 발명에 따른 반도체 메모리장치에서는 독출 데이터(RDATA)가 외부클럭(CLK)에 동기되어 출력되고, 상부 메모리 칩(11)으로 사용되는 본 발명에 따른 반도체 메모리장치에서는 독출 데이터(RDATA)가 외부클럭(CLK)보다 빠르게 출력된다.
- <34> 그 결과, 도 1에 도시된 스택 패키지에서 본딩 와이어(19)의 부하에 기인하여 발생하는 독출 데이터 스큐, 즉 상부 메모리 칩(11)으로부터 독출되는 데이터와 하부 메모리 칩(13)으로부터 독출되는 데이터 간의 스큐가 보상된다. 즉 상부 메모리 칩(11)으로부터 볼(15)을 통해 독출되는 데이터는 외부클럭(CLK)보다 빠르게 출력되므로 상부 메모리 칩(11)의 독출 데이터가 본딩 와이어(19)의 부하에 기인하여 지연되어 결국 데이터 출력용 볼(17)의 위치에서는 지연된 독출 데이터는 외부클럭(CLK)에 거의 동기되게 된다.
- <35> 위에서는 도 1에 도시된 스택 패키지에서 상부 메모리 칩(11)으로부터 독출되는 데이터와 하부 메모리 칩(13)으로부터 독출되는 데이터 간의 스큐, 즉 독출 데이터 스큐가 대략 미리 정해져 있다고 가정하였지만, 실제로는 공정(process) 등의 변화에 따라 독출 데이터 스큐 값이 조금씩 달라 질 수 있다. 이러한 경우에는 도 3에 도시된 바와 같이 도 2에 도시된 제2지연기(255)를 퓨즈 옵션(fuse option)을 이용하여 구성함으로써, 독출 데이터 스큐 값을 보정하기 위한 제2지연기(255)의 지연시간, 즉 상기 제2지연시간을 튜닝(tuning)할 수 있다.
- <36> 도 3을 참조하면, 제2지연기(255)는 지연기(31), 선택기(32), 지연기(33), 선택기(34), 퓨즈 옵션회로(35), 및 퓨즈 옵션회로(36)를 구비한다.
- <37> RESET 신호는 반도체 메모리장치가 초기동작을 할 때 내부 레지스터들을 초기화하기 위한 하이 레벨에서 로우 레벨로 천이하는 신호이다. 퓨즈(F1)을 컷트(cut)하지 않으면 퓨즈 옵션회로(35)의 출력신호(E)가 로우 레벨이 되어 선택기(32)는 신호(A)가 지연기(31)에 의해 지연된 신호를 선택하여 출력한다. 그리고 퓨즈(F1)을 컷트(cut)하면 퓨즈 옵션회로(35)의 출력신호(E)가 하이 레벨이 되어 선택기(32)는 지연되지 않은 신호(A)를 선택하여 출력한다.
- <38> 이와 마찬가지로 퓨즈(F2)을 컷트(cut)하지 않으면 퓨즈 옵션회로(36)의 출력신호(F)가 로우 레벨이 되어 선택기(34)는 지연되지 않은 신호, 즉 선택기(32)의 출력신호를 선택하여 신호(B)로서 출력한다. 그리고 퓨즈(F2)를 컷트(cut)하면 퓨즈 옵션회로(36)의 출력신호(F)가 하이 레벨이 되어 선택기(34)는 선택기(32)의 출력신호가 지연기(33)에 의해 지연된 신호를 선택하여 신호(B)로서 출력한다.
- <39> 따라서 제2지연기(255)의 지연시간이 퓨즈(F1) 및 퓨즈(F2)의 컷팅 여부에 따라 감소 또는 증가될 수 있다.
- <40> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

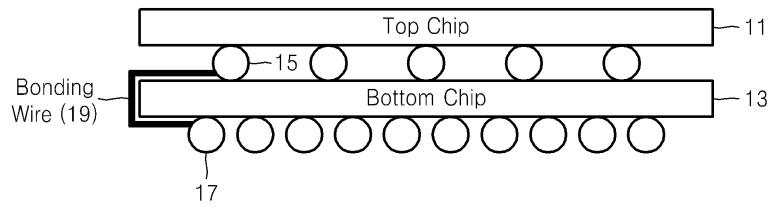
- <41> 상술한 바와 같이 본 발명에 따른 독출 데이터 스큐 조절방법에 따라 동작하는 본 발명에 따른 반도체 메모리장치는 스택 패키지에서 패드 본딩을 이용하여 독출 데이터가 출력되는 시점을 조절할 수 있다. 따라서 스택 패키지에 본 발명에 따른 반도체 메모리장치가 채용되면 본딩 와이어의 부하에 기인하여 발생하는 독출 데이터 스큐가 보상될 수 있다.

도면의 간단한 설명

- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 스택 패키지를 나타내는 개략적인 도면이다.
- <3> 도 2는 본 발명의 일실시예에 따른 반도체 메모리장치를 나타내는 블록도이다.
- <4> 도 3은 도 2에 도시된 제2지연기를 퓨즈 옵션(fuse option)을 이용하여 구성한 예를 나타내는 회로도이다.

도면

도면1



도면3

