



(12) 发明专利申请

(10) 申请公布号 CN 102736006 A

(43) 申请公布日 2012. 10. 17

(21) 申请号 201110084197. 8

(22) 申请日 2011. 04. 02

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 冯军宏

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈衡 李时云

(51) Int. Cl.

G01R 31/26 (2006. 01)

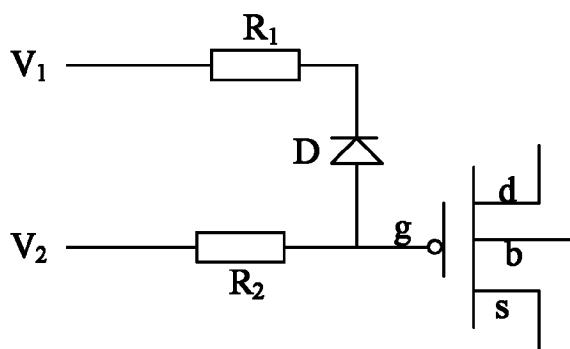
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

半导体器件负偏置温度不稳定性的测试结构及测试方法

(57) 摘要

本发明公开了一种半导体器件负偏置温度不稳定性的测试结构，该结构包括一偏压输出装置，该偏压输出装置在器件栅极电压由应力负偏压转向测试电压或由测试电压转向应力负偏压的期间，向栅极输出一小于零的维持电压，从而在整个 NBTI 的测试过程中，栅极均接有负偏压，因此可避免恢复效应的产生，提高 NBTI 测试结果的准确性；同时，本发明还公开了一种半导体器件负偏置温度不稳定性的测试方法，该方法通过在所述栅极上的电压由应力负偏压转向测试电压或由测试电压转向应力负偏压的期间，向所述栅极输出一小于零的维持电压，从而在整个 NBTI 的测试过程中，所述栅极均接有负偏压，因此可避免恢复效应的产生，提高 NBTI 测试结果的准确性。



1. 一种半导体器件负偏置温度不稳定性测试结构，其中，所述半导体器件包括栅极、源极、漏极以及体电极，其特征在于，所述栅极与一偏压输出装置相连，当所述栅极上加应力负偏压或测试电压时，所述偏压输出装置不影响所述栅极上的电压；当所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间，所述偏压输出装置向所述栅极输出一维持电压，且所述维持电压的值小于零。

2. 如权利要求1所述的半导体器件负偏置温度不稳定性测试结构，其特征在于，所述偏压输出装置包括依次串联的第一电阻、二极管以及第二电阻；所述第一电阻的一端接一第一偏压，其另一端接所述二极管；所述第二电阻与所述二极管串联的一端接所述栅极，其另一端接所述应力负偏压或者测试电压；当所述第二电阻另一端的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间，所述二极管开启，其它情况下，所述二极管断开。

3. 如权利要求2所述的半导体器件负偏置温度不稳定性测试结构，其特征在于，所述维持电压的计算公式为：

$$V_H = \frac{R_2}{R_1 + R_2} V_1$$

其中， V_H 为维持电压， R_1 为第一电阻的阻值， R_2 为第二电阻的阻值， V_1 为第一偏压。

4. 如权利要求3所述的半导体器件负偏置温度不稳定性测试结构，其特征在于， $R_2 > R_1$ 。

5. 如权利要求4所述的半导体器件负偏置温度不稳定性测试结构，其特征在于， $R_2 > 5R_1$ 。

6. 如权利要求5所述的半导体器件负偏置温度不稳定性测试结构，其特征在于，所述第一偏压的绝对值小于所述测试电压的绝对值，所述测试电压的绝对值小于所述应力负偏压的绝对值，当所述栅极电压的绝对值小于所述第一偏压的绝对值时，所述二极管开启。

7. 如权利要求2所述的半导体器件负偏置温度不稳定性测试结构，其特征在于，当所述栅极接应力负偏压时，所述体电极接地；当所述栅极接测试电压时，所述漏极接测试电压，且所述源极与所述体电极接地。

8. 一种半导体器件负偏置温度不稳定性测试方法，利用权利要求1至7任一项所述的半导体器件负偏置温度不稳定性测试结构进行测试，其特征在于，该方法包括如下步骤：

- (1) 将所述半导体器件的栅极接应力负偏压，使所述栅极处于负偏置应力作用下；
- (2) 撤去所述应力负偏压，往所述栅极加维持电压；
- (3) 撤去所述维持电压，将所述栅极接测试电压，对所述半导体器件进行电性能测试。

半导体器件负偏置温度不稳定性的测试结构及测试方法

技术领域

[0001] 本发明涉及半导体测试技术领域,尤其涉及一种半导体器件负偏置温度不稳定性的测试结构及测试方法。

背景技术

[0002] 随着微电子器件几何尺寸的缩小,集成电路特性对微细缺陷更加敏感,各种工艺技术越来越接近其基本可靠性极限,可靠性问题越来越突出。其中,负偏置温度不稳定性(NBTI,Negative Bias TemperatureInstability)是影响MOS器件可靠性的重要因素。由NBTI效应引发的PMOS退化逐渐成为影响器件寿命的主要因素,它比由热载流子效应引发的NMOS寿命退化更为严重。

[0003] NBTI效应是由于在高温下(通常 $> 100^{\circ}\text{C}$)对PMOS栅极施加一定的负栅压偏置所造成的,并且这种情况在器件老化和工作过程中都可能遇到。NBTI效应造成的影响表现为饱和漏电流和跨导不断减小,阈值电压漂移不断增大,亚阈值斜率不断减小。这些参数的变化可能会增加时序电路中的信号延迟,从而导致时序漂移。在模拟集成电路,特别是在一些参数匹配的应用中,电路工作条件会对匹配的晶体管施加非对称的偏置应力,从而导致明显的参数失配,这将导致老化过程中成品率的降低和工作条件下器件性能的变坏。有机构预测,当MOS器件的栅氧厚度小于一定数量后,NBTI效应将超过其它各种因素的影响,成为器件寿命的主要影响机制。

[0004] 因此,为了准确地评估产品及检验产品,目前的可靠性测试中一般都包括NBTI测试。

[0005] 请参考图1至图2,其中,图1为传统的NBTI测试结构示意图,图2为传统的NBTI测试过程中器件栅极所加的电压示意图。如图1及图2所示,传统的NBTI测试首先在MOS器件的栅极g加应力负偏压Vstress,此时,栅极g接应力负偏压Vstress,体区b接地GND,即栅极电压Vg = Vstress,体电压Vb = GND;然后撤去所述应力负偏压Vstress,并加测试电压进行器件电性参数测试,此时,栅极g和漏极d均接测试电压Vmeasure,体区b和源极s均接地GND,即Vg = Vd = Vstress, Vb = Vs = GND,其中,Vd为漏极电压,Vs为源极电压;并且在撤去所述应力负偏压之后至加测试电压Vmeasure之前,所述栅极g上的偏压为零,即接地GND,通常将上述栅极接地GND的这一段时间称为等待时间Twait,这是由测试机台的硬件特性决定的。

[0006] 然而,由于NBTI效应存在严重的恢复(Recovery)效应,即NBTI效应引起的电性参数衰退在撤去电场条件后最多可以恢复80%,即使是在电场条件撤去后的1秒钟以内,就可以恢复50%,而上述传统的NBTI测试方法在撤去应力负偏压至加测试电压的这一段过程中,栅极g是接地GND的,从而导致传统的NB TI测试存在严重的恢复效应,使得后续进行的器件电性参数测试不能准确地反映器件的NBTI效应造成的影响。

[0007] 为了解决这一问题,目前采取的措施有:

[0008] (1)通过调整机台参数,尽量缩短等待时间Twait,然而由于等待时间Twait是由

机台硬件决定的,因此缩短量有限;

[0009] (2) 采用瞬时测试方法(On-the-fly method),在该方法中,器件栅极所加的电压示意图如图3所示,在NBTI的测试过程中,器件栅极g的电压直接由应力负偏压Vstress降至测试电压Vmeasure,而不经过接地GND的过程,因此,可避免在NBTI测试过程中产生恢复效应。然而所述瞬时测试方法在进行硅片级可靠性(WLR, WaferLevel Reliability)测试时,需要特殊的源测量单元(SMU, Power SourceMeasure Unit),所述源测量单元不能在传统的测试机台上使用;并且对于封装级可靠性(PLR, Package Level Reliability)测试来说,由于并行测试的限制,该瞬时测试方法很难得到应用。

[0010] 因此,有必要对现有的NBTI测试进行改进。

发明内容

[0011] 本发明的目的在于提供一种半导体器件负偏置温度不稳定性的测试结构及测试方法,以提高NBTI测试结果的准确性。

[0012] 为解决上述问题,本发明提出一种半导体器件负偏置温度不稳定性的测试结构,其中,所述半导体器件包括栅极、源极、漏极以及体电极,所述栅极与一偏压输出装置相连,当所述栅极上加应力负偏压或测试电压时,所述偏压输出装置不影响所述栅极上的电压;当所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间,所述偏压输出装置向所述栅极输出一维持电压,且所述维持电压的值小于零。

[0013] 可选的,所述偏压输出装置包括依次串联的第一电阻、二极管以及第二电阻;所述第一电阻的一端接一第一偏压,其另一端接所述二极管;所述第二电阻与所述二极管串联的一端接所述栅极,其另一端接所述应力负偏压或者测试电压;当所述第二电阻另一端的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间,所述二极管开启,其它情况下,所述二极管断开。

[0014] 可选的,所述维持电压的计算公式为:

$$[0015] V_H = \frac{R_2}{R_1 + R_2} V_1$$

[0016] 其中,V_H为维持电压,R₁为第一电阻的阻值,R₂为第二电阻的阻值,V₁为第一偏压。

[0017] 可选的,R₂ > R₁。

[0018] 可选的,R₂ > 5R₁。

[0019] 可选的,所述第一偏压的绝对值小于所述测试电压的绝对值,所述测试电压的绝对值小于所述应力负偏压的绝对值,当所述栅极电压的绝对值小于所述第一偏压的绝对值时,所述二极管开启。

[0020] 可选的,当所述栅极接应力负偏压时,所述体电极接地;当所述栅极接测试电压时,所述漏极接测试电压,且所述源极与所述体电极接地。

[0021] 同时,为解决上述问题,本发明还提出一种半导体器件负偏置温度不稳定性的测试方法,该方法利用上述的半导体器件负偏置温度不稳定性的测试结构进行测试,包括如下步骤:

[0022] (1) 将所述半导体器件的栅极接应力负偏压,使所述栅极处于负偏置应力作用下;

[0023] (2) 撤去所述应力负偏压,往所述栅极加维持电压;

[0024] (3) 撤去所述维持电压,将所述栅极接测试电压,对所述半导体器件进行电性能测试。

[0025] 与现有技术相比,本发明提供的半导体器件负偏置温度不稳定性的测试结构,通过增加一偏压输出装置,所述偏压输出装置在所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间,向所述栅极输出一维持电压,且所述维持电压的值小于零,从而使得在整个 NBTI 的测试过程中,所述栅极均接有负偏压,因此可避免恢复效应的产生,提高了 NBTI 测试结果的准确性。

[0026] 与现有技术相比,本发明提供的半导体器件负偏置温度不稳定性的测试方法,通过在所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间,向所述栅极输出一维持电压,且所述维持电压的值小于零,从而使得在整个 NBTI 的测试过程中,所述栅极均接有负偏压,因此可避免恢复效应的产生,提高了 NBTI 测试结果的准确性。

附图说明

[0027] 图 1 为传统的 NBTI 测试结构示意图;

[0028] 图 2 为传统的 NBTI 测试过程中器件栅极所加的电压示意图;

[0029] 图 3 为现有的采用瞬时测试方法进行 NBTI 测试过程中器件栅极所加的电压示意图;

[0030] 图 4 为本发明实施例提供的 NBTI 测试结构示意图;

[0031] 图 5 为本发明实施例提供的 NBTI 测试方法中器件栅极所加的电压示意图。

具体实施方式

[0032] 以下结合附图和具体实施例对本发明提出的半导体器件负偏置温度不稳定性的测试结构及测试方法作进一步详细说明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比率,仅用于方便、明晰地辅助说明本发明实施例的目的。

[0033] 本发明的核心思想在于,提供一种半导体器件负偏置温度不稳定性的测试结构,该结构包括一偏压输出装置,所述偏压输出装置在所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间,向所述栅极输出一维持电压,且所述维持电压的值小于零,从而使得在整个 NBTI 的测试过程中,所述栅极均接有负偏压,因此可避免恢复效应的产生,提高了 NBTI 测试结果的准确性;同时,本发明还提供一种半导体器件负偏置温度不稳定性的测试方法,该方法通过在所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间,向所述栅极输出一维持电压,且所述维持电压的值小于零,从而使得在整个 NBTI 的测试过程中,所述栅极均接有负偏压,因此可避免恢复效应的产生,提高了 NBTI 测试结果的准确性。

[0034] 请参考图 4 及图 5,其中,图 4 为本发明实施例提供的 NBTI 测试结构示意图,图 5 为本发明实施例提供的 NBTI 测试方法中器件栅极所加的电压示意图。结合图 4 及图 5,本发明实施例提供的半导体器件负偏置温度不稳定性的测试结构包括一偏压输出装置,其

中,所述半导体器件包括栅极 g、源极 s、漏极 d 以及体电极 b,所述栅极 g 与所述偏压输出装置相连,当所述栅极 g 上加应力负偏压或测试电压时,所述偏压输出装置不影响所述栅极 g 上的电压;当所述栅极 g 上的电压由应力负偏压 Vstress 转向测试电压 Vmeasure 的期间或者由测试电压 Vmeasure 转向应力负偏压 Vstress 的期间,所述偏压输出装置向所述栅极 g 输出一维持电压,且所述维持电压的值小于零。

[0035] 进一步地,所述偏压输出装置包括依次串联的第一电阻 R₁、二极管 D 以及第二电阻 R₂;所述第一电阻 R₁ 的一端接一第一偏压 V₁,其另一端接所述二极管 D;所述第二电阻 R₂ 与所述二极管 D 串联的一端接所述栅极 g,其另一端接所述应力负偏压 Vstress 或者测试电压 Vmeasure;当所述第二电阻 R₂ 另一端的电压由应力负偏压 Vstress 转向测试电压 Vmeasure 的期间或者由测试电压 Vmeasure 转向应力负偏压 Vstress 的期间,所述二极管 D 开启,其它情况下,所述二极管 D 断开。

[0036] 进一步地,所述维持电压的计算公式为:

$$[0037] V_H = \frac{R_2}{R_1 + R_2} V_1$$

[0038] 其中,V_H 为维持电压,R₁ 为第一电阻的阻值,R₂ 为第二电阻的阻值,V₁ 为第一偏压。

[0039] 进一步地,R₂ > R₁,优选地,R₂ > 5R₁,从而可确保所述第一偏压 V₁ 能最大限度地加在所述第二电阻 R₂ 上,使所述维持电压 V_H 尽量接近所述第一偏压 V₁。

[0040] 进一步地,所述第一偏压 V₁ 的绝对值小于所述测试电压 Vmeasure 的绝对值,所述测试电压 Vmeasure 的绝对值小于所述应力负偏压 Vstress 的绝对值,当所述栅极电压的绝对值小于所述第一偏压 V₁ 的绝对值时,所述二极管 D 开启。

[0041] 进一步地,当所述栅极 g 接应力负偏压 Vstress 时,所述体电极 b 接地;当所述栅极接测试电压 Vmeasure 时,所述漏极 d 接测试电压 Vmeasure,且所述源极 s 与所述体电极 b 接地;从而可测出半导体器件的电性能参数。

[0042] 本发明实施例提供的半导体器件负偏置温度不稳定性的测试结构的原理如下:

[0043] 当所述第二电阻 R₂ 接应力负偏压 Vstress,或测试电压 Vmeasure 时,所述二极管 D 关闭,因此,半导体器件的电流非常小,约为 10⁻⁹A,可以忽略不计,因此所述第二电阻 R₂ 上的电压降也可以忽略不计,从而使得栅极的电压与栅源电压 V_{gs} 相等,等于应力负偏压 Vstress 或测试电压 Vmeasure,所述偏压输出装置对器件的电压应力偏置及测试不产生影响;

[0044] 当所述栅源电压 V_{gs} = GND 时,符合栅极电压的绝对值小于所述第一偏压 V₁ 的绝对值的条件,因此,所述二极管 D 开启,所述偏压输出装置往器件的栅极输入维持电压 V_H,从而使得所述第二电阻 R₂ 另一端的电压由应力负偏压 Vstress 转向测试电压 Vmeasure 的期间或者由测试电压 Vmeasure 转向应力负偏压 Vstress 的期间,所述栅极上的偏压始终不为零,因此不会产生恢复效应。

[0045] 同时,本发明实施例提供的半导体器件负偏置温度不稳定性的测试方法利用上述的半导体器件负偏置温度不稳定性的测试结构进行测试,包括如下步骤:

[0046] (1) 将所述半导体器件的栅极 g 接应力负偏压 Vstress,使所述栅极 g 处于负偏置应力作用下;

[0047] (2) 撤去所述应力负偏压 Vstress,往所述栅极 g 加维持电压 V_H;

[0048] (3) 撤去所述维持电压 V_H , 将所述栅极 g 接测试电压 $V_{measure}$, 对所述半导体器件进行电性能测试。

[0049] 综上所述, 本发明提供了一种半导体器件负偏置温度不稳定性的测试结构, 该结构包括一偏压输出装置, 所述偏压输出装置在所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间, 向所述栅极输出一维持电压, 且所述维持电压的值小于零, 从而使得在整个 NBTI 的测试过程中, 所述栅极均接有负偏压, 因此可避免恢复效应的产生, 提高了 NBTI 测试结果的准确性; 同时, 本发明还提供了一种半导体器件负偏置温度不稳定性的测试方法, 该方法通过在所述栅极上的电压由应力负偏压转向测试电压的期间或者由测试电压转向应力负偏压的期间, 向所述栅极输出一维持电压, 且所述维持电压的值小于零, 从而使得在整个 NBTI 的测试过程中, 所述栅极均接有负偏压, 因此可避免恢复效应的产生, 提高了 NBTI 测试结果的准确性。

[0050] 显然, 本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

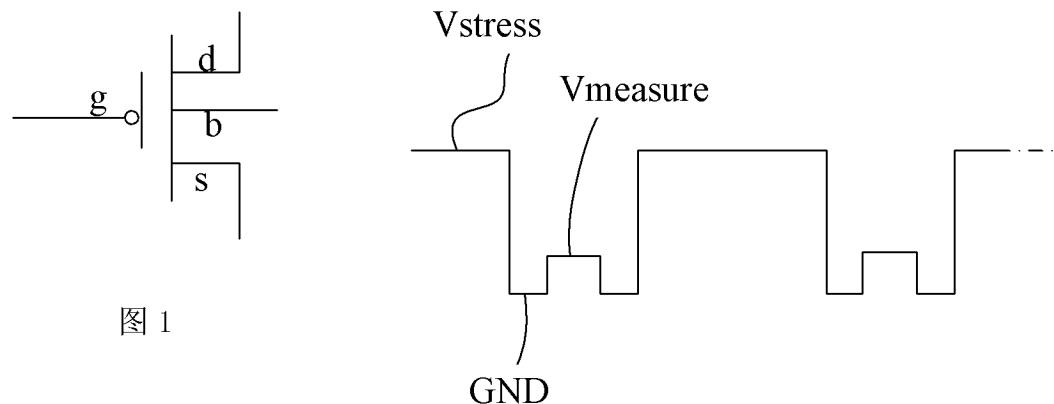


图 1

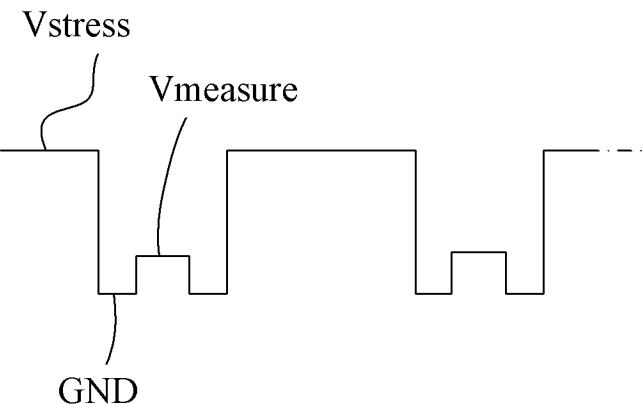


图 2

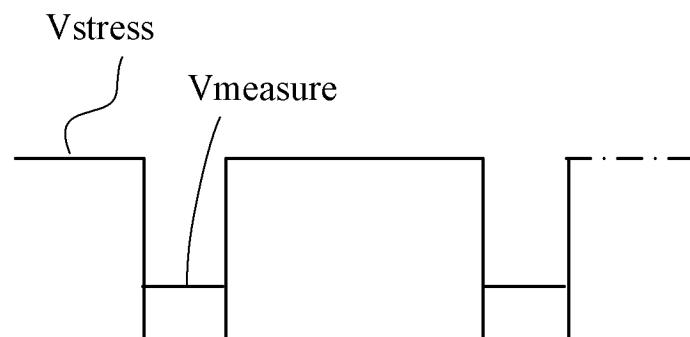


图 3

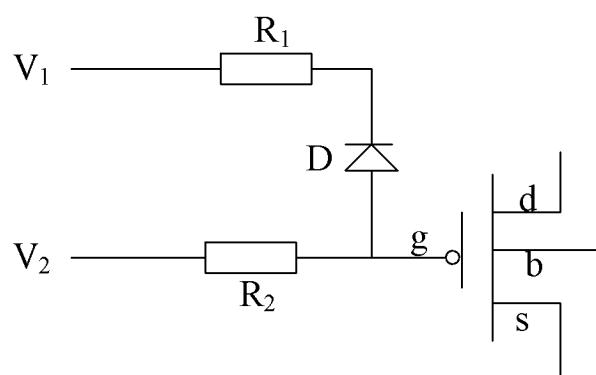


图 4

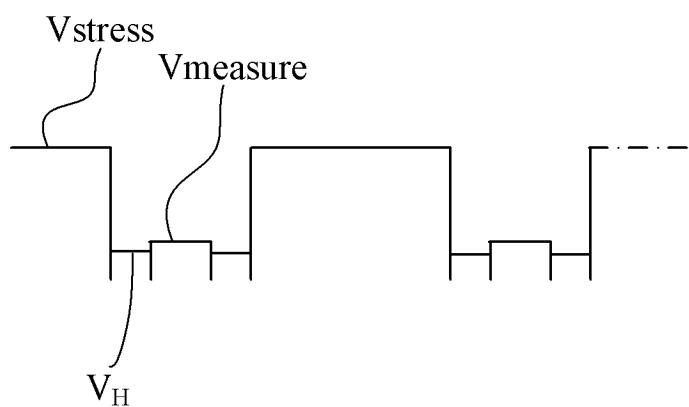


图 5