



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년11월20일  
 (11) 등록번호 10-1789190  
 (24) 등록일자 2017년10월17일

(51) 국제특허분류(Int. Cl.)  
 G06F 12/08 (2016.01) G06F 12/10 (2016.01)  
 G06F 9/30 (2017.01)  
 (21) 출원번호 10-2012-0023051  
 (22) 출원일자 2012년03월06일  
 심사청구일자 2016년03월31일  
 (65) 공개번호 10-2013-0101926  
 (43) 공개일자 2013년09월16일  
 (56) 선행기술조사문헌  
 US20110131381 A1\*  
 US20090172289 A1  
 \*는 심사관에 의하여 인용된 문헌  
 기술이전 희망 : 기술양도, 실시권허여, 기술지도

(73) 특허권자  
 한국전자통신연구원  
 대전광역시 유성구 가정로 218 (가정동)  
 (72) 발명자  
 한진호  
 서울 송파구 양재대로 1218, 326동 805호 (방이동, 올림픽선수기자촌아파트)  
 (74) 대리인  
 특허법인 고려

전체 청구항 수 : 총 6 항

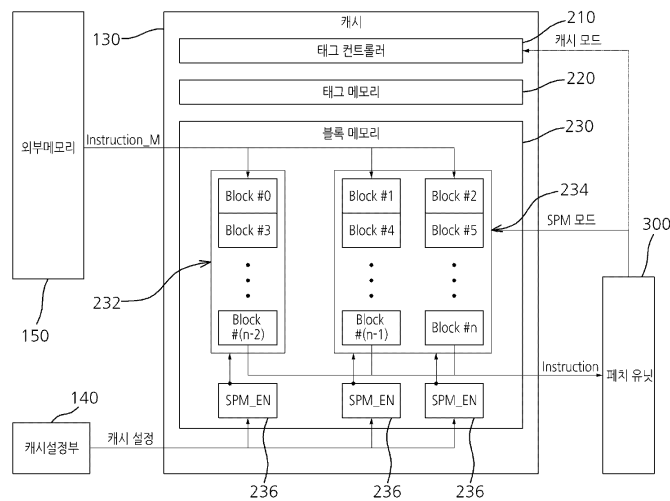
심사관 : 임정복

**(54) 발명의 명칭 스크래치 패드 메모리 구조를 이용한 캐시 및 이를 포함하는 프로세서**

**(57) 요약**

본 발명은 스크래치 패드 메모리 구조를 이용한 캐시 및 이를 포함하는 프로세서에 관한 것으로, 외부 메모리로부터 읽어온 명령어 코드가 저장되는 하나 이상의 블록 영역을 포함하는 블록 메모리; 상기 블록 메모리에 저장된 명령어 코드의 인덱스에 해당하는 외부 메모리 주소를 저장하는 태그 메모리; 및 프로세서 내의 페치 유닛이 캐시 모드인 경우 상기 명령어 코드에 대한 요청을 처리하는 태그 컨트롤러를 포함하되, 상기 블록 영역 중에 일부 블록 영역이 상기 프로세서 내의 캐시 설정부로부터 입력되는 캐시 설정에 따라 스크래치 패드 영역으로 설정되는 것을 특징으로 하며, 본 발명에 따르면 연속적인 대용량의 명령어 코드를 읽어올 때 캐시를 스크래치 패드 메모리로 동작시켜 프로세서의 성능 저하를 방지할 수 있고 전력 절감을 실현할 수 있다.

**대표도**



## 명세서

### 청구범위

#### 청구항 1

외부 메모리로부터 읽어온 명령어 코드가 저장되는 블록 영역을 포함하는 블록 메모리;

상기 블록 메모리에 저장된 상기 명령어 코드의 인덱스에 해당하는 외부 메모리 주소를 저장하는 태그 메모리; 및

프로세서 내의 페치 유닛의 상기 명령어 코드에 대한 요청을 처리하는 태그 컨트롤러를 포함하되,

상기 블록 메모리는 상기 블록 영역을 캐시 영역 또는 스크래치 패드 영역으로 설정하는 스크래치 패드 메모리 인에이블 유닛을 포함하고,

상기 스크래치 패드 메모리 인에이블 유닛에 의해 상기 블록 영역이 상기 스크래치 패드 영역으로 설정된 경우, 상기 페치 유닛은 상기 스크래치 패드 영역에 직접 접근하여 상기 명령어 코드를 읽어오고, 상기 태그 메모리 및 상기 태그 컨트롤러는 비활성화되는 스크래치 패드 메모리 구조를 이용한 캐시.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

제 1항에 있어서,

상기 스크래치 패드 영역에 속하는 블록 중 하나에 외부 메모리로부터 읽어온 상기 명령어 코드가 저장되면, 상기 페치 유닛은 아이들 상태에서 벗어나 상기 명령어 코드를 읽어오는 크래치 패드 메모리 구조를 이용한 캐시.

#### 청구항 5

제 4항에 있어서,

상기 페치 유닛이 상기 외부 메모리로부터 읽어온 상기 명령어 코드가 저장된 블록으로부터 상기 명령어 코드를 읽어오는 동안, 상기 스크래치 패드 영역에 속하는 다른 블록들이 상기 외부 메모리로부터 남은 명령어 코드를 계속해서 읽어 들이는 것이 가능한 스크래치 패드 메모리 구조를 이용한 캐시.

#### 청구항 6

삭제

#### 청구항 7

제 1항에 있어서,

상기 페치 유닛이 캐시 모드인 경우

상기 태그 메모리 및 상기 태그 컨트롤러가 활성화되는 스크래치 패드 메모리 구조를 이용한 캐시.

**청구항 8**

명령어 코드가 저장된 외부 메모리;

상기 명령어 코드를 요청하는 페치 유닛을 포함하는 코어;

상기 코어로부터 받은 가상적인 어드레스를 물리적인 어드레스로 변환하는 TLB(Translation Lookaside Buffer);

상기 TLB로부터 받은 물리적인 어드레스에 기초하여, 상기 코어의 요청에 따라 상기 외부 메모리에 저장된 상기 명령어 코드를 읽어들이어 상기 코어에 상기 명령어 코드를 보내는 스크래치 패드 적용 캐시; 및

상기 스크래치 패드 적용 캐시를 캐시 모드 또는 스크래치 패드 모드로 동작시키는 캐시 설정부를 포함하되,

상기 스크래치 패드 적용 캐시는:

상기 외부 메모리로부터 읽어온 상기 명령어 코드가 저장되는 블록 영역을 포함하는 블록 메모리;

상기 블록 메모리에 저장된 상기 명령어 코드의 인덱스에 해당하는 외부 메모리 주소를 저장하는 태그 메모리; 및

상기 페치 유닛으로부터의 상기 명령어 코드에 대한 요청을 처리하는 태그 컨트롤러를 포함하되,

상기 블록 메모리는 상기 블록 영역을 캐시 영역 또는 스크래치 패드 영역으로 설정하는 스크래치 패드 메모리 인에이블 유닛을 포함하고,

상기 스크래치 패드 메모리 인에이블 유닛에 의해 상기 블록 영역이 상기 스크래치 패드 영역으로 설정된 경우, 상기 페치 유닛은 상기 스크래치 패드 영역에 직접 접근하여 상기 명령어 코드를 읽어오고, 상기 태그 메모리 및 상기 태그 컨트롤러는 비활성화되는 프로세서.

**청구항 9**

제 8항에 있어서, 상기 스크래치 패드 적용 캐시는

상기 캐시 모드에서는 태그 컨트롤러와 태그 메모리를 활성화시켜 상기 태그 컨트롤러와 상기 태그 메모리를 통해 상기 블록 메모리 내의 블록들에 접근 가능하도록 하고, 상기 스크래치 패드 모드에서는 상기 태그 컨트롤러와 상기 태그 메모리를 비활성화시켜 상기 블록 메모리 내의 블록들에 직접 접근 가능하도록 하는 스크래치 패드 메모리로 사용 가능한 가변적인 캐시 구조를 가지는 프로세서.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 스크래치 패드 메모리 구조를 이용한 캐시 및 이를 포함하는 프로세서에 관한 것으로서, 더욱 상세하게는 캐시 구조에 스크래치 패드 메모리(Scratch Pad Memory) 기능을 추가한 스크래치 패드 메모리 구조를 이용한 캐시 및 이를 포함하는 프로세서에 관한 것이다.

**배경 기술**

[0002] 프로세서는 외부 저장장치에 보관된 명령어를 읽고 분석하여 명령어가 지정하는 피연산자(operand)를 이용한 특정 연산(operation)을 수행한 후 다시 외부 저장장치에 저장하여 저장된 프로그램에 의해 특정 기능을 수행하는 장치이다.

[0003] 이러한 프로세서는 다양한 분야에 적용되어 복잡하고 다양한 기능을 수행하고 있으며, 그 기능으로는 비디오 부호 및 복호, 오디오 부호 및 복호, 네트워크 패킷 라우팅, 시스템 제어 등이 있어 다양한 응용분야에서 사용되고 있다. 이와 같은 다양한 응용분야에서 사용되기 위해서는 각 응용분야에 적합한 다양한 형태를 가지는 명령어 코드 패턴을 처리할 수 있어야 한다.

- [0004] 또한, 무선 통신을 위한 기지국에서부터 무선 통신 단말기와 같이 배터리로 전원이 공급되는 장치에 이르기까지 다양한 형태의 전원 공급이 이루어지는 장치에서 사용되어야 하기 때문에 성능뿐만 아니라 저전력 기능 또한 중요해지고 있는 실정이다.
- [0005] 프로세서는 기본적으로 코어(Core), TLB(Translation Lookaside Buffer) 및 캐시(Cache)를 포함한다. 프로세서가 수행할 작업은 다수의 명령어(Instruction)의 조합으로 규정된다. 즉, 명령어가 메모리에 저장되어 있고, 프로세서에 이 명령어들이 순차적으로(Sequentially) 입력되어 매 클럭 사이클마다 프로세서가 특정 연산을 행하게 된다.
- [0006] TLB는 운영체제 기반의 어플리케이션 구동을 위하여 가상 어드레스를 물리 어드레스로 변환하는 기능을 하며, 캐시는 외부 메모리에 저장되어 있는 명령어를 칩 내부에 잠시 저장함으로써 프로세서의 속도를 증대시키는 역할을 한다.
- [0007] 코어가 외부 메모리에서 데이터를 읽어오기 위해서는 10 내지 100 사이클의 상당한 시간이 소모되는데, 이것은 코어가 작업을 하지 않는 아이들(Idle) 상태에 장시간 머무르게 되는 요인이 된다. 캐시는 코어가 사용할 명령어를 코어에 직접적으로 연결된 칩 내의 메모리에 저장하기 위한 유닛이다. 캐시를 사용하게 되는 이유는 외부 메모리는 수 기가바이트(Gbytes) (256Gbytes 이상) 이상의 대용량의 명령어를 저장할 수 있는 반면 칩 내부에 구현될 수 있는 메모리는 수 Mbytes 수준이기 때문이다. 즉, 캐시는 외부의 대용량 메모리를 칩 내부에 잠시 저장하는 역할을 한다.
- [0008] 따라서, 캐시가 프로세서의 성능에 상당한 영향을 미치게 된다. 코어가 특정 명령어를 요구할 때, 캐시에 프로세서가 요구하는 특정 명령어가 없으면 외부 메모리에서 읽어와야 하기 때문에, 외부 메모리에서 읽어오는 동안 캐시는 아이들 상태가 되며, 매 요청 시마다 프로세서는 어드레스(Address)를 캐시로 보내게 되고, 캐시는 내부에 저장된 명령어 코드에 대한 인덱스(Index)에 해당하는 어드레스 즉, 태그(Tag)를 태그 메모리에 저장하고 있게 된다. 그리고는 매번의 프로세서의 명령어 코드 요청이 있을 때마다 어드레스와 태그를 비교하기 위해 태그 메모리를 액세스해야 한다. 또한, 저장된 명령어 코드에 상응하는 태그를 저장도 해야 한다.
- [0009] 이와 관련하여 특정 어플리케이션이 이전에 실행되었을 때 압축 코스트를 계산하고 이를 동적으로 보완하여 현재 캐시메모리 데이터를 압축하는 방안이 제시되었지만, 실제로 캐시 메모리 데이터를 줄이는 방안이 되지는 못하는 한계가 있다.
- [0010] 또한, 다수의 명령어를 그룹으로 묶어서 그것의 인덱스를 명령어 메모리에 저장하는 방법이 제시되었지만, 인덱스를 통하여 명령어를 읽을 때 결국 그룹 내의 명령어 개수만큼 메모리에서 로드해야 하며 명령어 메모리의 크기 자체를 줄이는 방안이어서 실제로 전력을 절감하는 효과는 없는 문제점이 있다.
- [0011] 관련 선행기술로는 미국 공개특허공보 제2006/0101206호(2006.05.11 공개, 발명의 명칭 : Adaptive Cache Compression System)가 있다.

**발명의 내용**

**해결하려는 과제**

- [0012] 본 발명은 전술한 문제점을 개선하기 위해 창안된 것으로서, 연속적인 대용량의 명령어 코드를 읽을 때 캐시 내의 메모리를 스크래치 패드 메모리로 동작시킬 수 있는 가변적인 캐시 구조를 이용하여 전력을 절감할 수 있도록 하는 스크래치 패드 메모리 구조를 이용한 캐시 및 이를 포함하는 프로세서를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

- [0013] 본 발명의 일 측면에 따른 스크래치 패드 메모리 구조를 이용한 캐시는 외부 메모리로부터 읽어온 명령어 코드가 저장되는 하나 이상의 블록 영역을 포함하는 블록 메모리; 상기 블록 메모리에 저장된 명령어 코드의 인덱스에 해당하는 외부 메모리 주소를 저장하는 태그 메모리; 및 프로세서 내의 페치 유닛이 캐시 모드인 경우 상기 명령어 코드에 대한 요청을 처리하는 태그 컨트롤러를 포함하되, 상기 블록 영역 중에 일부 블록 영역이 상기 프로세서 내의 캐시 설정부로부터 입력되는 캐시 설정에 따라 스크래치 패드 영역으로 설정되는 것을 특징으로

한다.

- [0014] 본 발명에서 상기 블록 메모리는 상기 캐시 설정에 따라 상기 블록 영역을 캐시 영역 또는 스크래치 패드 영역으로 설정하는 스크래치 패드 메모리 인에이블 유닛을 포함하는 것을 특징으로 한다.
- [0015] 본 발명에서 상기 페치 유닛이 스크래치 패드 모드인 경우, 상기 페치 유닛은 상기 스크래치 패드 영역에 직접 접근하여 상기 명령어 코드를 읽어오는 것을 특징으로 한다.
- [0016] 본 발명에서 상기 스크래치 패드 영역에 속하는 블록 중 하나가 외부 메모리로부터 상기 명령어 코드의 읽어움이 완료되면, 상기 페치 유닛은 아이들 상태에서 벗어나 상기 명령어 코드를 읽어오는 것을 특징으로 한다.
- [0017] 본 발명에서 상기 페치 유닛이 상기 외부 메모리로부터 상기 명령어 코드의 읽어움이 완료된 블록으로부터 상기 명령어 코드를 읽어오는 동안, 상기 스크래치 패드 영역에 속하는 다른 블록들이 상기 외부 메모리로부터 남은 명령어 코드를 계속해서 읽어 들이는 것이 가능한 것을 특징으로 한다.
- [0018] 본 발명에서 상기 페치 유닛이 스크래치 패드 모드인 경우 상기 태그 메모리 및 상기 태그 컨트롤러가 비활성화되는 것을 특징으로 한다.
- [0019] 본 발명에서 상기 페치 유닛이 캐시 모드인 경우 상기 태그 메모리 및 상기 태그 컨트롤러가 활성화되는 것을 특징으로 한다.
- [0020] 본 발명의 다른 측면에 따른 스크래치 패드 메모리 구조를 이용한 캐시를 포함하는 프로세서는 프로그램이 저장된 외부 메모리; 명령어 코드를 읽고 구현된 알고리즘에 따라 연산을 수행하는 코어; 상기 코어로부터 받은 가상적인 어드레스를 물리적인 어드레스로 변환하는 TLB(Translation Lookaside Buffer); 상기 TLB로부터 받은 물리적인 어드레스에 기초하여 상기 코어의 요청에 따라 상기 외부 메모리에 저장된 프로그램의 일부를 읽어들이어 상기 코어에 명령어 코드를 보내는 스크래치 패드 적용 캐시; 및 상기 스크래치 패드 적용 캐시를 캐시 모드 또는 스크래치 패드 모드로 동작시키고, 상기 스크래치 패드 적용 캐시의 블록 메모리 내의 블록들을 캐시 영역과 스크래치 패드 영역으로 구분하는 캐시 설정부를 포함한다.
- [0021] 본 발명에서 상기 스크래치 패드 적용 캐시는 상기 캐시 모드에서는 태그 컨트롤러와 태그 메모리를 활성화시켜 상기 태그 컨트롤러와 상기 태그 메모리를 통해 상기 블록 메모리 내의 블록들에 접근 가능하도록 하고, 상기 스크래치 패드 모드에서는 상기 태그 컨트롤러와 상기 태그 메모리를 비활성화시켜 상기 블록 메모리 내의 블록들에 직접 접근 가능하도록 하는 스크래치 패드 메모리로 사용 가능한 가변적인 캐시 구조를 가지는 것을 특징으로 한다.

**발명의 효과**

- [0022] 본 발명에 따르면, 자주 수행되고 연속적인 대용량의 명령어 코드를 읽어올 때 캐시를 스크래치 패드 메모리로 동작시켜 외부 메모리로부터 명령어 코드를 읽어 오는 시간을 줄일 수 있으므로 프로세서의 성능 저하를 방지할 수 있다.
- [0023] 또한, 본 발명에 따르면, 캐시를 스크래치 패드 메모리로 동작시킬 수 있는 가변적인 캐시 구조를 이용함으로써 전력 절감을 실현할 수 있다.

**도면의 간단한 설명**

- [0024] 도 1은 본 발명의 일 실시예에 따른 스크래치 패드 메모리 구조를 이용한 캐시를 포함하는 프로세서의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 스크래치 패드 메모리 구조를 이용한 캐시를 도시한 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 스크래치 패드 메모리 구조를 이용한 캐시를 포함하는 프로세서에서의 명령어 처리 방법을 도시한 순서도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0025] 이하에서는 본 발명의 일 실시예에 따른 스크래치 패드 메모리 구조를 이용한 캐시 및 이를 포함하는 프로세서

를 첨부된 도면들을 참조하여 상세하게 설명한다. 이러한 과정에서 도면에 도시된 선들의 두께나 구성요소의 크기 등은 설명의 명료성과 편의상 과장되게 도시되어 있을 수 있다. 또한 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로써, 이는 사용자, 운용자의 의도 또는 관례에 따라 달라질 수 있다. 그러므로 이러한 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야할 것이다.

- [0026] 도 1은 본 발명의 일 실시예에 따른 스크래치 패드 메모리 구조를 이용한 캐시를 포함하는 프로세서의 블록도이다.
- [0027] 도 1을 참조하면, 프로세서(100), 코어(110), TLB(120), 스크래치 패드 적용 캐시(130), 캐시 설정부(140) 및 외부 메모리(150)가 도시되어 있다.
- [0028] 본 발명의 일 실시예에 따른 프로세서(100)는, 프로그래밍을 통해 스크래치 패드 적용 캐시(130)에서 명령어가 저장되는 영역의 전부 또는 일부를 스크래치 패드 메모리로 동작시킴에 따라 프로세서(100)의 성능 저하를 방지하고 소모되는 전력을 절감하는 것을 특징으로 한다.
- [0029] 이러한 프로세서(100)는 도 1에 도시된 바와 같이 코어(110), TLB(120), 스크래치 패드 적용 캐시(130), 캐시 설정부(140)를 포함하며, 외부 메모리(150)와 연결되어 있다.
- [0030] 코어(110)는 명령어를 읽어서 구현된 알고리즘에 따라 연산을 수행한다.
- [0031] TLB(120)는 코어(110)로부터 받은 가상적인 어드레스를 물리적인 어드레스로 변환하여 스크래치 패드 적용 캐시(130)에 전달한다.
- [0032] 스크래치 패드 적용 캐시(130)는 코어(110)의 요청에 따라 외부 메모리(150)에 저장된 프로그램의 일부를 읽어 들여 명령어 코드를 코어(110)로 전달한다.
- [0033] 구체적으로, 스크래치 패드 적용 캐시(130)는 TLB(120)로부터 전달받은 물리적인 어드레스에 기초하여 외부 메모리(150)로부터 명령어 코드를 읽어들이어 이를 코어(110)로 전달한다.
- [0034] 이때, 스크래치 패드 적용 캐시(130)는 외부 메모리(150)로부터 외부메모리 명령어(Instruction\_M)를 통해 명령어 코드를 읽어들이 수 있고, 읽어들이 명령어 코드를 명령어(Instruction)를 통해 코어(110)로 전달할 수 있다.
- [0035] 한편, 외부 메모리(150)에 저장된 프로그램은 도 1에 도시된 바와 같이, 캐시 설정과 스크래치 패드 사용코드를 포함한다.
- [0036] 따라서, 코어(110)는 캐시 설정이 포함된 명령어 코드를 읽고, 이에 따라 캐시 설정부(140)를 설정하여 스크래치 패드 적용 캐시(130)를 제어할 수 있다.
- [0037] 캐시 설정부(140)는 캐시 설정을 통해 스크래치 패드 적용 캐시(130) 내에 있는 스크래치 패드 메모리 인에이블 유닛(SPM\_EN)(236)을 설정하여 스크래치 패드 적용 캐시(130)를 캐시 모드 또는 스크래치 패드 모드(SPM 모드)로 동작시킨다.
- [0038] 즉, 스크래치 패드 적용 캐시(130)의 블록 메모리(Block Memory)(230) 내의 블록(Block)들은 캐시 영역(232)과 스크래치 패드 영역(234)으로 구분된다.
- [0039] 이후, 코어(110)는 스크래치 패드를 제어하기 위한 스크래치 패드 사용코드를 읽고, 이러한 스크래치 패드 사용코드를 통해 스크래치 패드 영역(234)을 할당한다.
- [0040] 그리고 나서, 코어(110)는 해당 영역에 채워야 할 명령어 코드의 외부 메모리(150)에서의 위치 등을 지정하며, 이후 명령어 코드를 스크래치 패드 적용 캐시(130) 내의 스크래치 패드 영역(234)에서 읽어오게 된다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 스크래치 패드 메모리 구조를 이용한 캐시를 도시한 도면이다.
- [0042] 도 2를 참조하면, 스크래치 패드 적용 캐시(130), 태그 컨트롤러(TAG Controller)(210), 태그 메모리(TAG Memory)(220), 블록 메모리(Block Memory)(230), 캐시 영역(232), 스크래치 패드 영역(234), 스크래치 패드 메모리 인에이블 유닛(SPM\_EN)(236), 외부 메모리(150), 캐시 설정부(140) 및 페치 유닛(Fetch Unit)(300)이 도시되어 있다.
- [0043] 본 발명의 일 실시예에 따른 스크래치 패드 적용 캐시(130)는 태그 컨트롤러(210), 태그 메모리(220) 및 블록



메모리(230)를 포함한다.

- [0044] 태그 컨트롤러(210)는 캐시 모드인 경우에 페치 유닛(300)으로부터의 명령어 코드 요청을 처리한다.
- [0045] 태그 메모리(220)는 블록 메모리(230)에 저장된 명령어 코드의 인덱스에 해당하는 외부 메모리 주소를 저장한다.
- [0046] 블록 메모리(230)는 외부 메모리(150)로부터 읽어온 명령어 코드를 저장한다. 이러한 블록 메모리(230)는 명령어 코드가 저장되는 복수 개의 블록(Block)을 포함하며, 각각의 블록의 영역을 설정할 수 있는 스크래치 패드 메모리 인에이블 유닛(236)을 포함한다.
- [0047] 페치 유닛(300)은 프로세서 내에 존재하는 유닛으로서, 스크래치 패드 적용 캐시(130)에 코어(110)가 수행할 명령어 코드를 요청한다.
- [0048] 스크래치 패드 메모리 인에이블 유닛(236)은 캐시 설정부(140)로부터의 캐시 설정에 따라 블록 메모리(230)내의 대응되는 블록을 스크래치 패드 영역(234)으로 설정하게 된다.
- [0049] 이후에 이루어지는 페치 유닛(300)으로부터의 요청은 요청된 주소에 따라 스크래치 패드 모드(SPM 모드) 또는 캐시 모드로 동작을 하게 된다.
- [0050] 캐시 모드의 경우, 태그 컨트롤러(210)와 태그 메모리(220)를 사용하여 블록 메모리(230)에 접근하여 해당 명령어 코드를 읽어 오게 되므로 태그 컨트롤러(210)와 태그 메모리(220)가 활성화된다. 반면 스크래치 패드 모드의 경우에는 블록 메모리(230)에 직접 접근하여 스크래치 패드 영역(234)에 있는 명령어 코드를 읽어오게 되며, 이 경우 태그 컨트롤러(210)와 태그 메모리(220)는 비활성화된다.
- [0051] 스크래치 패드 모드의 경우, 블록들 간은 외부 메모리(150)와 페치 유닛(300)으로부터 읽고 쓰는 채널이 분리되어 있으며, 페치 유닛(300)에서 요청하는 명령어 코드가 있는 최소 하나의 블록만이 외부 메모리(150)로부터 읽음이 완료되면 페치 유닛(300)은 아이들 상태에서 벗어나 요청하는 명령어 코드를 읽을 수 있으며, 외부 메모리(150)에 남은 요청된 명령어 코드를 계속해서 스크래치 패드 적용 캐시(130)로 읽어 들일 수 있게 된다.
- [0052] 이와 같이 스크래치 패드 모드에서는 태그 컨트롤러(210)와 태그 메모리(220)를 사용하지 않고 단지 캐시 설정부(140)에 설정된 정보만을 이용하여 해당 스크래치 패드 영역(234)의 블록 메모리(230)를 직접 접근하므로 적은 회로만을 사용하게 되어 전력 소모량을 줄일 수 있다.
- [0053] 또한, 물리적으로 분리된 메모리의 사용으로 인해 페치 유닛(300)이 요청한 명령어 코드를 확보하는 데 걸리는 시간을 단축시킬 수 있어 프로세서의 성능을 높이는 효과도 있다.
- [0054] 도 3은 본 발명의 일 실시예에 따른 스크래치 패드 적용 캐시를 사용하는 프로세서에서의 명령어 처리 방법의 순서도이다.
- [0055] 단계 S310에서, 프로세서는 캐시 설정부(140)를 통해 캐시 설정을 수행하여 블록 메모리(230) 내에 있는 각 블록의 영역을 설정하는 스크래치 패드 메모리 인에이블 유닛(236)을 설정한다. 이를 위해 스크래치 패드 적용 캐시(130)는 블록 메모리(230) 내에 있는 각 블록의 영역 전체 혹은 일부가 스크래치 패드 영역(234)으로 설정 가능한 가변적인 캐시 구조를 가지고 있다.
- [0056] 단계 S320에서, 페치 유닛(300)은 프로세서가 수행한 명령어 코드를 스크래치 패드 적용 캐시(130)로부터 요청한다.
- [0057] 단계 S330에서, 페치 유닛(300)으로부터의 요청은 요청된 주소에 따라 스크래치 패드 모드 또는 캐시 모드로 동작하게 된다.
- [0058] 캐시 모드로 동작하는 경우, 단계 S340에서 스크래치 패드 적용 캐시(130) 내의 태그 컨트롤러(210)와 태그 메모리(220)를 활성화시키고, 단계 S342에서 태그 컨트롤러(210)와 태그 메모리(220)를 사용하여 블록 메모리(230)의 캐시 영역(232)에 접근하여 해당 명령어 코드를 읽어 오게 된다.
- [0059] 스크래치 패드 모드로 동작하는 경우, 단계 S350에서 블록 메모리(230)의 스크래치 패드 영역(234)에 직접 접근하여 해당 명령어 코드를 읽어 오게 된다. 이 경우 스크래치 패드 적용 캐시(130) 내의 태그 컨트롤러(210)와 태그 메모리(220)는 비활성화된다.

- [0060] 그리고 단계 S352에서 페치 유닛(300)에서 요청하는 명령어 코드가 있는 최소 하나의 블록만이 외부 메모리(150)로부터 읽음이 완료되면, 페치 유닛(300)은 아이들 상태에서 벗어나 요청하는 명령어 코드를 읽을 수 있으며, 단계 S354에서 외부 메모리(150)에 남은 요청된 명령어 코드를 계속해서 스크래치 패드 적용 캐시(130)로 읽어 들일 수 있다.
- [0061] 본 발명의 일 실시예에 따르면, 프로그램 개발자는 운영체제, 컴파일러 등을 통해 아니면 직접 분석을 통해 프로그램을 개발할 때 프로세서에서 수행되는 명령어 코드에 대한 통계를 알 수 있다.
- [0062] 또한, 자주 수행되고 연속적인 명령어 코드를 파악할 수 있으며 프로그램 내의 명령어 코드에 따라 실제 알고리즘을 수행하기 전에 스크래치 패드 적용 캐시(130)를 설정하여 스크래치 패드 영역(234) 설정을 하게 된다.
- [0063] 구체적으로, 알고리즘을 수행하기 전 명령어 코드는 저장 유닛(Store Unit)을 통하여 캐시 설정 레지스터에 설정 값을 저장하고, 코어는 스크래치 패드 적용 캐시(130)로 스크래치 패드 영역(234)으로 설정된 명령어 코드 요청을 하게 되면 스크래치 적용 캐시(130)는 스크래치 패드로써 동작을 하게 되며 외부 메모리(150)로부터 명령어 코드를 스크래치 패드로 읽어 들인다.
- [0064] 이와 같이, 자주 수행되고 연속적인 대용량의 명령어 코드를 읽어올 때 캐시를 스크래치 패드 메모리로 동작시키면 외부 메모리로부터 명령어 코드를 읽어 오는 시간을 줄일 수 있으므로 프로세서의 성능 저하를 방지할 수 있다.
- [0065] 또한, 캐시를 스크래치 패드 메모리로 동작시키는 경우에 적은 메모리를 사용하게 되므로 전력 절감을 실현할 수 있다.
- [0066] 본 발명은 도면에 도시된 실시예를 참고로 하여 설명되었으나, 이는 예시적인 것에 불과하며 당해 기술이 속하는 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 아래의 특허청구범위에 의하여 정해져야할 것이다.

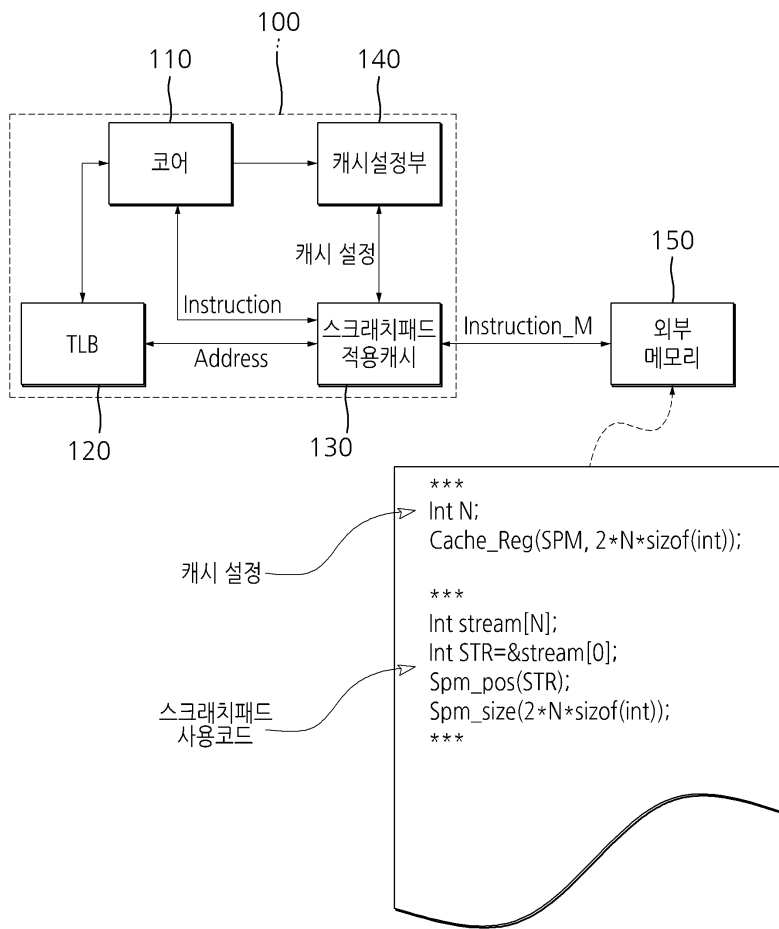
**부호의 설명**

- [0067] 100: 프로세서
- 110: 코어
- 120: TLB(Translation Lookaside Buffer)
- 130: 스크래치 패드 적용 캐시(Cache with SPM)
- 140: 캐시 설정부(캐시\_REG)
- 150: 외부 메모리
- 210: 태그 컨트롤러(TAG Controller)
- 220: 태그 메모리(TAG Memory)
- 230: 블록 메모리(Block Memory)
- 232: 캐시 영역
- 234: 스크래치 패드 영역
- 236: 스크래치 패드 메모리 인에이블 유닛(SPM\_EM)
- 300: 페치 유닛(Fetch Unit)

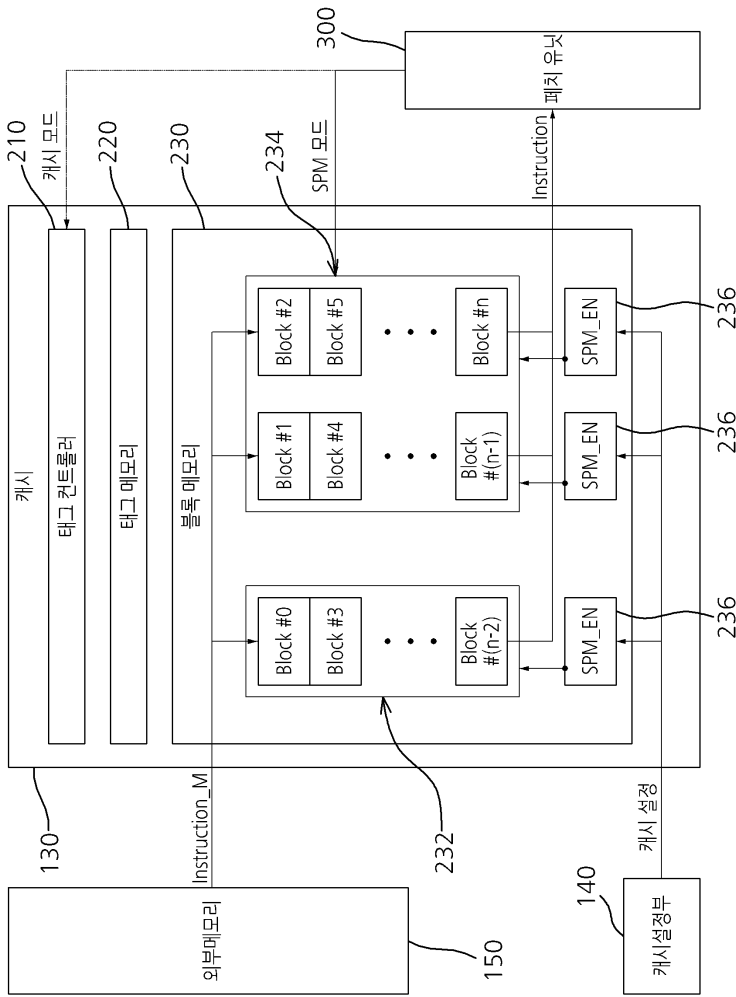


도면

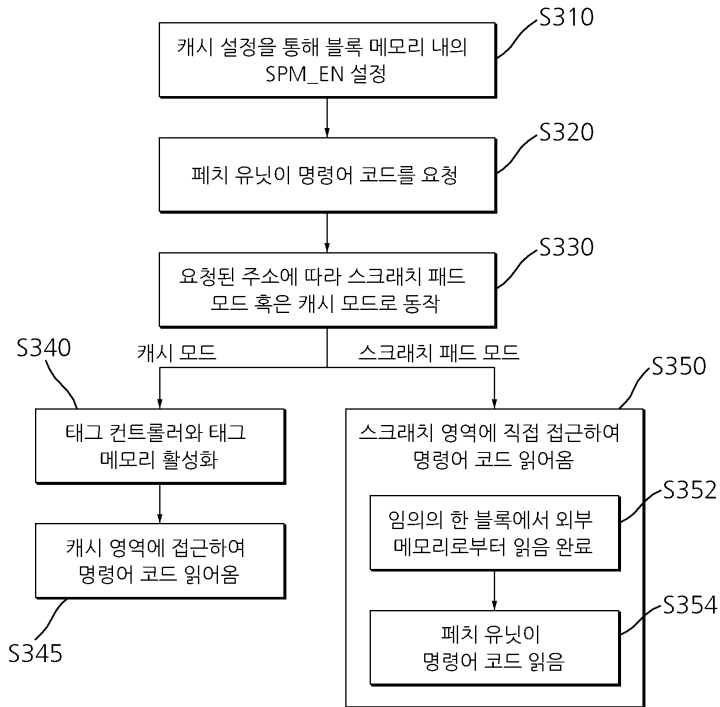
도면1



도면2



도면3



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제8항

【변경전】

상기 캐시 영역 또는 상기 스크래치 패드 영역

【변경후】

캐시 영역 또는 스크래치 패드 영역