

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4889965号
(P4889965)

(45) 発行日 平成24年3月7日(2012.3.7)

(24) 登録日 平成23年12月22日(2011.12.22)

(51) Int.Cl.		F I
G 1 1 C 11/412 (2006.01)		G 1 1 C 11/40 3 0 1
H O 1 L 27/11 (2006.01)		H O 1 L 27/10 3 8 1
H O 1 L 21/8244 (2006.01)		G 1 1 C 11/40 Z
G 1 1 C 11/41 (2006.01)		

請求項の数 8 (全 25 頁)

(21) 出願番号	特願2005-186508 (P2005-186508)	(73) 特許権者	302062931
(22) 出願日	平成17年6月27日 (2005.6.27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-4930 (P2007-4930A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成19年1月11日 (2007.1.11)	(74) 代理人	100064746
審査請求日	平成20年4月14日 (2008.4.14)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

相補的なデータを入出力する第 1 および第 2 のビット線と、
 選択信号に基づいて第 1 の記憶ノードと前記第 1 のビット線との間の接続を制御する第 1 のトランジスタと、
 前記選択信号に基づいて第 2 の記憶ノードと前記第 2 のビット線との間の接続を制御する第 2 のトランジスタと、
 前記第 1 および第 2 の記憶ノードの電位を保持して出力するフリップフロップとを備え、
 前記フリップフロップは、
 ゲートが前記第 2 の記憶ノードと接続され、固定電位と前記第 1 の記憶ノードとの間に設けられた第 3 のトランジスタと、
 ゲートが前記第 1 の記憶ノードと接続され、前記固定電位と前記第 2 の記憶ノードとの間に設けられた第 4 のトランジスタとを含み、
 前記第 1 の記憶ノードと前記第 2 のビット線との間の接続を制御する第 5 のトランジスタと、
 前記第 2 の記憶ノードと前記第 1 のビット線との間の接続を制御する第 6 のトランジスタとをさらに備え、
 前記第 5 および第 6 のトランジスタは非導通に設定され、
 半導体基板表面に形成される、前記第 1、第 4 および第 5 のトランジスタの各々のゲ-

ト領域は、前記第 1、第 4 および第 5 のトランジスタの順に第 1 の方向に沿って一直線状に形成され、

前記第 1 の記憶ノードは、前記第 1、第 4 および第 5 のトランジスタとそれぞれ電氣的に結合するために半導体基板上層の第 1 の金属配線層を用いて一直線状に形成され、前記第 1 の方向に延在する第 1 の配線経路を有し、

前記半導体基板表面に形成される、前記第 2、第 3 および第 6 のトランジスタの各々のゲート領域は、前記第 2、第 3 および第 6 のトランジスタの順に前記第 1 の方向に沿って一直線状に形成され、

前記第 2 の記憶ノードは、前記第 2、第 3 および第 6 のトランジスタとそれぞれ電氣的に結合するために前記半導体基板上層の前記第 1 の金属配線層を用いて一直線状に形成され、前記第 1 の方向に延在する第 2 の配線経路を有し、

平面視において前記第 1 の方向と交差する第 2 の方向に、前記第 1、第 4 および第 5 のトランジスタの各々のゲート領域、前記第 1 の配線経路、前記第 2 の配線経路、前記第 2、第 3 および第 6 のトランジスタの各々のゲート領域の順に並んで配置される、半導体記憶装置。

【請求項 2】

前記第 1 ~ 第 6 のトランジスタは、第 1 導電型トランジスタであり、

前記第 1 ~ 第 6 のトランジスタは、半導体基板表面に設けられた第 2 導電型のウェル内に形成される、請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 3 および第 4 のトランジスタは、第 1 導電型トランジスタであり、

前記第 1、第 2、第 5 および第 6 のトランジスタは、第 2 導電型トランジスタであり、

前記第 3 および第 4 のトランジスタは、半導体基板表面の第 2 導電型のウェル内に形成され、

前記第 1、第 2、第 5 および第 6 のトランジスタは、前記半導体基板表面の第 1 導電型のウェル内に形成される、請求項 1 記載の半導体記憶装置。

【請求項 4】

前記選択信号を伝達するためのワード線をさらに備え、

前記第 1 および第 2 のビット線は、前記半導体基板上層の前記第 1 の金属配線層よりも上の金属配線層である第 2 の金属配線層を用いて形成され、

前記ワード線は、前記半導体基板上層の前記第 2 の金属配線層よりも上の金属配線層である第 3 の金属配線層を用いて形成される、請求項 1 記載の半導体記憶装置。

【請求項 5】

前記第 1 および第 2 の記憶ノードの電位をそれぞれ保持するための容量性素子をさらに設ける、請求項 1 記載の半導体記憶装置。

【請求項 6】

前記容量性素子は、シリコン酸化膜より誘電率の高い絶縁膜を用いて形成される、請求項 5 記載の半導体記憶装置。

【請求項 7】

前記第 1 および第 2 のトランジスタの電流増幅率は、前記第 5 および第 6 のトランジスタの電流増幅率よりも大きい、請求項 1 記載の半導体記憶装置。

【請求項 8】

前記第 1 および第 2 のトランジスタのサイズ比 (W / L) は、前記第 5 および第 6 のトランジスタのサイズ比よりも大きい、請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置、特に低電源電圧動作での動作を実現する S R A M (Static Random Access Memory) 等の半導体記憶装置に関するものである。

【背景技術】

10

20

30

40

50

【0002】

S R A Mは、携帯端末等に使用されるA S I C（特定用途向け集積回路）等のキャッシュメモリとして幅広く利用されている。このような用途に用いられるS R A Mは限られた容量の電池を電源とするため、小型であるとともに低消費電力であることが要求されている。この点で、消費電力は電源電圧の2乗に比例するため、近年、低消費電力化を図るために電源電圧を下げるのが一般的に行なわれている。

【0003】

一方で、電源電圧を下げるとS R A Mのメモリセル（以下、S R A Mセルとも称する）を構成するM O Sトランジスタの動作速度が低下することになる。このため、M O Sトランジスタのしきい値電圧を下げて動作速度を確保することが要求される。

10

【0004】

しかしながら、M O Sトランジスタのしきい値電圧を低下させるとスタンバイ時（待機時）におけるサブスレッショルドリーク電流が増加するため効果的な低消費電力が困難になるという問題がある。

【0005】

特開2005-51264号公報においては、要求される動作速度が高速か否かに応じてM O Sトランジスタを2組に分けてそれぞれの組に応じてしきい値電圧の低い高速なM O Sトランジスタあるいはしきい値電圧の高い低消費電力なM O Sトランジスタを設計することにより高速化とともに低消費電力化を図る方式が開示されている。

【0006】

また、特開2004-265549号公報および特開平9-245480号公報においては、通常のS R A Mセルに読み出し動作を加速させるためのM O Sトランジスタを設けて高速性および低消費電力化を図る方式が開示されている。

20

【特許文献1】特開2005-51264号公報

【特許文献2】特開2004-265549号公報

【特許文献3】特開平9-245480号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記特許文献1においては、M O Sトランジスタを2組に分けてそれぞれしきい値電圧の低いあるいは高いM O Sトランジスタを設計する必要があり、しきい値電圧の設定のためにイオン注入量をそれぞれ制御する必要があり製造工程が複雑になるという問題がある。

30

【0008】

また、特許文献2および3においては、加速させるためのM O Sトランジスタを設けた構成が示されているが、通常のS R A Mセルにさらに構成部品が追加されるため回路面積が増大するという問題が発生する。

【0009】

また、S R A Mセルは、互いに異なる電位レベルに設定される記憶ノードを有しており、M O Sトランジスタを介して2本の互いに相補のビット線とそれぞれ電氣的に結合されている。

40

【0010】

ここで、記憶ノードの電位レベルは互いに異なるためデータ読出開始前に2本の互いに相補のビット線がともに同じ電位レベルにプリチャージされた場合であっても記憶ノード側にサブスレッショルドリーク電流が流入あるいは記憶ノード側からサブスレッショルドリーク電流が流出する可能性がある。

【0011】

それゆえ、当該2本のビット線と接続されている複数の非選択S R A Mセルのサブスレッショルドリーク電流の影響を受けて、2本の互いに相補のビット線がプリチャージされた電位レベルから変動してしまう可能性がある。

50

【 0 0 1 2 】

これに伴い、2本の互いに相補のビット線と電氣的に結合されるいわゆるセンスアンプのデータ読出マージンが低下することになり高速なデータ読出が困難となる問題が発生する。

【 0 0 1 3 】

本発明は上記のような問題を解決するためになされたものであって、小面積かつ高速なデータ読出が可能なS R A Mセルを有する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

本発明に係る半導体記憶装置は、相補的なデータを入出力する第1および第2のビット線と、選択信号に基づいて第1の記憶ノードと前記第1のビット線との間の接続を制御する第1のトランジスタと、選択信号に基づいて第2の記憶ノードと前記第2のビット線との間の接続を制御する第2のトランジスタと、第1および第2の記憶ノードの電位を保持して出力するフリップフロップとを備える。フリップフロップは、ゲートが前記第2の記憶ノードと接続され、固定電位と前記第1の記憶ノードとの間に設けられた第3のトランジスタと、ゲートが前記第1の記憶ノードと接続され、前記固定電位と前記第2の記憶ノードとの間に設けられた第4のトランジスタとを含み、第1の記憶ノードと前記第2のビット線との間の接続を制御する第5のトランジスタと、第2の記憶ノードと前記第1のビット線との間の接続を制御する第6のトランジスタとをさらに備える。第5および第6のトランジスタは非導通に設定される。

【発明の効果】

【 0 0 1 5 】

本発明に係る半導体記憶装置は、第1～第6のトランジスタのみで構成され、第5および第6のトランジスタは非導通に設定される。これに伴い、第1のトランジスタと第5のトランジスタの組で対称となり、第2のトランジスタと、第6のトランジスタの組で対称なレイアウトとなる。したがって、小面積であり、サブスレッショルドリーク電流は互いの組で同じ値となるため2本の互いに相補のビット線の電位レベルは同じ値を維持するためセンスアンプのデータ読出マージンを確保して高速なデータ読出が可能である。

【発明を実施するための最良の形態】

【 0 0 1 6 】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【 0 0 1 7 】

(実施の形態1)

図1は、本発明の実施の形態1に従う半導体記憶装置の全体構成を示す概略ブロック図である。

【 0 0 1 8 】

図1を参照して、本発明の実施の形態1に従う半導体記憶装置1は、制御信号C M Dにตอบสนองしてデバイス全体の動作を制御するコントロール回路5と、各々が行列状に配置されたメモリセルM Cを有するメモリアレイ10とを備える。ここで、メモリアレイ10に行列状に集積配置された複数のメモリセルM Cの行および列を、メモリセル行およびメモリセル列ともそれぞれ称する。

【 0 0 1 9 】

また、半導体記憶装置1は、行デコーダ20と、列デコーダ25と、入出力制御回路30とを備える。行デコーダ20は、アドレス信号A D Dに含まれるロウアドレスR Aに基づいて選択的にアクセス対象となるメモリアレイ10における行選択を実行する。また列デコーダ25は、アドレス信号A D Dに含まれるコラムアドレスC Aに基づいて選択的にアクセス対象となるメモリアレイ10の列選択を実行する。

【 0 0 2 0 】

また、入出力制御回路30は、入力データD I N、出力データD O U T等のデータの入

10

20

30

40

50

出力を制御し、コントロール回路5からの指示に基づいて内部回路に伝達もしくは外部に出力する。なお、以下においては、信号、信号線およびデータ等の2値的な高電圧状態および低電圧状態をそれぞれ「H」レベルおよび「L」レベルとも称する。

【0021】

なお、本例においてはメモリアレイ10において代表的に単一のメモリセルMCが示されメモリセル行に対応して設けられたワード線WLおよびメモリセル列に対応して設けられた互いに相補の関係にあるビット線BL、/BLとが代表的に1本ずつ示されている。

【0022】

図2は、本発明の実施の形態1に従うメモリアレイ10に集積配置されたメモリセルMCの接続を説明する図である。

10

【0023】

図2を参照して、本発明の実施の形態1に従うメモリアレイ10は行列状に集積配置された複数のメモリセルMCを有する。本例においては、6個のメモリセルMCが一例として示されている。ここで、(p, q)の記号は、p行q列の位置を指し示すものとする。

【0024】

本例においては、メモリセルMC(m, n-1), MC(m, n), MC(m, n+1), MC(m+1, n-1), MC(m+1, n), MC(m+1, n+1)が示されている。

【0025】

20

本発明の実施の形態1に従うメモリアレイ10は、メモリセル列にそれぞれ対応して設けられる複数のビット線BLと、メモリセル行にそれぞれ対応して設けられるワード線WLとを含む。ここでは、ビット線BL_{n-1}~BL_{n+2}が示されている。

【0026】

本例においては、ビット線BLは、隣接するメモリセル列と共有する構成となっている。

【0027】

具体的には、メモリセルMC(m, n-1)と、隣接するメモリセルMC(m, n)とは、ビット線BL_nを共有している。また、メモリセルMC(m, n)と、メモリセルMC(m, n+1)は、ビット線BL_{n+1}を共有している。

30

【0028】

そして、n-1列(n:2k(kは1以上の自然数))の奇数列メモリセルMCは、ビット線BL_{n-1}, BL_nを介して一方側に設けられたセンスアンプSA_{n-1}と電氣的に接続されてデータ読出が実行される。また、n列(n:2k(kは1以上の自然数))の偶数列のメモリセルMCは、ビット線BL_n, BL_{n+1}を介して他方側に設けられたセンスアンプSA_nと電氣的に結合されてデータ読出が実行される。また、n+1列のメモリセルMCは、ビット線BL_{n+1}, BL_{n+2}を介して一方側に設けられたセンスアンプSA_{n+1}と電氣的に結合されてデータ読出が実行される。

【0029】

また、メモリセル行にそれぞれ対応して2本のワード線WLが設けられる。具体的には、m行のメモリセル行に対応してワード線WL_{m_a}, WL_{m_b}とが設けられる。また、m+1行のメモリセル行に対応してワード線WL_{m+1_a}, WL_{m+1_b}とが設けられる。

40

【0030】

そして、ワード線WL_{m_a}, WL_{m_b}は、それぞれ奇数列および偶数列のメモリセルMCと電氣的に結合される。本例においては、ワード線WL_{m_a}は、奇数列のメモリセルMCと電氣的に結合される。また、ワード線WL_{m+1_b}は、偶数列のメモリセルMCと電氣的に結合される。他のメモリセルについても上記と同様の方式に従ってワード線およびビット線と電氣的に接続される。

【0031】

50

本発明の実施の形態 1 に従うメモリアレイ 10 の構成、すなわちビット線を共有した構成とすることにより全体としてメモリアレイの占有面積を縮小することが可能となる。

【0032】

また、センスアンプ SA は、交互に一方側および他方側に設けられた構成であるためセンスアンプ SA のレイアウトマージンを確保する点でも有利な構成である。

【0033】

図 3 は、本発明の実施の形態 1 に従うメモリセル MC の構成を説明する回路構成図である。

【0034】

図 3 参照して、本発明の実施の形態 1 に従うメモリセル MC は、トランジスタ MN1, MN2 と、トランジスタ QN1 ~ QN4 とを含む。トランジスタ MN1 は、記憶ノード N1 と固定電圧 VSS (0V) との間に配置され、そのゲートは記憶ノード N2 と電氣的に結合される。トランジスタ MN2 は、記憶ノード N2 と固定電圧 VSS との間に配置され、そのゲートは記憶ノード N1 と電氣的に結合される。トランジスタ QN1 は、ビット線 BLn-1 と記憶ノード N1 との間に配置され、そのゲートはワード線 WL と電氣的に結合される。トランジスタ QN2 は、記憶ノード N2 とビット線 BLn との間に配置され、そのゲートはワード線 WL と電氣的に結合される。トランジスタ QN3 は、ビット線 BLn-1 と記憶ノード N2 との間に配置され、そのゲートは固定電圧 VSS との入力を受ける。トランジスタ QN4 は、ビット線 BLn と記憶ノード N1 との間に配置され、そのゲートは固定電圧 VSS の入力を受ける。すなわち、記憶ノード N1 および N2 は、クロスカップリングされた構成であり、いわゆるフリップフロップ回路を形成する。ここで、トランジスタ MN1, MN2 と、トランジスタ QN1 ~ QN4 は、Nチャネル MOS トランジスタとする。

【0035】

本願構成において、トランジスタ QN3 および QN4 は、固定電圧 VSS の入力を受けるため常に非導通状態に設定されている。

【0036】

記憶ノード N1 および記憶ノード N2 に対するデータ書込およびデータ読出は、ワード線 WL の活性化 (「H」レベル) に応答するアクセストランジスタであるトランジスタ QN1 および QN2 が導通することにより、記憶ノード N1 および N2 とビット線 BLn-1 および BLn とがそれぞれ電氣的に結合されることによって実行される。

【0037】

たとえば、ワード線 WL が非活性化 (L レベル) されて、トランジスタ QN1 および QN2 が非導通状態である場合には、記憶ノード N1 および N2 に保持されるデータレベルに応じて、トランジスタ MN1 および MN2 の一方が導通する。これにより、メモリセルに保持されるデータレベルに応じて、記憶ノード N1 および N2 は、固定電圧 VSS と電氣的に結合されて一方の記憶ノード N1 の電位レベルが「L」レベルに設定される。たとえば、本例においては、記憶ノード N1 および N2 がそれぞれ「H」レベルおよび「L」レベルに設定される場合には、データレベルを「1」とし、「L」レベルおよび「H」レベルに設定される場合には、データレベルを「0」とする。なお、記憶ノード N1 および N2 とデータレベルの「1」および「0」との関係については、これに限られず逆に設定するようにしても良い。

【0038】

なお、本願構成の場合には、記憶ノード N1 および N2 の電位レベルの一方および他方は「H」レベルおよび「L」レベルにそれぞれ設定されるが、記憶ノード N1 および N2 の一方側の「H」レベルの電位レベルを維持可能な構成ではないため定期的にリフレッシュ (再書込み) が必要である。

【0039】

データ書込の際には、ビット線 BLn-1 およびビット線 BLn がそれぞれデータレベルに応じた電位レベルに設定される。たとえば、データレベル「1」を書き込む場合には

10

20

30

40

50

、ビット線 BL_{n-1} および BL_n は、それぞれ「H」レベルおよび「L」レベルに設定される。そして、ワード線 WL が活性化されることにより記憶ノード N_1 および N_2 は、それぞれ「H」レベルおよび「L」レベルに設定されてデータレベル「1」のデータ書込を実行することができる。一方、データレベル「0」を書き込む場合には、ビット線 BL_{n-1} および BL_n は、それぞれ「L」レベル及び「H」レベルに設定される。そして、ワード線 WL が活性化されることにより記憶ノード N_1 および N_2 は、それぞれ「L」レベルおよび「H」レベルに設定されてデータレベル「0」のデータ書込を実行することができる。

【0040】

また、リフレッシュは周期的に実行する必要があるがリフレッシュを実行するコマンドの入力に応答してデータ再書込が実行される。リフレッシュの際、データ読出を実行してワード線 WL を活性化して記憶ノード N_1 および N_2 とビット線 BL_{n-1} およびビット線 BL_n を電氣的に結合する。そして、ワード線 WL を非活性化した後にセンスアンプ SA を活性化することによりビット線 BL_{n-1} およびビット線 BL_n の電位レベルを増幅する。そして、再度ワード線 WL を活性化することにより増幅されたビット線 BL_{n-1} およびビット線 BL_n の電位レベルに従って記憶ノード N_1 および N_2 は予め記憶されていたデータレベルを保持することが可能となる。なお、後述するが記憶ノード N_1 および N_2 に容量性素子具体的には、 $HfSiON$ 等の $High-K$ 絶縁膜を付加することによりリフレッシュ周期間隔を広くして消費電力の低減が可能である。なお、記憶ノードの容量は、 $5 \sim 10 fF$ 程度に設定されているものとする。

【0041】

次に、本発明のメモリセル MC のサブスレッシュヨルドリーク電流について考える。

たとえば、記憶ノード N_1 の電位レベルが「H」レベルであり、記憶ノード N_2 の電位レベルが「L」レベルに設定されている場合について考える。また、ビット線 BL_{n-1} , BL_n は所定の電位レベルにプリチャージされた状態であるものとする。

【0042】

仮に、記憶ノード N_1 の電位レベルがビット線 BL_{n-1} , BL_n の電位レベルよりも高い場合、サブスレッシュヨルドリーク電流 I_1 はトランジスタ QN_1 を介して流れようとする。また、トランジスタ QN_4 を介して記憶ノード N_1 からビット線 BL_n に対してサブスレッシュヨルドリーク電流 I_4 が流れようとする。

【0043】

また、記憶ノード N_2 の電位レベルがビット線 BL_n , BL_{n-1} の電位レベルよりも低い場合、トランジスタ QN_2 を介して記憶ノード N_2 にサブスレッシュヨルドリーク電流 I_2 が流れようとする。また、トランジスタ QN_3 を介してサブスレッシュヨルドリーク電流 I_3 が記憶ノード N_2 に流れようとする。本例においては、トランジスタのサイズ等はほぼ同様であるように設計されているためサブスレッシュヨルドリーク電流 I_1 と I_4 とはほぼ同じ電流量となる。また、サブスレッシュヨルドリーク電流 I_2 と I_3 とはほぼ同じ電流量となる。

【0044】

したがって、ビット線 BL_{n-1} に注目すれば、トランジスタ QN_1 を介してサブスレッシュヨルドリーク電流 I_1 が流れ込み、トランジスタ QN_3 を介してサブスレッシュヨルドリーク電流 I_3 が記憶ノード N_2 に流れ出ることに伴うビット線 BL_{n-1} の電位変動と、トランジスタ QN_2 を介してサブスレッシュヨルドリーク電流 I_2 が流れ込み、トランジスタ QN_4 を介してサブスレッシュヨルドリーク電流 I_4 が記憶ノード N_1 から流れ出ることに伴うビット線 BL_{n-1} の電位変動とは同じに設定される。すなわち、トランジスタ QN_3 および QN_4 を設けることにより、アクセストランジスタであるトランジスタ QN_2 および QN_1 のサブスレッシュヨルドリーク電流が対称となる。なお、記憶ノード N_1 および N_2 のリーク電流は $0.1 \sim 1 nA$ 程度である。そして、メモリセルアレイに配列されたビット線のうち、1つのビット線に接続されるメモリセル数(行数)を x 個、1つのメモリセル当たりのトランジスタ QN_3 , QN_4 に流れるリーク電流量を I_L 、ワード線

によって選択されたメモリセルのアクセストランジスタQN1もしくはQN2に流れるメモリセル電流を I_{cell} とすると、リーク電流量 I_L は、少なくとも I_{cell}/x の $1/10$ 以下程度に設定することが望ましい。仮に、リーク電流量 I_L が多くなると、メモリセルのデータ読出の際のノイズ電流が増大することになるからである。

【0045】

このため、逆に少なくとも上記条件を満たせば、トランジスタQN3, QN4のゲート電圧は、固定電圧 $V_{SS}(0V)$ にする必要は無く、他の電圧に設定することも可能である。

【0046】

それゆえ、ビット線 BL_{n-1} , BL_n においてデータ読出前のプリチャージ動作後に電位変動が生じてバランスが取れない状況を未然に防ぐことが可能となる。

10

【0047】

すなわち、本願構成によりメモリセルMCのサブスレッショルドリーク電流に伴うビット線BLの揺らぎを抑制し、データ読出マージンを確保することができるため読出のセンス感度を維持することが可能となる。

【0048】

さらに、アクセストランジスタであるトランジスタQN1およびQN2の電流増幅率であるいわゆる β 値を、他のトランジスタであるたとえばトランジスタQN3およびQN4よりも大きくすることにより高速アクセス可能なトランジスタとすることができ、データ読出およびデータ書込をさらに高速にすることも可能である。なお、後述する他の実施の形態においても同様に適用可能である。また、アクセストランジスタであるトランジスタQN1およびQN2のトランジスタサイズを、他のトランジスタであるたとえばトランジスタQN3およびQN4よりも大きくすることにより高速アクセス可能なトランジスタとすることができ、データ読出およびデータ書込をさらに高速にすることも可能である。

20

【0049】

(実施の形態2)

本実施の形態2においては、上記の実施の形態1で説明したメモリセルのレイアウト構成について説明する。

【0050】

図4は、本発明の実施の形態2に従うメモリアレイの下層領域のメモリセルMCのレイアウトを説明する図である。なお、ここでは、後述するが第1層目の金属配線層までが示されている。さらに上層の金属配線層については後述する。

30

【0051】

図4を参照して、ここでは、メモリアレイ10を形成する、隣接するメモリセルが互いにX軸あるいはY軸に対して対称となるレイアウト構造が示されている。具体的には、たとえば、メモリセルMC(m, n-1)とメモリセルMC(m, n)は、Y軸に対称なレイアウト構造となっている。また、メモリセルMC(m, n-1)とメモリセルMC(m+1, n-1)とはX軸に対称なレイアウト構造となっている。他の隣接するメモリセルMCについても同様の方式に従って互いにX軸あるいはY軸に対して対称なレイアウト構造となっており、同様であるのでその詳細な説明は繰返さない。なお、上記の実施の形態1においては、ビット線BLを共有する構成について説明したがここでは、隣接するメモリセルにおいて互いに独立に2本のビット線を有する場合について説明する。

40

【0052】

図5は、本発明の実施の形態2に従うメモリセルMCの下層領域のレイアウト構造を説明する詳細な図である。ここでは、第1の金属配線層までが示されている。

【0053】

図5を参照して、本発明の実施の形態2に従うメモリセルMCは、上述したように6個のトランジスタQN1~QN4と、トランジスタMN1, MN2とを含む。

【0054】

ここで、トランジスタのレイアウトについて説明する。

50

基板に対してY軸方向に沿って各トランジスタのソース領域およびドレイン領域となる拡散層が形成される。

【0055】

具体的には、トランジスタQN3とQN1とはY軸方向に沿って同一直線上に拡散層204および218が形成されている。また、トランジスタQN2とトランジスタQN4とは、Y軸方向に沿って同一直線上に拡散層224および228が形成されている。また、Y軸方向に沿って、トランジスタQN3とQN2との間にトランジスタMN1の拡散層104が形成されている。また、Y軸方向に沿って、トランジスタQN1とトランジスタQN4との間にトランジスタMN2の拡散層120が形成されている。

【0056】

そして、トランジスタQN3, MN1, QN2のゲート領域を構成するゲートポリシリゲートはX軸方向に沿って同一直線上に形成されている。また、トランジスタQN1, MN2, QN4のゲート領域を構成するゲートポリシリゲートはX軸方向に沿って同一直線上となるように形成されている。

【0057】

トランジスタQN3の拡散層204は、ソース領域およびドレイン領域にそれぞれ設けられコンタクト206および209を介して上層のメタルと電気的に結合される。トランジスタQN3のドレイン領域は、コンタクト209を介して第1の金属配線層に設けられたメタル108と電気的に結合される。また、ゲート領域において、トランジスタQN3のポリシリゲート205の上部にゲート電極416が形成される。ゲート電極416は、コンタクト404を介して上層のメタルと電気的に結合される。

【0058】

トランジスタMN1の拡散層104は、ソースおよびドレイン領域にそれぞれ設けられたコンタクト106およびコンタクト116を介して上層のメタルと電気的に結合される。トランジスタMN1のドレイン領域は、コンタクト116を介して第1の金属配線層に設けられたメタル109と電気的に結合される。また、ゲート領域において、トランジスタMN1のポリシリゲート105の上部にゲート電極417が設けられる。ここで、このゲート電極417は、シェアードコンタクト408により拡散層120のドレイン領域と電気的に結合される。シェアードコンタクト408は、第1の金属配線層のメタルを介さずに、予め形成されているゲート電極417と拡散層120のドレイン領域とを接続するコンタクトである。具体的な材質は、タングステン(W)やタングステンシリサイド(WSi_x)等で形成される。

【0059】

トランジスタQN2の拡散層224は、ソース領域およびドレイン領域にそれぞれ設けられたコンタクト226および305を介して上層のメタルと電気的に結合される。トランジスタQN2のドレイン領域は、コンタクト305を介して第1の金属配線層に設けられたメタル108と電気的に結合される。また、ゲート領域において、トランジスタQN2のポリシリゲート411の上部にゲート電極418が設けられる。ゲート電極418は、コンタクト412を介して上層のメタルと電気的に結合される。なお、上述したようにトランジスタQN3, MN1およびQN2のポリシリゲート205, 105, 411は同一直線上となるように形成されている。また、トランジスタQN3, MN1およびQN2とそれぞれ電気的に結合される記憶ノードN2を構成するメタル108も同一直線上に形成される。

【0060】

トランジスタQN4の拡散層228は、ソース領域およびドレイン領域にそれぞれ設けられたコンタクト225および223を介して上層のメタルと電気的に結合される。トランジスタQN4のドレイン領域は、コンタクト225を介して第1の金属配線層に設けられたメタル109と電気的に結合される。また、ゲート領域において、トランジスタQN4のポリシリゲート227の上部にゲート電極419が設けられる。ゲート電極419は、コンタクト420を介して上層のメタルと電気的に結合される。

10

20

30

40

50

【 0 0 6 1 】

トランジスタMN2の拡散層120は、ソース領域およびドレイン領域にそれぞれ設けられたコンタクト121および303を介して上層のメタルと電氣的に結合される。トランジスタMN2のソース領域は、コンタクト121を介して上層のメタルと電氣的に結合される。また、トランジスタMN2のドレイン領域は、トランジスタMN1のゲート電極417とシェアードコンタクト408を用いて電氣的に結合されるとともにコンタクト303を介して第1の金属配線層に設けられたメタル108と電氣的に結合される。また、ゲート領域において、トランジスタMN2のポリシリゲート112の上部にゲート電極423が設けられる。ここで、このゲート電極423はシェアードコンタクト111によりトランジスタMN1の拡散層104のドレイン領域と電氣的に結合される。

10

【 0 0 6 2 】

トランジスタQN1の拡散層218は、ソース領域およびドレイン領域にそれぞれ設けられたコンタクト213および211を介して上層のメタルと電氣的に結合される。また、トランジスタQN1のソース領域は、コンタクト213を介して上層のメタルと電氣的に結合される。また、ゲート領域において、トランジスタQN1のポリシリゲート217の上部にゲート電極422が設けられる。ゲート電極422は、コンタクト411を介して上層のメタルと電氣的に結合される。トランジスタQN1のドレイン領域は、コンタクト211を介して第1の金属配線層に設けられたメタル109と電氣的に結合される。

【 0 0 6 3 】

なお、上述したようにトランジスタQN1、MN2およびQN4のポリシリゲート218, 120, 228は同一直線上となるように形成されている。また、トランジスタQN1、MN2およびQN4とそれぞれ電氣的に結合される記憶ノードN1を構成するメタル109も同一直線上に形成される。

20

【 0 0 6 4 】

なお、本例におけるメモリセルMCを構成するトランジスタはすべてNチャネルMOSトランジスタであるためすべてP型のウェル構造で形成することが可能である。また、メモリセルの中央領域にはシリコン酸化膜より誘電率の高いHigh-K絶縁膜110が第1の金属配線層に設けられ記憶ノードN2およびN1を構成するメタル108および109の上層に設けられる。

【 0 0 6 5 】

本発明の実施の形態2に示されるメモリセルMCのレイアウトの如くゲート領域を構成するトランジスタQN3、MN1およびQN2のポリシリゲート205, 105, 411は同一直線上となるように一列に配列するとともに、トランジスタQN1、MN2およびQN4のポリシリゲート217, 112, 227も同一直線上となるように一列に配列することにより、転写工程や微細加工工程によるCD(Critical Dimension)シフトを低減することができる。また、記憶ノードN1およびN2を構成するメタル109および108についても直線状に形成されるためCDシフトを低減することができ、ばらつきの小さなメモリセルMCを形成することが可能となる。

30

【 0 0 6 6 】

また、誘電率の高いHigh-K絶縁膜110をメタル108および109の上層に設けることにより記憶ノードN1およびN2の電位レベルの保持を向上させることができる。したがって、これにより上述したリフレッシュ周期の間隔を長くすることができ消費電力も低減することが可能となる。

40

【 0 0 6 7 】

図6は、本発明の実施の形態2に従うメモリセルMCの上層領域の第2の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

【 0 0 6 8 】

図6を参照して、ここでは、Y軸方向に沿って、トランジスタQN3, QN1とそれぞれ電氣的に結合されるビット線BLn-1として第2の金属配線層に信号線215が設けられる。また、Y軸方向に沿って、トランジスタQN2, QN4と電氣的に結合されるビ

50

ット線 BL_n として第 2 の金属配線層に信号線 310 が設けられる。

【0069】

また、第 2 の金属配線層にトランジスタ MN_1 , MN_2 に固定電圧 VSS を供給するための電源線 114 が設けられる。

【0070】

トランジスタ QN_3 のコンタクト 206 は、第 1 の金属配線層に設けられたメタル 207 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 207 はコンタクト 500 を介してビット線 BL_{n-1} である第 2 の金属配線層に設けられた信号線 215 と電氣的に結合される。

【0071】

トランジスタ MN_1 のコンタクト 106 は、第 1 の金属配線層に設けられたメタル 107 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 107 はコンタクト 501 を介して固定電圧 VSS を供給する第 2 の金属配線層に設けられた電源線 114 と電氣的に結合される。

【0072】

トランジスタ QN_2 のコンタクト 226 は、第 1 の金属配線層に設けられたメタル 502 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 502 はコンタクト 503 を介してビット線 BL_n である第 2 の金属配線層に設けられた信号線 310 と電氣的に結合される。

【0073】

トランジスタ QN_2 のゲート領域に設けられたコンタクト 412 は、第 1 の金属配線層に設けられたメタル 307 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 307 は、コンタクト 308 を介して後述する上層の第 2 の金属配線層のメタルと電氣的に結合される。

【0074】

トランジスタ QN_4 のコンタクト 223 は、第 1 の金属配線層に設けられたメタル 504 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 504 は、コンタクト 505 を介してビット線 BL_n である第 2 の金属配線層に設けられた信号線 310 と電氣的に結合される。

【0075】

トランジスタ MN_2 のコンタクト 121 は、第 1 の金属配線層に設けられたメタル 506 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 506 は、コンタクト 507 を介して固定電圧 VSS を供給する第 2 の金属配線層に設けられた電源線 114 と電氣的に結合される。

【0076】

トランジスタ QN_1 のコンタクト 213 は、第 1 の金属配線層に設けられたメタル 508 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 508 は、コンタクト 509 を介してビット線 BL_{n-1} である第 2 の金属配線層に設けられた信号線 215 と電氣的に結合される。

【0077】

トランジスタ QN_1 のゲート領域に設けられたコンタクト 421 は、第 1 の金属配線層に設けられたメタル 510 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 510 はコンタクト 511 を介して後述する上層の第 2 の金属配線層に設けられたメタルと電氣的に結合される。

【0078】

本構成は、ビット線 BL_{n-1} およびビット線 BL_n を第 2 の金属配線層に設けた構成である。すなわち、ビット線 BL_{n-1} および BL_n と電氣的に結合されるトランジスタとの接続配線（コンタクト）の長さは、第 3 の金属配線層にビット線 BL_{n-1} およびビット線 BL_n を設けた場合と比較して短くなる。したがって、コンタクトに起因する寄生容量の負荷を軽減することができるため記憶ノード N_1 および N_2 に格納されたデータレ

10

20

30

40

50

ベルの高速なデータ読出が可能となる。

【0079】

図7は、本発明の実施の形態2に従うメモリセルMCの上層領域の第3の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

【0080】

図7を参照して、ここでは、X軸方向に沿って、トランジスタQN1およびQN2とそれぞれ電氣的に結合されるワード線WLとして第3の金属配線層に信号線514が設けられる。

【0081】

トランジスタQN1のゲート電極と電氣的に結合されたメタル510は、コンタクト511を介して第2の金属配線層に設けられたメタル512と電氣的に結合される。第2の金属配線層に設けられたメタル512は、コンタクト513を介してワード線WLである第3の金属配線層に設けられた信号線514と電氣的に結合される。

【0082】

トランジスタQN2のゲート電極と電氣的に結合されたメタル307は、コンタクト308を介して第2の金属配線層に設けられたメタル309と電氣的に結合される。第2の金属配線層に設けられたメタル309は、コンタクト515を介してワード線WLである第3の金属配線層に設けられた信号線514と電氣的に結合される。

【0083】

図8は、本発明の実施の形態2に従うメモリアレイの下層領域および上層領域のメモリセルMCのレイアウトを説明する図である。なお、ここでは、図5～7で説明した金属配線層が積層された場合において上部方向から見た配線レイアウトが示されている。

【0084】

図8に示されるようにメモリセル行にそれぞれ対応してワード線WLが形成される。また、メモリセル列に対してそれぞれビット線BLn-1, BLnが形成される。また固定電圧VSSを供給する電源線はメモリセル列に対応してY軸方向に沿って形成されている。なお、上述したようにここでは、ビット線BLは隣接するメモリセルにおいて共有する構成ではなく、それぞれ独立に2本のビット線を有するものとして説明している。

【0085】

次に本発明の実施の形態2に従うメモリセルMCの断面構造について説明する。

図9は、図5および図6で説明したレイアウト図においてA-Aにおいて切断した場合の断面構造図である。

【0086】

図9を参照して、ここではA-A#において切断したトランジスタMN1とMN2の断面構造図が示されている。

【0087】

具体的には、トランジスタMN1を構成するソース/ドレイン不純物層104a#および104b#がゲート領域の両側に設けられる。そして、金属シリサイド層104a, 104bがソース/ドレイン不純物層104a#および104b#の上に形成される。拡散層104は、ソース不純物層および金属シリサイド層で構成される。

【0088】

そして、ソース領域の金属シリサイド層104aは、コンタクト106を介して第1の金属配線層に設けられたメタル107と電氣的に結合されている。

【0089】

次に、トランジスタMN1のゲート領域の構造について説明する。

ゲート領域には、ポリシリゲート105が設けられる。ポリシリゲート105を覆うようにバリア層105#が設けられ、そのバリア層105#の外側領域の両側にサイドウォール105a, 105bが形成されている。そして、ポリシリゲート105の下側にはチャネル103が形成され、チャネルの両側にはエクステンション不純物層101a, 101bが形成される。このエクステンション不純物層101a, 101bは、ポケット注入

10

20

30

40

50

層 102a, 102b を覆うように形成されている。ポケット注入層 102a, 102b にイオン注入が行なわれる。なお、後述するトランジスタのゲート構造は同様であるのでその詳細な説明は繰り返さない。

【0090】

また、トランジスタ MN1 のドレイン領域の金属シリサイド層 104b は、上述したようにシェードコンタクト 111 を介してトランジスタ MN2 のゲート電極 423 と電氣的に結合される。また、金属シリサイド層 104b は、コンタクト 116 を介して第 1 の金属配線層に設けられたメタル 109 と電氣的に結合される。

【0091】

そして、メタル 108 とメタル 109 を覆うようにして誘電率の高い High-K 絶縁膜 110 が形成される。

【0092】

そして、その上層の第 2 の金属配線層には、固定電圧 VSS を供給する電源線 114 が設けられている。

【0093】

なお、第 1 の金属配線層および第 2 の金属配線層以外の領域は絶縁膜 115 で覆われている。また、トランジスタ MN2 の下側には STI 113 (Shallow Trench Isolation) が設けられる。

【0094】

図 10 は、図 5 および図 6 で説明したレイアウト図において B - B で切断した場合の断面構造図である。

【0095】

図 10 を参照して、ここではトランジスタ QN3, QN1 が形成されている場合が示されている。

【0096】

トランジスタ QN3 の拡散層 204 において、ソース/ドレイン領域を形成するためのソース/ドレイン不純物層の上に金属シリサイド層 204a, 204b が設けられている。そして、ソース領域を形成する金属シリサイド層 204a は、コンタクト 206 を介して第 1 の金属配線層に設けられたメタル 207 と電氣的に結合される。ドレイン領域を形成する金属シリサイド層 204b は、コンタクト 209 を介して第 1 の金属配線層に設けられたメタル 108 と電氣的に結合される。また、ゲート領域にはポリシリゲート 205 が形成される。ゲート構造については、図 9 で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0097】

そして、トランジスタ QN3 と QN1 との間には STI 210 が設けられている。

トランジスタ QN1 の拡散層 218 において、ソース/ドレイン領域を形成するためのソース/ドレイン不純物層の上に金属シリサイド層 218a, 218b が設けられている。そして、ドレイン領域を形成する金属シリサイド層 218a は、コンタクト 211 を介して第 1 の金属配線層に設けられたメタル 109 と電氣的に結合される。また、ソース領域を形成する金属シリサイド層 218b は、コンタクト 213 を介して第 1 の金属配線層に設けられたメタル 214 と電氣的に結合される。また、ゲート電極には、ポリシリゲート 217 が形成される。ゲート構造については、図 9 で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0098】

また、ビット線 BLn-1 として第 2 の金属配線層には信号線 215 が設けられている。その他の部分については上述したように絶縁膜 216 で覆われた構造となっている。

【0099】

図 11 は、図 5 および図 6 で説明したレイアウト図において C - C で切断した断面構造図である。

【0100】

10

20

30

40

50

図11を参照して、ここでは、STI300およびSTI301との間にトランジスタQN3を形成する拡散層204が設けられる。トランジスタQN3の拡散層204は、コンタクト209を介して第1の金属配線層に設けられたメタル108と電氣的に結合される。

【0101】

また、STI301とSTI302との間にトランジスタMN1を形成する拡散層104が設けられる。また、STI302とSTI304との間にトランジスタMN2を形成する拡散層120が設けられる。トランジスタMN2の拡散層120は、コンタクト303を介して第1の金属配線層に設けられたメタル108と電氣的に結合される。また、STI304とSTI306との間にトランジスタQN2を形成する拡散層224が設けられる。トランジスタQN2の拡散層224は、コンタクト305を介して第1の金属配線層に設けられたメタル108と電氣的に結合される。

10

【0102】

図5および図6で説明したようにこの第1の金属配線層に設けられたメタル108は、トランジスタQN3、MN1およびトランジスタQN2とそれぞれ電氣的に結合されX軸方向に沿って一直線となるように形成されている。そして、この金属配線層に形成されたメタル108と第2の金属配線層の間には誘電率の高いHigh-K絶縁膜110が形成される。また、上述したトランジスタQN2のゲート電極と電氣的に結合されたメタル307がコンタクト308を介して第2の金属配線層に設けられたメタル309と電氣的に結合され、メタル309は、図示しないが第3の金属配線層に設けられたワード線WLと電氣的に結合される。

20

【0103】

また、第2の金属配線層には、ビット線BLn-1を形成する信号線215と固定電圧VSSを供給する電源線114と、ビット線BLnを形成する信号線310がそれぞれ設けられる。

【0104】

図12は、図5および図6で説明したレイアウト図においてD-Dで切断した場合の断面構造図である。

【0105】

図12を参照して、本例においては、トランジスタQN3、MN1およびQN2が示されている。

30

【0106】

トランジスタのゲート構造の詳細については図9で説明したので繰返さないが、トランジスタQN3のゲート領域を形成するポリシリゲート205の上部にゲート電極416が設けられる。ゲート電極416は、コンタクト404を介して第1の金属配線層に設けられたメタル413と電氣的に結合される。トランジスタQN3の拡散層204は、STI300と301との間に設けられる。拡散層204は、上述したように金属シリサイド層およびその下側に形成されたソース/ドレイン不純物層とを含む。

【0107】

また、トランジスタMN1の拡散層104は、STI301と304との間に設けられる。トランジスタMN1のゲート領域を形成するポリシリゲート105の上部には、ゲート電極417が設けられ、そして、ゲート電極と電氣的に結合されるシェアードコンタクト408が設けられる。また、ゲート領域の下側には拡散層104を形成する金属シリサイド層およびソース/ドレイン不純物層が設けられる。

40

【0108】

また、トランジスタQN2の拡散層224は、STI301と304との間に設けられる。トランジスタQN2のゲート領域を形成するポリシリゲート411の上部にゲート電極418が設けられる。ゲート電極418は、コンタクト412を介して第1の金属配線層に設けられたメタル415と電氣的に結合される。拡散層224は、上述したように金属シリサイド層とソース/ドレイン不純物層とを含む。

50

【 0 1 0 9 】

また、本例においては、第 2 の金属配線層において、ビット線 $B L n$ を形成する信号線 2 1 5 と固定電圧 $V S S$ を供給する電源線 1 1 4 とビット線 $B L n$ を形成する信号線 3 1 0 とが設けられている。

【 0 1 1 0 】

(実施の形態 3)

本発明の実施の形態 3 においては、さらに別のメモリセルについて説明する。

【 0 1 1 1 】

図 1 3 は、本発明の実施の形態 3 に従うメモリセル $M C$ を説明する図である。

図 1 3 を参照して、本発明の実施の形態 3 に従うメモリセル $M C$ は、トランジスタ $Q P 1 \sim Q P 4$ とトランジスタ $M N 1, M N 2$ とを含む。

10

【 0 1 1 2 】

本発明の実施の形態 3 に従うメモリセル $M C \#$ は、図 3 で説明したトランジスタ $M C$ と比較して、トランジスタ $Q N 1 \sim Q N 4$ をトランジスタ $Q P 1 \sim Q P 4$ に置換した点異なる。その他の点は同様であるのでその詳細な説明は繰返さない。本発明の実施の形態 2 に従うメモリセル $M C$ は、ビット線 $B L n - 1$ と $B L n$ と電氣的に結合されるトランジスタをすべて P チャネル $M O S$ トランジスタに置換した構成である。

【 0 1 1 3 】

また、トランジスタ $Q P 3, Q P 4$ のゲートには、電源電圧 $V D D$ を供給する電源線が設けられている。したがってトランジスタ $Q P 3, Q P 4$ は常に非導通状態となっている。

20

【 0 1 1 4 】

データ書込およびデータ読出については、ワード線 $W L$ の選択において活性化状態が「 L 」レベルであるのみが異なり、その他の点は同様である。すなわち、ワード線 $W L$ が「 L 」レベルに活性化されてビット線 $B L n - 1$ と記憶ノード $N 1$ とが電氣的に結合される。また、ビット線 $B L n$ と記憶ノード $N 2$ とが電氣的に結合される。その他の点については、データ書込およびデータ読出についても同様であるのでその詳細な説明は繰返さない。

【 0 1 1 5 】

ここで、本発明のメモリセル $M C \#$ のサブスレッシュولدリーク電流について考える。

30

たとえば記憶ノード $N 1$ の電位レベルが「 L 」レベルであり記憶ノード $N 2$ の電位レベルが「 H 」レベルに設定されている場合について考える。また、ビット線 $B L n - 1, B L n$ は所定の電位レベルにプリチャージされた状態であるものとする。

【 0 1 1 6 】

仮に、記憶ノード $N 2$ の電位レベルがビット線 $B L n - 1, B L n$ の電位レベルよりも高い場合、サブスレッシュولدリーク電流 $i 2$ は、トランジスタ $Q P 2$ を介して流れようとする。また、トランジスタ $Q P 3$ を介して記憶ノード $N 2$ からビット線 $B L n - 1$ に対してサブスレッシュولدリーク電流 $i 3$ が流れようとする。

【 0 1 1 7 】

また、記憶ノード $N 1$ の電位レベルがビット線 $B L n, B L n - 1$ の電位レベルよりも低い場合、トランジスタ $Q P 1$ を介して記憶ノード $N 1$ にサブスレッシュولدリーク電流 $i 1$ が流れようとする。また、トランジスタ $Q P 4$ を介してビット線 $B L n$ からサブスレッシュولدリーク電流 $i 4$ が記憶ノード $N 1$ に流れようとする。本例においては、トランジスタのサイズ等はほぼ同様であるように設計されているためサブスレッシュولدリーク電流 $i 1$ と $i 4$ とはほぼ同じ電流量となる。また、サブスレッシュولدリーク電流 $i 2$ と $i 3$ とはほぼ同じ電流量となる。

40

【 0 1 1 8 】

したがって、ビット線 $B L n - 1$ に注目すれば、トランジスタ $Q P 1$ を介してサブスレッシュولدリーク電流 $i 1$ が流れ出て、トランジスタ $Q P 3$ を介してサブスレッシュولدリーク電流 $i 3$ が記憶ノード $N 2$ から流れ出ることに伴うビット線 $B L n - 1$ の電位変動

50

と、トランジスタQP2を介してサブスレッショルドリーク電流 i_2 が流れ込み、トランジスタQP4を介してサブスレッショルドリーク電流 i_4 が記憶ノードN1に流れ出ることに伴うビット線BLn-1の電位変動とは同じに設定される。すなわち、トランジスタQP3およびQP4を設けることにより、アクセストランジスタであるトランジスタQP2およびQP1のサブスレッショルドリーク電流が対称となる。

【0119】

それゆえ、ビット線BLn-1, BLnにおいてデータ読出前のプリチャージ動作後に電位変動が生じてバランスが取れない状況を未然に防ぐことが可能となる。

【0120】

すなわち、本願構成によりメモリセルMC#のサブスレッショルドリーク電流に伴うビット線BLの揺らぎを抑制し、データ読出マージンを確保することができるため読出のセンス感度を維持することが可能となる。

10

【0121】

また、本例のメモリセルMC#は、アクセストランジスタがPチャンネルMOSトランジスタであり、NチャンネルMOSトランジスタの時と比較して、印加電圧からのしきい値電圧分の降下がないため記憶ノードN1およびN2の一方に「H」レベルの電位レベルを伝達する際において高速なデータ書込を実行することが可能である。

【0122】

(実施の形態4)

図14は、本発明の実施の形態4に従うメモリアレイの下層領域のメモリセルMC#のレイアウトを説明する図である。なお、ここでは、後述するが第1層目の金属配線層までが示されている。さらに上層の金属配線層については後述する。

20

【0123】

図14においては、図4で説明したのとほぼ同様の構成が示されているが図4で説明したレイアウトと比較して、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタを置換した構成であるのでウェルの領域が異なる。

【0124】

具体的にはPチャンネルMOSトランジスタであるトランジスタQP3, QP1を形成する領域にはN型のウェル構造NWが形成されている。またNチャンネルMOSトランジスタであるトランジスタMN1およびMN2を形成する領域はP型のウェル構造PWとなっている。また、PチャンネルMOSトランジスタであるトランジスタQP2, QP4を形成する領域はN型のウェル構造NWとなっている。その他の点については同様である。

30

【0125】

図15は、本発明の実施の形態4に従うメモリセルMC#の下層領域のレイアウト構造を説明する詳細な図である。ここでは、第1の金属配線層までが示されている。

【0126】

図15を参照して、本発明の実施の形態4に従うメモリセルMC#は、トランジスタのN型あるいはP型のウェル構造は異なるが、レイアウトについては図5で説明したのと同様である。具体的には、基板に対してY軸方向に沿って各トランジスタのソース領域およびドレイン領域となる拡散層が形成される。

40

【0127】

具体的には、トランジスタQP3とQP1とは、Y軸方向に沿って同一直線上に拡散層401および420が形成されている。また、トランジスタQP2とトランジスタQP4とは、Y軸方向に沿って同一直線上に拡散層409および422が形成されている。また、Y軸方向に沿って、トランジスタQP3とQP2との間にトランジスタMN1の拡散層104が形成されている。また、Y軸方向に沿って、トランジスタQP1とトランジスタQP4との間にトランジスタMN2の拡散層120が形成されている。

【0128】

そして、トランジスタQP3, MN1, QP2のゲート領域を構成するゲートポリシリゲートはX軸方向に沿って同一直線上に形成されている。また、トランジスタQP1, M

50

N 2 , Q P 4 のゲート領域を構成するゲートポリシリゲートは X 軸方向に沿って同一直線上となるように形成されている。

【 0 1 2 9 】

なお、コンタクト等の配線関係については図 5 で説明したのと同様であるのでその詳細な説明は繰返さない。

【 0 1 3 0 】

図 1 6 は、本発明の実施の形態 4 に従うメモリセル M C # の上層領域の第 2 の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

【 0 1 3 1 】

図 1 6 を参照して、図 6 で説明したレイアウト構造と異なる点は、電源電圧 V D D を供給する電源線が第 2 の金属配線層に設けられ、この電源電圧 V D D がトランジスタ Q P 3 および Q P 4 のゲート電極に供給される点である。

【 0 1 3 2 】

具体的には、トランジスタ Q P 3 のゲート電極 4 1 6 は、コンタクト 4 0 4 を介して第 1 の金属配線層に形成されたメタル 6 0 2 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 6 0 2 は、コンタクト 6 0 4 を介して電源電圧 V D D を供給する第 2 の金属配線層に設けられた電源線 6 0 0 と電氣的に結合される。

【 0 1 3 3 】

また、トランジスタ Q N 4 のゲート電極 4 1 9 は、コンタクト 4 2 0 を介して第 1 の金属配線層に形成されたメタル 6 0 5 と電氣的に結合される。そして、第 1 の金属配線層に設けられたメタル 6 0 5 は、コンタクト 6 0 7 を介して電源電圧 V D D を供給する第 2 の金属配線層に設けられた電源線 6 0 1 と電氣的に結合される。その他の部分については、図 6 で説明したのと同様であるのでその詳細な説明は繰返さない。

【 0 1 3 4 】

図 1 7 は、本発明の実施の形態 4 に従うメモリセル M C の上層領域の第 3 の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

【 0 1 3 5 】

図 1 7 を参照して、本発明の実施の形態 4 に従うメモリセル M C # の上層領域の第 3 の金属配線層については、図 7 のレイアウト図と同様である。

【 0 1 3 6 】

図 1 8 は、本発明の実施の形態 4 に従うメモリアレイの下層領域および上層領域のメモリセル M C # のレイアウトを説明する図である。なお、ここでは、図 1 5 ~ 1 7 で説明した金属配線層が積層された場合において上部方向から見た配線レイアウトが示されている。

【 0 1 3 7 】

図 1 9 は、図 1 5 および図 1 6 で説明したレイアウト図において D - D で切断した場合の断面構造図である。なお、他の断面構造図については、トランジスタの構造が P 型である点のみが異なり、図 9 ~ 図 1 1 で説明したのとほぼ同様であるのでその詳細な説明は繰返さない。

【 0 1 3 8 】

図 1 9 を参照して、本例においては、トランジスタ Q P 3 , M N 1 および Q P 2 が示されている。

【 0 1 3 9 】

トランジスタのゲート構造の詳細については P 型と N 型が異なるのみで図 9 で説明したのとほぼ同様であるのでその詳細な説明は繰返さない。

【 0 1 4 0 】

トランジスタ Q P 3 のゲート領域を形成するポリシリゲート 2 0 5 の上部にゲート電極 4 1 6 が設けられる。ゲート電極 4 1 6 は、コンタクト 6 0 3 を介して第 1 の金属配線層に設けられたメタル 6 0 2 と電氣的に結合される。メタル 6 0 2 は、コンタクト 6 0 4 を介して電源電圧 V D D を供給する第 2 の金属配線層に設けられた電源線 6 0 0 と電氣的に

10

20

30

40

50

結合される。

【0141】

トランジスタQP3の拡散層401は、STI300と301との間に設けられる。拡散層401は、上述したように金属シリサイド層およびその下側に形成されたソース/ドレイン不純物層とを含む。なお、ソース/ドレイン不純物層はP型で形成される。

【0142】

また、トランジスタMN1の拡散層405は、STI301と304との間に設けられる。トランジスタMN1のゲート領域を形成するポリシリゲート105の上部には、ゲート電極417が設けられ、そして、ゲート電極417と電氣的に結合されるシェアードコンタクト408が設けられる。また、ゲート領域の下側には拡散層405を形成する金属シリサイド層およびソース/ドレイン不純物層が設けられる。

10

【0143】

また、トランジスタQP2の拡散層409は、STI301と304との間に設けられる。トランジスタQP2のゲート領域を形成するポリシリゲート411の上部にゲート電極418が設けられる。ゲート電極418は、コンタクト412を介して第1の金属配線層に設けられたメタル415と電氣的に結合される。拡散層409は、上述したように金属シリサイド層とソース/ドレイン不純物層とを含む。なお、ソース/ドレイン不純物層はP型で形成される。

【0144】

また、第2の金属配線層において、ビット線BLnを形成する信号線215と固定電圧VSSを供給する電源線114とビット線BLnを形成する信号線310と、電源電圧VDDを供給する電源線601が設けられる。

20

【0145】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0146】

【図1】本発明の実施の形態1に従う半導体記憶装置の全体構成を示す概略ブロック図である。

30

【図2】本発明の実施の形態1に従うメモリアレイ10に集積配置されたメモリセルMCの接続を説明する図である。

【図3】本発明の実施の形態1に従うメモリセルMCの構成を説明する回路構成図である。

【図4】本発明の実施の形態2に従うメモリアレイの下層領域のメモリセルMCのレイアウトを説明する図である。

【図5】本発明の実施の形態2に従うメモリセルMCの下層領域のレイアウト構造を説明する詳細な図である。

【図6】本発明の実施の形態2に従うメモリセルMCの上層領域の第2の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

40

【図7】本発明の実施の形態2に従うメモリセルMCの上層領域の第3の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

【図8】本発明の実施の形態2に従うメモリアレイの下層領域および上層領域のメモリセルMCのレイアウトを説明する図である。

【図9】図5および図6で説明したレイアウト図においてA-Aにおいて切断した場合の断面構造図である。

【図10】図5および図6で説明したレイアウト図においてB-Bで切断した場合の断面構造図である。

【図11】図5および図6で説明したレイアウト図においてC-Cで切断した断面構造

50

図である。

【図12】図5および図6で説明したレイアウト図においてD-Dで切断した場合の断面構造図である。

【図13】本発明の実施の形態3に従うメモリセルMCを説明する図である。

【図14】本発明の実施の形態4に従うメモリアレイの下層領域のメモリセルMC#のレイアウトを説明する図である。

【図15】本発明の実施の形態4に従うメモリセルMC#の下層領域のレイアウト構造を説明する詳細な図である。

【図16】本発明の実施の形態4に従うメモリセルMC#の上層領域の第2の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

10

【図17】本発明の実施の形態4に従うメモリセルMCの上層領域の第3の金属配線層を形成した場合のレイアウト構造を説明する詳細な図である。

【図18】本発明の実施の形態4に従うメモリアレイの下層領域および上層領域のメモリセルMC#のレイアウトを説明する図である。

【図19】図15および図16で説明したレイアウト図においてD-Dで切断した場合の断面構造図である。

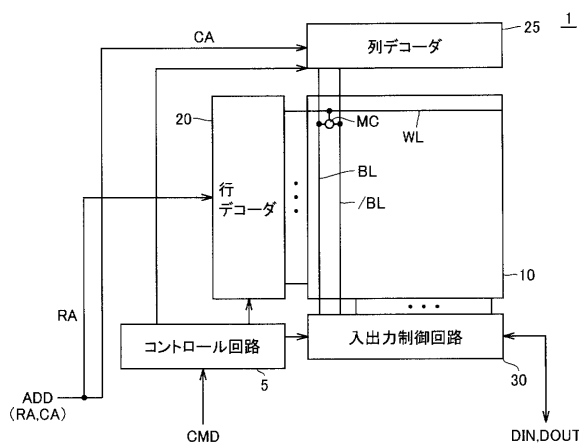
【符号の説明】

【0147】

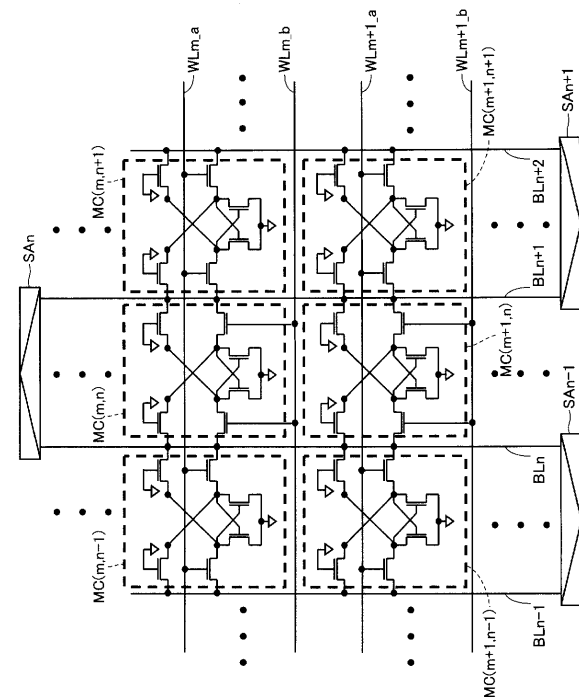
1 半導体記憶装置、5 コントロール回路、10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 入出力制御回路、SA センスアンプ。

20

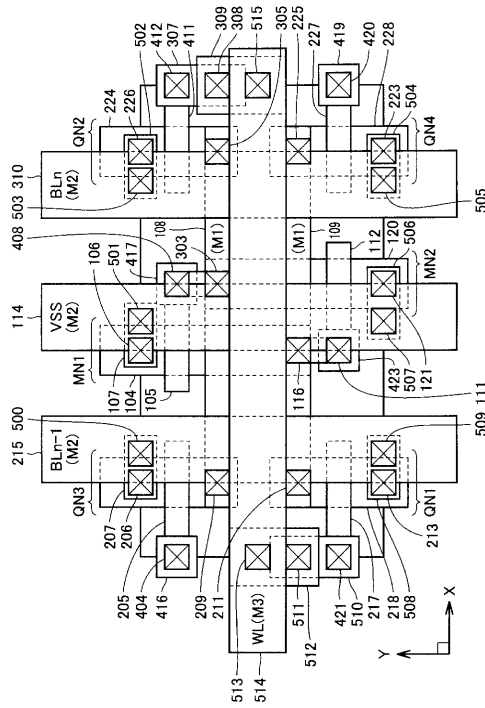
【図1】



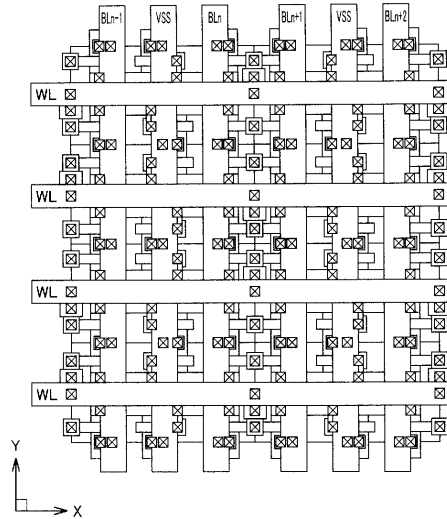
【図2】



【 図 7 】



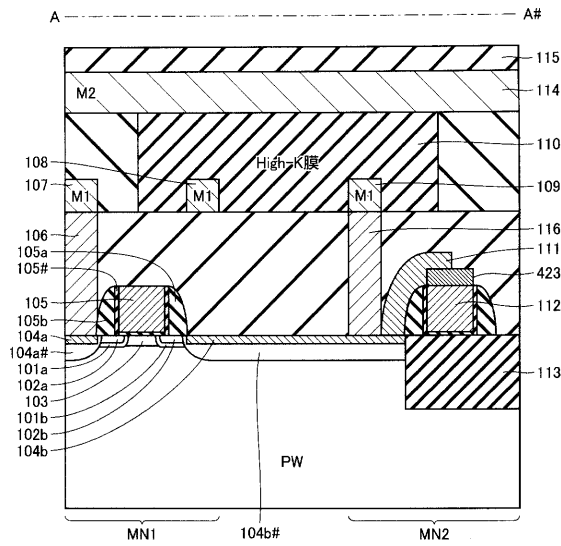
【 図 8 】



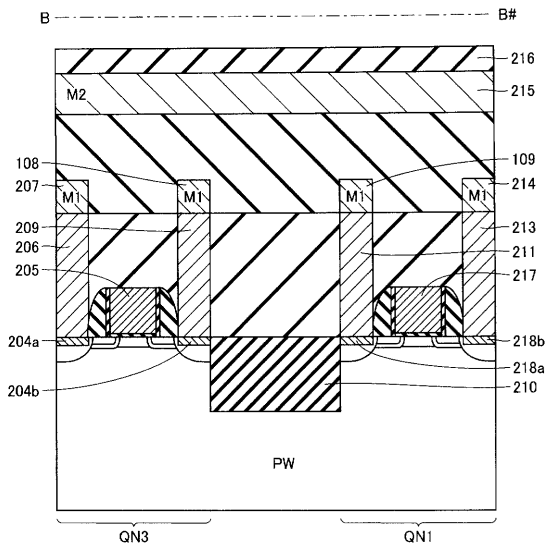
セルアレイの配列



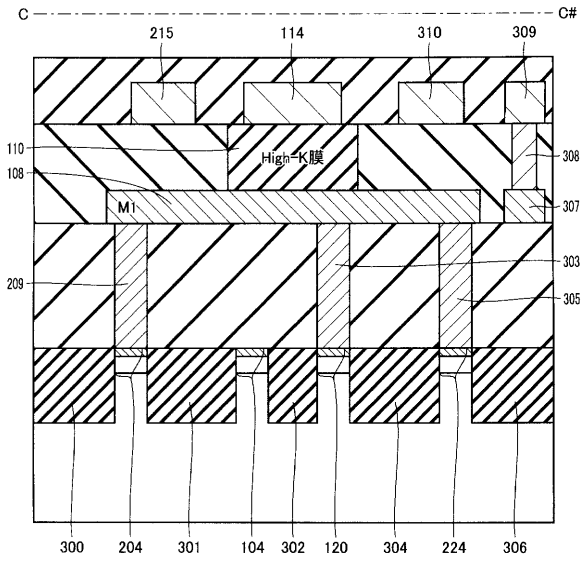
【 図 9 】



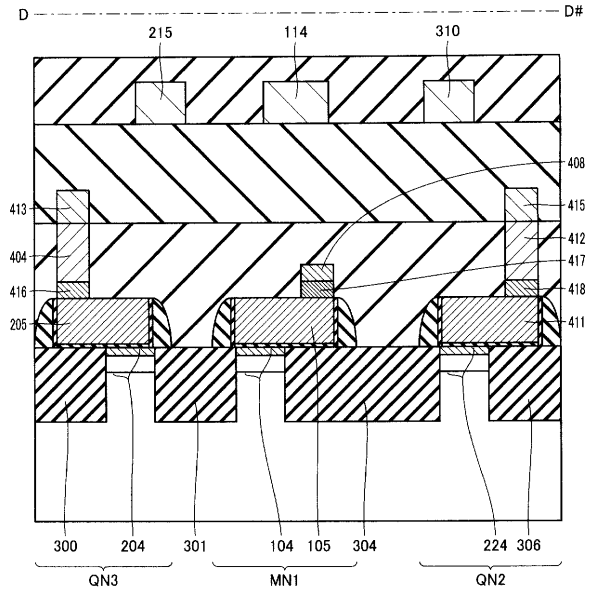
【 図 10 】



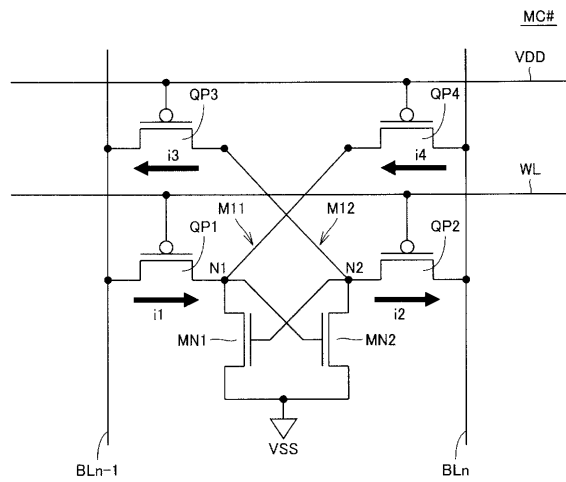
【図11】



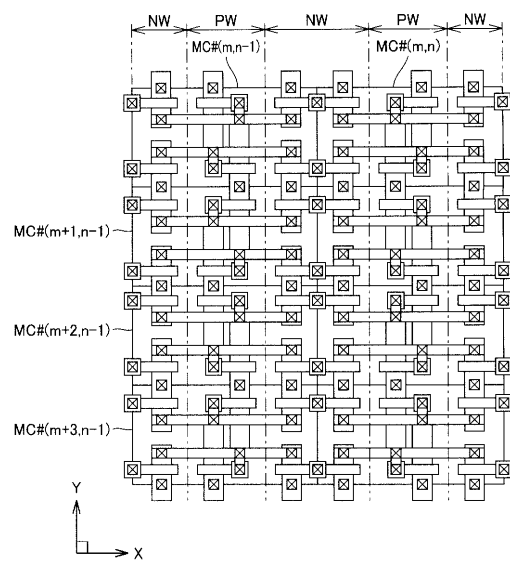
【図12】



【図13】



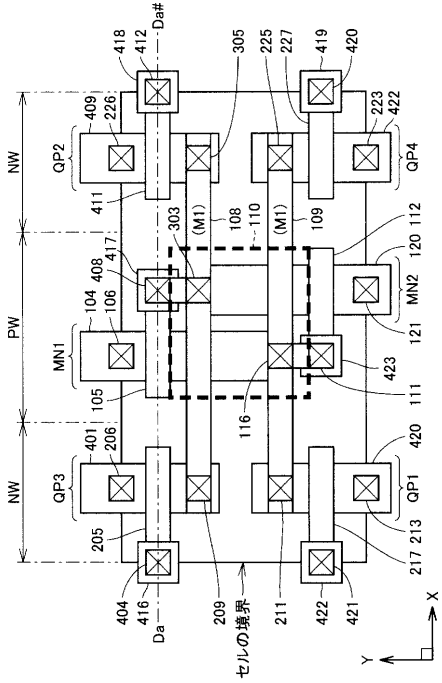
【図14】



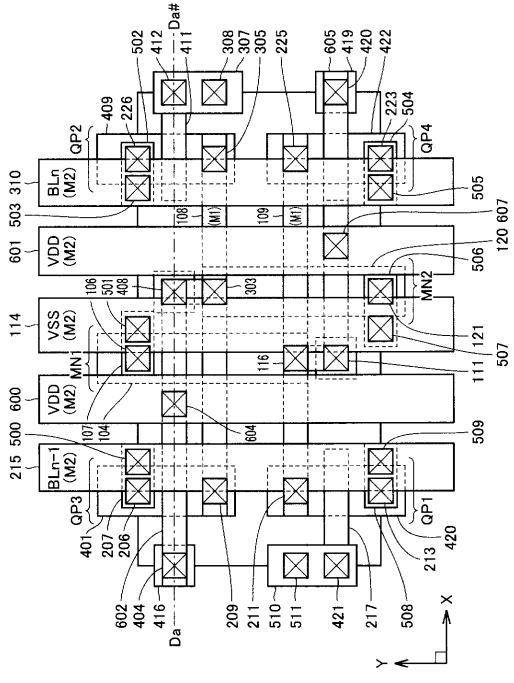
セルアレイの配列



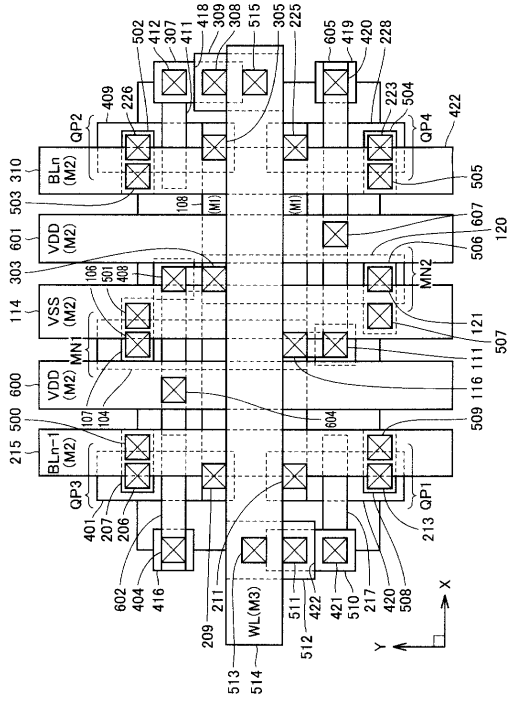
【 図 15 】



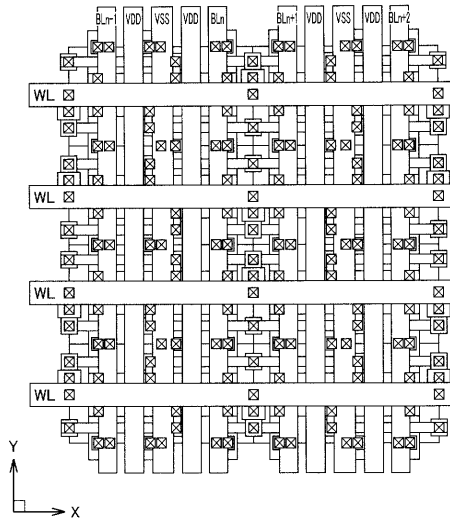
【 図 16 】



【 図 17 】



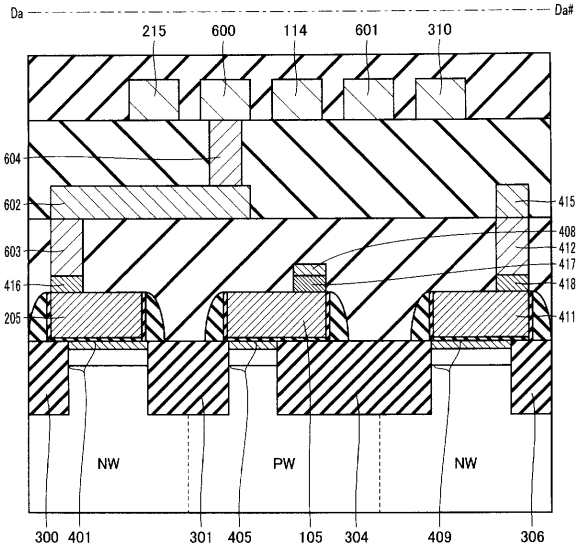
【 図 18 】



セルアレイの配列



【 19 】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 國清 辰也

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 園田 康弘

- (56)参考文献 特開平11-260063(JP,A)
特開2004-071118(JP,A)
特開2004-213722(JP,A)
国際公開第2004/049348(WO,A1)
特開2001-167573(JP,A)
特開2000-124333(JP,A)
特開2001-006370(JP,A)
特開2003-323792(JP,A)
特開2003-115551(JP,A)
特開昭54-075237(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/412
G11C 11/41
H01L 21/8244
H01L 27/11