

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 11 月 20 日(20.11.2014)



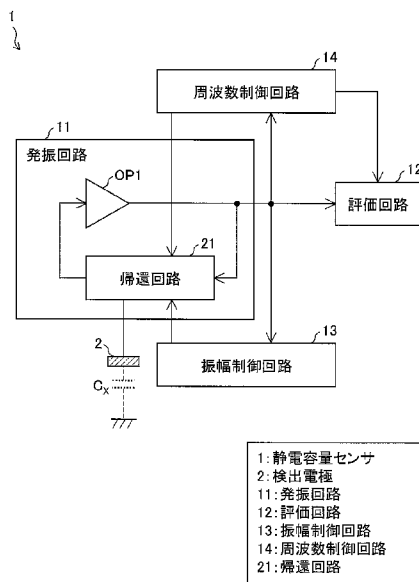
(10) 国際公開番号
WO 2014/185241 A1

- (51) 国際特許分類:
G01R 27/26 (2006.01)
- (21) 国際出願番号: PCT/JP2014/061480
- (22) 国際出願日: 2014 年 4 月 23 日(23.04.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-104371 2013 年 5 月 16 日(16.05.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 大東 睦夫(DAITO, Mutsuo).
- (74) 代理人: 特許業務法人H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CAPACITANCE SENSOR

(54) 発明の名称: 静電容量センサ



(57) Abstract: An oscillation circuit (11) in which a signal in a prescribed frequency band among the signals amplified by an operational amplifier (OP1) is fed back to the operational amplifier (OP1) by a feedback circuit (21) at a prescribed feedback rate, and a detection electrode (2) is connected to the feedback circuit (21). An amplification control circuit (13) controls the feedback rate of the feedback circuit (21) in a manner such that the amplification of the output signal of the oscillation circuit (11) is at or below a prescribed upper-limit value.

(57) 要約: 発振回路 (11) では、演算増幅器 (OP1) が増幅した信号のうち、所定の周波数帯域の信号を所定の帰還率で帰還回路 (21) が演算増幅器 (OP1) に帰還し、帰還回路 (21) に検出電極 (2) が接続されている。振幅制御回路 (13) は、発振回路 (11) の出力信号の振幅が所定の上限値以下となるように、帰還回路 (21) の帰還率を制御する。

- 1 Capacitance sensor
2 Detection electrode
11 Oscillation circuit
12 Assessment circuit
13 Amplification control circuit
14 Frequency control circuit
21 Feedback circuit

WO 2014/185241 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 静電容量センサ

技術分野

[0001] 本発明は、検出電極の静電容量又はその変化を検出する静電容量センサに関し、特に、発振回路を用いた静電容量センサに関する。

背景技術

[0002] 従来、静電容量の変化を検出することにより物体の接近を検知する静電容量形近接センサが知られており、例えば、特許文献1には、上記静電容量形近接センサを用いて、流体の有無、構成、状態変化などを検知する流体検知センサが開示されている。

[0003] 上記静電容量形近接センサは、上記静電容量の変化を検出する回路として発振回路を備えており、該発振回路の一部が検出電極となっている。上記発振回路は、上記物体が接近すると、上記検出電極の静電容量 C_x が増加して、発振周波数 f_{osc} が変化する。そして、上記静電容量形近接センサは、上記発振回路の発振周波数 f_{osc} が所定の基準値に達したか否かを判定する判定回路を備えており、該判定の結果により、上記物体の接近を検知することができる。

[0004] 図5は、上記静電容量形近接センサの概略構成を示す回路図である。図示のように、静電容量形近接センサ101は、発振回路111及び判定回路112を備えている。図示の例では、発振回路111は、検出電極113と、演算増幅器A、静電容量素子 C_2 、及び抵抗素子 $R_1 \sim R_4$ とを備えたウィーンブリッジ型発振回路である。該ウィーンブリッジ型発振回路の発振周波数 f_{osc} は次式で表される。

$$f_{osc} = (2\pi \times (C_x \times C_2 \times R_1 \times R_2)^{1/2})^{-1} \cdots (a)。$$

なお、本願では、抵抗素子の符号は、それぞれ、抵抗素子の抵抗値でもあり、静電容量素子の符号は、静電容量素子の容量でもある。

[0005] 従って、静電容量 C_x が減少すると、発振周波数 f_{osc} は増加する。発振回

路 1 1 1 は、上記式 (a) を満たす発振周波数 f_{osc} の信号を判定回路 1 1 2 に出力する。

[0006] また、発振回路 1 1 3 が発振するための条件は、発振周波数 f_{osc} において、正帰還の帰還率 $C_2 \times R_2 / (C_x \times R_2 + C_2 \times R_2 + C_2 \times R_1)$ が、負帰還の帰還率 $R_4 / (R_3 + R_4)$ 以上となることであり、整理すると次式で表される。

$$R_3 / R_4 \geq (C_x / C_2) + (R_1 / R_2) \quad \dots (b)。$$

[0007] 判定回路 1 1 2 は、発振回路 1 1 1 からの信号の発振周波数 f_{osc} の変化を監視し、目的に応じて所要の信号に変換して出力するものである。例えば、判定回路 1 1 2 は、発振周波数 f_{osc} を直流電圧に変換する周期／電圧変換回路、変換した直流電圧を所定の基準値と比較するコンパレータ、上記直流電圧が上記基準値よりも大きい又は小さい場合に、所定の警報を発したり制御信号を発したりする出力回路、などで構成される。

先行技術文献

特許文献

[0008] 特許文献1：日本国公開特許公報「特開平 1 1 - 2 3 0 8 1 5 号（1 9 9 9 年 0 8 月 2 7 日公開）」

発明の概要

発明が解決しようとする課題

[0009] 従来の上記静電容量形近接センサ 1 0 1 の場合、流体が有るとき、または流体が無いときにおける検出電極 1 1 3 の静電容量 C_x を基準静電容量 C_{x0} とし、検出した静電容量 C_x が基準静電容量 C_{x0} とどの程度相違するかを調べればよい。すなわち、基準静電容量 C_{x0} に対応する発振回路 1 1 1 の発振周波数 f_{osc} を基準発振周波数 f_{osc0} とし、検出した発振周波数 f_{osc} と基準発振周波数 f_{osc0} との差を求めればよい。従って、従来の上記静電容量形近接センサ 1 0 1 の場合、検出すべき静電容量 C_x の範囲は、基準静電容量 C_{x0} およびその近傍であればよ

く、検出可能な発振周波数 f_{osc} の範囲は、基準発振周波数 f_{osc0} とおよびその近傍であればよい。

[0010] 従来の静電容量形近接センサ 101 を、静電容量を検出する静電容量センサとして利用するには、静電容量 C_x の検出範囲を拡大する必要がある。しかしながら、この場合、下記の問題点が発生する。すなわち、静電容量 C_x が増加するにつれて、上記式 (a) のように発振回路 113 の発振周波数 f_{osc} が低くなると共に、上記正帰還の帰還率が小さくなることにより増幅度が小さくなり、ついには上記式 (b) を満たさなくなつて、発振しなくなる。一方、静電容量 C_x が減少するにつれて、発振回路 113 の発振周波数 f_{osc} が高くなると共に、上記正帰還の帰還率が大きくなることにより増幅度が大きくなり、その結果正弦波の波形が歪むことになり、上記式 (a) を満たさなくなる。

[0011] 本発明は、上記の問題点に鑑みてなされたものであって、その目的は、静電容量の検出範囲が従来よりも拡大された静電容量センサを提供することにある。

課題を解決するための手段

[0012] 本発明に係る静電容量センサは、検出電極の静電容量又はその変化を検出する静電容量センサであつて、上記課題を解決するために、増幅回路と、該増幅回路が増幅した信号のうち、所定の周波数帯域の信号を所定の帰還率で前記増幅回路に帰還する帰還回路とを備えることにより、当該周波数帯域に含まれる発振周波数で発振する発振回路であつて、前記発振周波数及び前記帰還率が前記検出電極の静電容量に依存するように、前記検出電極が前記帰還回路に接続された発振回路と、該発振回路の出力信号である発振信号の振幅が所定の上限値以下となるように、前記帰還回路の帰還率を制御する振幅制御回路とを備えることを特徴としている。

発明の効果

[0013] 上記の構成によると、検出電極の静電容量が変化することにより、発振回路の発振信号の振幅が増加しても、当該振幅を所定の上限値以下に維持する

ので、当該発振信号の波形が歪むことを防止でき、その結果、静電容量の検出範囲を従来よりも拡大できるという効果を奏する。

図面の簡単な説明

[0014] [図1]本発明の第1実施形態に係る静電容量センサの概略構成を示すブロック図である。

[図2]上記静電容量センサにおける発振回路の発振信号の時間変化を示すグラフである。

[図3]本発明の第2実施形態に係る静電容量センサの概略構成を示す回路図である。

[図4]本発明の第3実施形態に係る静電容量センサの概略構成を示すブロック図である。

[図5]従来の静電容量形近接センサの概略構成を示す回路図である。

発明を実施するための形態

[0015] 本発明の実施形態について、図1～図4に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、各実施形態に示した部材と同一の機能を有する部材については、同一の符号を付記し、適宜その説明を省略する。

[0016] [実施形態1]

(静電容量センサの構成)

図1は、本発明の第1実施形態に係る静電容量センサの概略構成を示すブロック図である。静電容量センサ1は、検出電極2の静電容量 C_x を検出するものであり、例えば、水位センサ、タッチセンサ、近接センサなどに利用される。図1に示すように、静電容量センサ1は、上記の検出電極2と、発振回路11、評価回路12、振幅制御回路13、及び周波数制御回路14を備える。

[0017] 発振回路11は、演算増幅器OP1と、該演算増幅器OP1が増幅した信号のうち、所定の周波数帯域の信号を所定の帰還率で演算増幅器OP1に帰還する帰還回路21とを備えることにより、当該周波数帯域に含まれる発振周波数 f_{OSC} で発振するものである。本実施形態では、発振周波数 f_{OSC} 及び

上記帰還率が検出電極 2 の静電容量 C_x に依存するように、検出電極 2 が帰還回路 2 1 に接続されている。

[0018] 評価回路 1 2 は、発振回路 1 1 の発振周波数 f_{osc} に基づいて、検出電極 2 の静電容量 C_x を評価するものである。

[0019] 振幅制御回路 1 3 は、発振回路 1 1 の出力信号である発振信号の振幅が所定の上限值以下かつ所定の下限值以上、すなわち所定範囲となるように、帰還回路 2 1 の帰還率を制御するものである。これにより、検出電極 2 の静電容量 C_x が変化することにより、帰還回路 2 1 の帰還率が変化して、発振回路 1 1 の発振信号の振幅が増加しても、振幅制御回路 1 3 が上記帰還率を制御して、当該振幅を所定の上限值以下に維持する。従って、発振回路 1 1 の発振信号の振幅が大き過ぎて、当該発振信号の波形が歪むことを防止できる。これにより、静電容量 C_x と発振周波数 f_{osc} との対応関係が維持されるので、評価回路 1 2 は、発振周波数 f_{osc} から静電容量 C_x を評価することができる。その結果、静電容量 C_x の検出範囲を従来よりも拡大することができる。

[0020] また、検出電極 2 の静電容量 C_x が変化することにより、帰還回路 2 1 の帰還率が変化して、発振回路 1 1 の発振信号の振幅が減少しても、振幅制御回路 1 3 が上記帰還率を制御して、当該振幅を所定の下限值以上に維持する。従って、発振回路 1 1 の発振信号の振幅が小さ過ぎて、発振周波数 f_{osc} が検出できないことを防止できる。その結果、静電容量 C_x の検出範囲を従来よりもさらに拡大することができる。

[0021] なお、上記所定範囲は、発振周波数 f_{osc} が検出し易い所定値であってもよい。この場合、発振周波数 f_{osc} を精度良く検出することができる。

[0022] 周波数制御回路 1 4 は、帰還回路 2 1 における上記所定の周波数帯域を、発振周波数 f_{osc} を含む周波数帯域に変更するように、帰還回路 2 1 を制御するものである。これにより、検出電極 2 の静電容量 C_x が変化することにより、発振周波数 f_{osc} が変化しても、変化した発振周波数 f_{osc} を含む所定の周波数帯域の信号を帰還回路 2 1 が帰還するように、周波数制御回路 1 4 が帰還回路 2 1 に指示する。従って、検出電極 2 の静電容量 C_x が変化することに

より、発振回路 1 1 が発振しなくなることを防止できる。

[0023] なお、上記所定の周波数帯域を変更すると、静電容量 C_x と発振周波数 f_{osc} との対応関係も変化する。そこで、本実施形態では、評価回路 1 2 は、発振周波数 f_{osc} と、周波数制御回路 1 4 の帰還回路 2 1 への指示とに基づいて、静電容量 C_x を評価する。これにより、上記所定の周波数帯域を変更しても、発振周波数 f_{osc} から静電容量 C_x を求めることができる。その結果、静電容量 C_x の検出範囲を従来よりもさらに拡大することができる。

[0024] (静電容量センサの動作)

この点を、図 2 を参照して具体的に説明する。図 2 は、静電容量センサ 1 における発振回路 1 1 の発振信号の時間変化を示すグラフである。

[0025] 図 2 の (a) は、振幅制御回路 1 3 からの振幅制御信号により、発振回路 1 1 の発振信号がどのように変化するかを示している。同図において、実線及び破線は、それぞれ、上記発振信号及び上記振幅制御信号の電圧値を示している。

[0026] 図 2 の (a) に示すように、静電容量 C_x が小さくなり上記発振信号の振幅が大きくなった場合、振幅制御回路 1 3 は、上記発振信号の振幅が小さくなって基準値に収束するような電圧値の上記振幅制御信号を帰還回路 2 1 に出力する。そして、上記発振信号の振幅が基準値と等しくなった後は、上記発振信号の振幅が基準値を維持するように、所定の電圧値の上記振幅制御信号を帰還回路 2 1 に出力する。

[0027] 一方、図 2 の (b) は、周波数制御回路 1 4 からの周波数制御信号により、発振回路 1 1 の発振信号がどのように変化するかを示している。同図において、実線及び破線は、それぞれ、上記発振信号及び上記周波数制御信号の電圧値を示している。図示のように、静電容量 C_x が小さくなり上記発振信号の発振周波数 f_{osc} が高くなった場合、周波数制御回路 1 4 は、上記発振周波数 f_{osc} が低くなるような電圧値の上記周波数制御信号を帰還回路 2 1 に出力する。

[0028] ここで、発振回路 1 1 が CR 発振回路である場合、発振周波数 f_{osc} は、検

出電極 2 の静電容量 C_x と可変抵抗素子の可変抵抗 R とを用いて次式で表される。

$$f_{OSC} = 1 / (2 \pi \times C_x \times R) \quad \dots (1)。$$

従って、周波数制御回路 14 は、可変抵抗 R を大きくするように、上記周波数制御信号を帰還回路 21 に出力することにより、発振周波数 f_{OSC} を低くすることができる。

[0029] 〔実施形態 2〕

図 3 は、本発明の第 2 実施形態に係る静電容量センサの概略構成を示す回路図である。本実施形態の静電容量センサ 1 は、第 1 実施形態の静電容量センサ 1 に比べて、発振回路 11、振幅制御回路 13、及び周波数制御回路 14 を、より具体的な構成に変更している点が異なり、その他の構成は同様である。

[0030] （発振回路の構成）

本実施形態の発振回路 11 は、ウィーンブリッジ型発振回路である。ウィーンブリッジ型発振回路は、バンドパスフィルタと非反転増幅回路とを備える構成である。なお、ウィーンブリッジ型発振回路の詳細な構成は公知であるので、その説明を省略する。

[0031] これにより、発振回路 11 は、検出電極 2、演算増幅器 OP21、可変静電容量素子 C_1 、 C_2 、可変抵抗素子 R_1 、 R_2 、及び抵抗素子 R_3 、 R_4 を備える構成となり、発振周波数 f_{WIEN} は、次式のようにになる。

$$f_{WIEN} = (2 \pi \times ((C_x + C_1) \times C_2 \times R_1 \times R_2)^{1/2})^{-1} \quad \dots (2)。$$

[0032] また、発振回路 11 が発振するための条件は、発振周波数 f_{OSC} において正帰還の帰還率 $C_2 \times R_2 / ((C_x + C_1) \times R_2 + C_2 \times R_2 + C_2 \times R_1)$ が負帰還の帰還率 $R_4 / (R_3 + R_4)$ 以上となることであり、整理すると次式で表される。

$$R_3 / R_4 \geq ((C_x + C_1) / C_2) + (R_1 / R_2) \quad \dots (3)。$$

[0033] （振幅制御回路の構成）

振幅制御回路 13 は、発振回路 11 の発振信号の振幅を検出する振幅検出回路 31 と、振幅検出回路 31 の出力を積分する積分回路 32 と、積分回路 32 の出力に基づき、発振回路 11 の非反転増幅回路における増幅率を制御する増幅率制御回路 33 とを備える構成である。

[0034] 振幅検出回路 31 は、演算増幅器 OP22、電流源 CS1、CS2、PMOS トランジスタ MP、静電容量素子 C₃ を備える構成である。演算増幅器 OP22 は、発振回路 11 の発振信号の電圧がノード ND1 の電圧以上である時、PMOS トランジスタ MP がオンになり、電流源 CS1 からの電流で静電容量素子 C₃ は充電される。また、演算増幅器 OP22 は、発振回路 11 の発振信号の電圧がノード ND1 の電圧より小さい時、PMOS トランジスタ MP がオフになり、静電容量素子 C₃ は電流源 CS2 により放電される。この動作を繰り返すことにより、振幅検出回路 31 は発振回路 11 の発振信号の振幅を検出できる。

[0035] 積分回路 32 は、演算増幅器 OP23、静電容量素子 C₄、抵抗素子 R₅、及び基準電圧源 VS1 を備える構成である。積分回路 32 は、ローパスフィルタとして動作し、振幅検出回路 31 での充放電によるノード ND1 の電圧の揺れを平坦化する。

[0036] 増幅率制御回路 33 は、NMOS トランジスタ MN、静電容量素子 C₅、及び抵抗素子 R₆ を備える構成である。NMOS トランジスタ MN は、発振回路 11 における抵抗素子 R₄ と参照電位との間に挿入される。これにより、負帰還の帰還率は、NMOS トランジスタ MN の抵抗 R_{MN} を用いて、 $(R_4 + R_{MN}) / (R_3 + R_4 + R_{MN})$ となり、上記式 (3) は次式となる。

$$R_3 / (R_4 + R_{MN}) \geq ((C_X + C_1) / C_2) + (R_1 / R_2) \quad \dots (4)$$

[0037] 従って、静電容量 C_X が大きくなっても、R_{MN} を小さくすることにより、上記式 (4) を満たすことができ、発振条件を維持できる。なお、静電容量素子 C₅ 及び抵抗素子 R₆ は、NMOS トランジスタ MN の周波数特性を改善するために使用される。

[0038] 上記の構成によると、振幅制御回路 13 は、振幅検出回路 31 にて発振回路 11 の発振信号の振幅を検出し、当該振幅が基準電圧源 V_{S1} にて供給される電圧と等しくなるように発振回路 11 の増幅率を制御することになる。これにより、発振回路 11 は、所定の振幅で発振状態を維持することができる。

[0039] 一方、静電容量 C_x が小さくなると正帰還の帰還率は大きくなって、発振回路 11 の増幅率が大きくなる。このことから、静電容量 C_x が小さくなり過ぎると、発振回路 11 は、発振信号の振幅が電源電圧よりも大きくなって正弦波ではなくなるため、上記式 (2) で決められる発振周波数 f_{WIEN} とは異なる周波数で発振することになる。

[0040] これに対し、振幅制御回路 13 は、発振回路 11 の発振信号の振幅を小さくするように発振回路 11 の増幅率を制御する。これにより、発振回路 11 は、発振信号の振幅が電源電圧以下に維持できて、正弦波を維持できるため、上記式 (2) で決められる発振周波数 f_{WIEN} での発振を維持できる。

[0041] (周波数制御回路の構成)

周波数制御回路 14 は、クロック生成器 35、カウンタ 36、比較器 37、及びレジスタ 38 を備える構成である。

[0042] クロック生成器 35 は、クロック周波数 f_{CLK} のクロック信号を生成し、カウンタ 36 に出力する。カウンタ 36 は、クロック生成器 35 からのクロック信号に基づいて、発振回路 11 の発振信号の周期を計数する。クロック生成器 35 のクロック周波数 f_{CLK} を発振回路 11 の発振周波数よりも十分高くしておくことで、カウンタ 36 は、上記発振信号の周期を簡便に計数でき、該周期の逆数である発振周波数 f_{WIEN} を簡便に推定することができる。

[0043] 比較器 37 は、カウンタ 36 の計数値を基準値と比較する。比較器 37 は、比較結果に基づき、レジスタ 38 のデータを変更する。レジスタ 38 は、発振回路 11 における可変静電容量素子 C_1 、 C_2 及び可変抵抗素子 R_1 、 R_2 への指示値を記憶する。該指示値に基づき、発振回路 11 における可変静電容量素子 C_1 、 C_2 の容量と、可変抵抗素子 R_1 、 R_2 の抵抗とが変更される。

なお、レジスタ38は、発振回路11に設けられていてもよい。

[0044] 評価回路12は、レジスタ38の指示値を参照して、変更後の容量 C_1 、 C_2 及び抵抗 R_1 、 R_2 を把握する。これにより、容量 C_1 、 C_2 及び抵抗 R_1 、 R_2 が変更されても、上記式(2)に基づき発振周波数 f_{WIEN} から静電容量 C_x を評価することができる。

[0045] ところで、静電容量 C_x が大きくなると、上記式(3)又は(4)が満たされなくなるため、発振回路11が発振状態を維持できなくなり、静電容量 C_x を推定できなくなる。

[0046] これに対し、周波数制御回路14は、カウンタ36にて発振回路11の発振信号の周期を検出する。上記式(2)より、静電容量 C_x が大きくなると、発振周波数 f_{WIEN} が低くなり、上記発振信号の周期が大きくなる。そこで、比較器37は、上記発振信号の周期が基準値を超える場合、上記式(2)に基づき、発振周波数 f_{WIEN} が高くなるように、発振回路11における可変静電容量素子 C_1 、 C_2 及び可変抵抗素子 R_1 、 R_2 への指示値を変更し、レジスタ38に記憶する。該指示値に基づき、発振回路11における可変静電容量素子 C_1 、 C_2 の容量と、可変抵抗素子 R_1 、 R_2 の抵抗とが変更されることにより、発振回路11の発振周波数 f_{WIEN} が高くなる。従って、発振回路11の発振周波数 f_{WIEN} を所定範囲内に制御することで、発振回路11は、所定の周波数範囲で発振状態を維持することができる。

[0047] [実施形態3]

図4は、本発明の第3実施形態に係る静電容量センサの概略構成を示すブロック図である。本実施形態の静電容量センサ1は、第2実施形態の静電容量センサ1に比べて、振幅制御回路13及び周波数制御回路14の間で互いに指示される点が異なり、その他の構成は同様である。なお、図4では、図3に示すような回路構成を省略している。

[0048] 振幅制御回路13は、振幅を検出するには、発振回路11の発振信号が少なくとも1/2周期分必要である。このため、発振回路11の発振周波数 f_{WIEN} が著しく低い(周期が著しく長い)場合、振幅を検出して増幅率を変更す

るまでに時間がかかることになる。

[0049] そこで、本実施形態の周波数制御回路 14 では、カウンタ 36 の計数値に上限値が設定されている。該計数値が上限値に達した場合、周波数制御回路 14 は、発振回路 11 が発振していないと判断し、増幅度を変更して発振回路 11 が発振し易くなるように振幅制御回路 13 に指示している。これにより、振幅制御回路 13 は、発振周波数 f_{WIEN} が著しく低い場合でも、迅速に増幅率を変更して、発振回路 11 の発振を迅速に再開させることができる。

[0050] さらに、周波数制御回路 14 は、上記計数値が上限値に達した場合、発振回路 11 が発振し易くなるように、レジスタ 38 の指示値を変更してもよい。これにより、発振回路 11 の発振をさらに迅速に再開させることができる。

[0051] また、振幅制御回路 13 では、増幅率制御回路 33 における NMOS トランジスタ MN が周波数特性を有している。そこで、本実施形態では、振幅制御回路 13 は、発振回路 11 の発振周波数 f_{WIEN} が、NMOS トランジスタ MN が上記周波数特性の影響を受けない範囲となるように、周波数制御回路 14 に指示している。これにより、発振回路 11 の発振信号の振幅を精度よく制御することができる。

[0052] [付記事項]

第 2・第 3 実施形態の静電容量センサ 1 は、図 3 に示すように、検出電極 2 が発振回路 11 における演算増幅器 OP 21 の入力側に接続されていることから、検出電極 2 の電位は振幅の小さい正弦波で振動することになる。その結果、検出電極 2 から外部に放射される電磁波の強度は小さく、かつ帯域は狭い。また、ウィーンブリッジ型発振回路の場合、発振周波数 f_{WIEN} は、上記バンドパスフィルタの通過帯域で決定されるため、外部からのノイズの影響を抑制することができる。以上から、上記実施形態の静電容量センサ 1 は、EMC (Electromagnetic Compatibility) の耐性が高い。従って、本実施形態の静電容量センサ 1 は、EMC の耐性が求められる機器、例えば水位センサ、タッチセンサ、近接センサでの利用に好適である。

[0053] また、評価回路 12 が利用する発振信号の発振周波数 f_{osc} は、周波数制御回路 14 のカウンタ 36 が計数する上記発振信号の周期の逆数である。そこで、周波数制御回路 14 のクロック生成器 35 及びカウンタ 36 を、評価回路 12 に設けてもよい。この場合、評価回路 12 は、カウンタ 36 にて計数された上記発振信号の周期に基づき、周波数制御回路 14 のレジスタ 38 を参照して、検出電極 2 の静電容量 C_x を評価することになる。これにより、静電容量センサ 1 は、部品点数を削減することができ、小型化することができる。

[0054] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

[0055] [まとめ]

本発明の態様 1 に係る静電容量センサは、検出電極の静電容量又はその変化を検出する静電容量センサであって、増幅回路と、該増幅回路が増幅した信号のうち、所定の周波数帯域の信号を所定の帰還率で前記増幅回路に帰還する帰還回路とを備えることにより、当該周波数帯域に含まれる発振周波数で発振する発振回路であって、前記発振周波数及び前記帰還率が前記検出電極の静電容量に依存するように、前記検出電極が前記帰還回路に接続された発振回路と、該発振回路の出力信号である発振信号の振幅が所定の上限値以下となるように、前記帰還回路の帰還率を制御する振幅制御回路とを備える構成である。

[0056] 上記の構成によると、検出電極の静電容量が変化することにより、帰還回路の帰還率が増加して、発振回路の発振信号の振幅が増加しても、振幅制御回路が上記帰還率を制御して、当該振幅を所定の上限値以下に維持する。これにより、発振回路の発振信号の振幅が大き過ぎて、当該発振信号の波形が歪むことを防止できる。これにより、静電容量と発振周波数との対応関係が

維持されるので、発振周波数から静電容量を求めることができる。

その結果、静電容量の検出範囲を従来よりも拡大することができる。

[0057] 本発明の態様2に係る静電容量センサは、上記態様1において、前記振幅制御回路は、さらに、前記発振回路の発振信号の振幅が所定の下限值以上となるように、前記帰還回路の帰還率を制御してもよい。この場合、上記発振回路の発振信号の振幅が小さ過ぎて、上記発振周波数が検出できないことを防止できる。その結果、静電容量の検出範囲を従来よりもさらに拡大することができる。

[0058] 本発明の態様3に係る静電容量センサは、上記態様1において、前記振幅制御回路は、前記発振回路の発振信号の振幅が所定値となるように、前記帰還回路の帰還率を制御してもよい。この場合、上記発振回路の発振信号の振幅が、上記発振周波数が検出し易い所定値に維持されることにより、当該発振周波数を精度良く検出することができる。

[0059] 本発明の態様4に係る静電容量センサは、上記態様1から3において、前記発振回路の発振周波数に基づいて、前記静電容量を評価する評価回路と、前記帰還回路における前記所定の周波数帯域を、前記発振周波数を含む周波数帯域に変更するように、前記帰還回路を制御する周波数制御回路とをさらに備えており、前記評価回路は、前記発振周波数と、前記周波数制御回路から前記帰還回路への制御の結果とに基づいて、前記静電容量を評価することが好ましい。この場合、検出電極の静電容量が変化することにより、発振周波数が変化しても、変化した発振周波数を含む所定の周波数帯域の信号を帰還回路が帰還するように、周波数制御回路が制御する。これにより、検出電極の静電容量が変化することにより、上記発振回路が発振しなくなることを防止できる。

[0060] なお、上記所定の周波数帯域を変更すると、上記静電容量と上記発振周波数との対応関係も変化する。そこで、評価回路は、上記発振周波数と、上記周波数制御回路の上記帰還回路への制御の結果とに基づいて、上記静電容量を評価する。これにより、上記所定の周波数帯域を変更しても、発振周波数

から静電容量を求めることができる。その結果、静電容量の検出範囲を従来よりもさらに拡大することができる。

[0061] 本発明の態様5に係る静電容量センサは、上記態様4において、前記周波数制御回路は、クロック生成器と、該クロック生成器からのクロック信号で、前記発振信号の周期を計数するカウンタとを備えてもよい。この場合、上記周期の逆数である上記発振周波数を簡便に検出することができる。

[0062] 本発明の態様6に係る静電容量センサは、上記態様5において、前記カウンタの計数値に上限値が設定されており、前記周波数制御回路は、該計数値が上限値に達した場合、前記発振回路の増幅度を変更するように前記振幅制御回路に指示してもよい。この場合、上記振幅制御回路は、上記発振周波数が著しく低い場合でも、迅速に増幅率を変更して、上記発振回路の発振を迅速に再開させることができる。

[0063] 本発明の態様7に係る静電容量センサは、上記態様4から6において、前記周波数制御回路は、前記振幅制御回路が周波数特性の影響を受けない範囲に前記発振周波数を維持するように前記発振回路を制御してもよい。この場合、上記振幅制御回路は、上記発振回路の発振信号の振幅を精度よく制御することができる。

産業上の利用可能性

[0064] 以上のように、本発明に係る静電容量センサは、検出電極の静電容量が変化することにより、発振回路の発振信号の振幅が増加しても、当該振幅を所定の上限值以下に維持するので、当該発振信号の波形が歪むことを防止でき、静電容量の検出範囲を従来よりも拡大できるので、発振器を利用した任意の静電容量センサに本発明を適用することができる。

符号の説明

- [0065] 1 静電容量センサ
2 検出電極
1 1 発振回路
1 2 評価回路

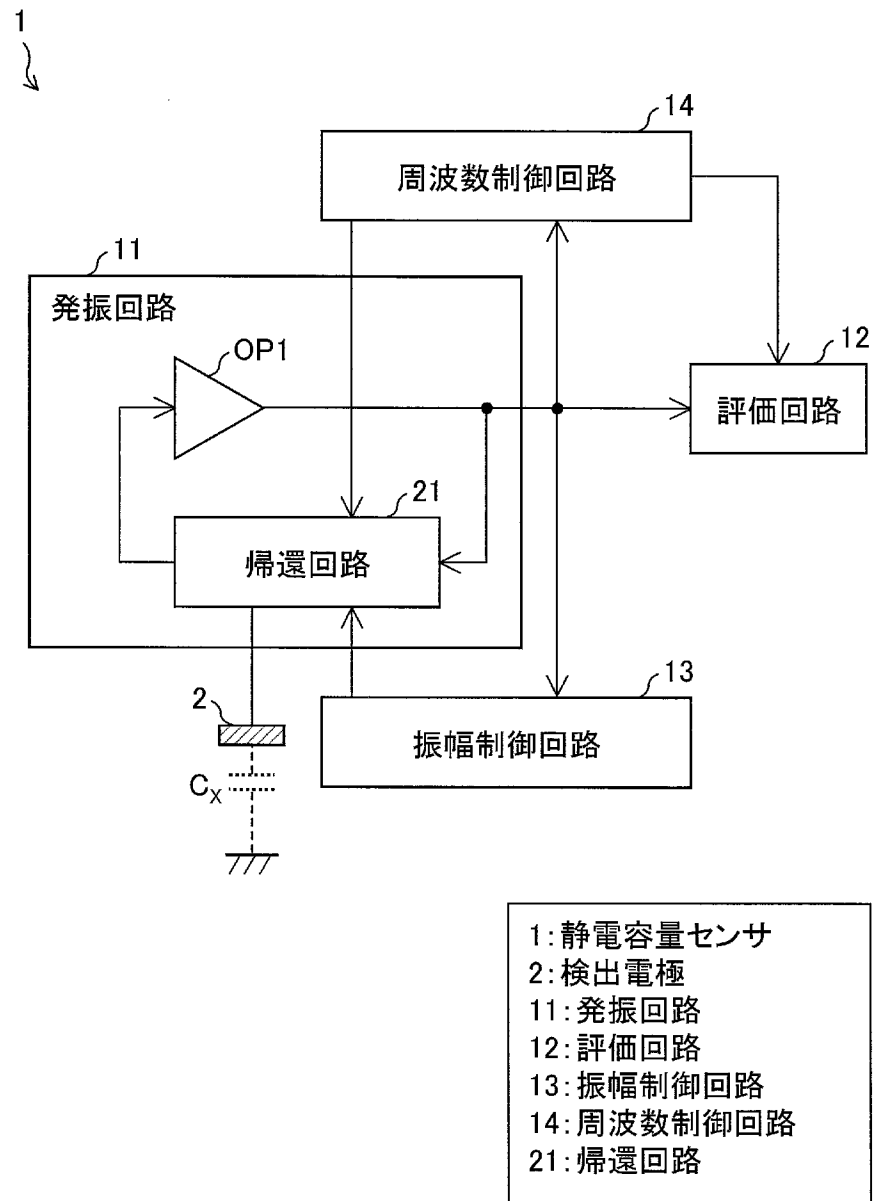
- 1 3 振幅制御回路
- 1 4 周波数制御回路
- 2 1 帰還回路
- 3 1 振幅検出回路
- 3 2 積分回路
- 3 3 増幅率制御回路
- 3 5 クロック生成器
- 3 6 カウンタ
- 3 7 比較器
- 3 8 レジスタ
- OP 1 ・ OP 2 1 演算増幅器

請求の範囲

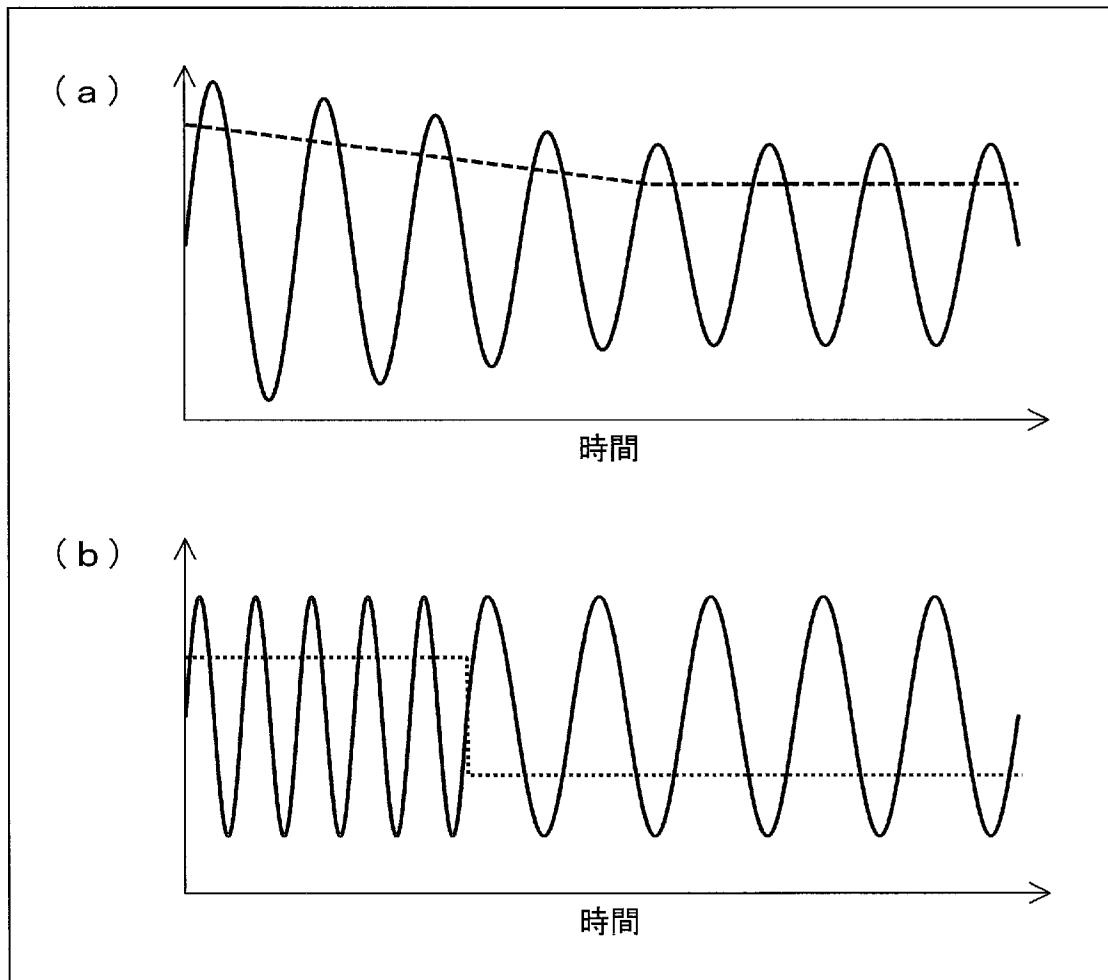
- [請求項1] 検出電極の静電容量又はその変化を検出する静電容量センサであって、
- 増幅回路と、該増幅回路が増幅した信号のうち、所定の周波数帯域の信号を所定の帰還率で前記増幅回路に帰還する帰還回路とを備えることにより、当該周波数帯域に含まれる発振周波数で発振する発振回路であって、前記発振周波数及び前記帰還率が前記検出電極の静電容量に依存するように、前記検出電極が前記帰還回路に接続された発振回路と、
- 該発振回路の出力信号である発振信号の振幅が所定の上限値以下となるように、前記帰還回路の帰還率を制御する振幅制御回路とを備えることを特徴とする静電容量センサ。
- [請求項2] 前記振幅制御回路は、さらに、前記発振回路の発振信号の振幅が所定の下限值以上となるように、前記帰還回路の帰還率を制御することを特徴とする請求項1に記載の静電容量センサ。
- [請求項3] 前記振幅制御回路は、前記発振回路の発振信号の振幅が所定値となるように、前記帰還回路の帰還率を制御することを特徴とする請求項1に記載の静電容量センサ。
- [請求項4] 前記発振回路の発振周波数に基づいて、前記静電容量を評価する評価回路と、
- 前記帰還回路における前記所定の周波数帯域を、前記発振周波数を含む周波数帯域に変更するように、前記帰還回路を制御する周波数制御回路とをさらに備えており、
- 前記評価回路は、前記発振周波数と、前記周波数制御回路から前記帰還回路への制御の結果とに基づいて、前記静電容量を評価することを特徴とする請求項1から3までの何れか1項に記載の静電容量センサ。
- [請求項5] 前記周波数制御回路は、クロック生成器と、該クロック生成器から

のクロック信号で、前記発振信号の周期を計数するカウンタとを備えることを特徴とする請求項 4 に記載の静電容量センサ。

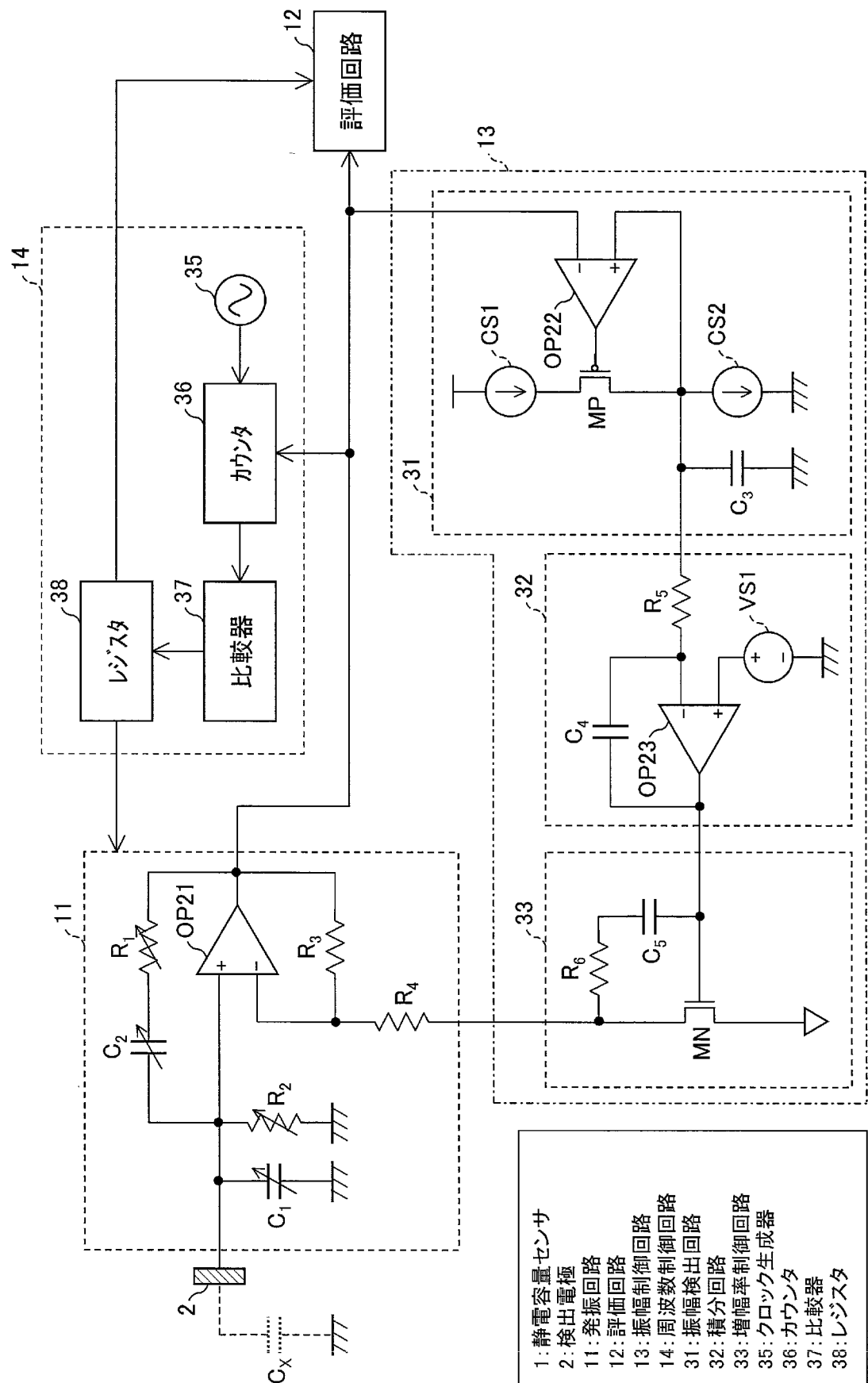
[図1]



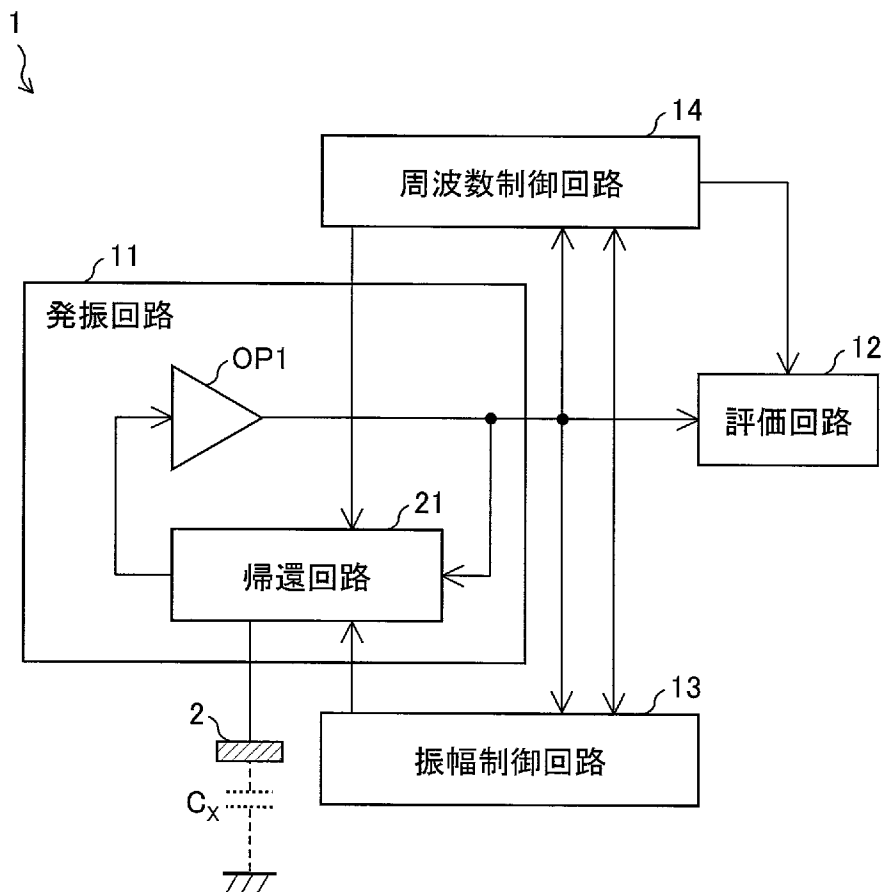
[図2]



[図3]

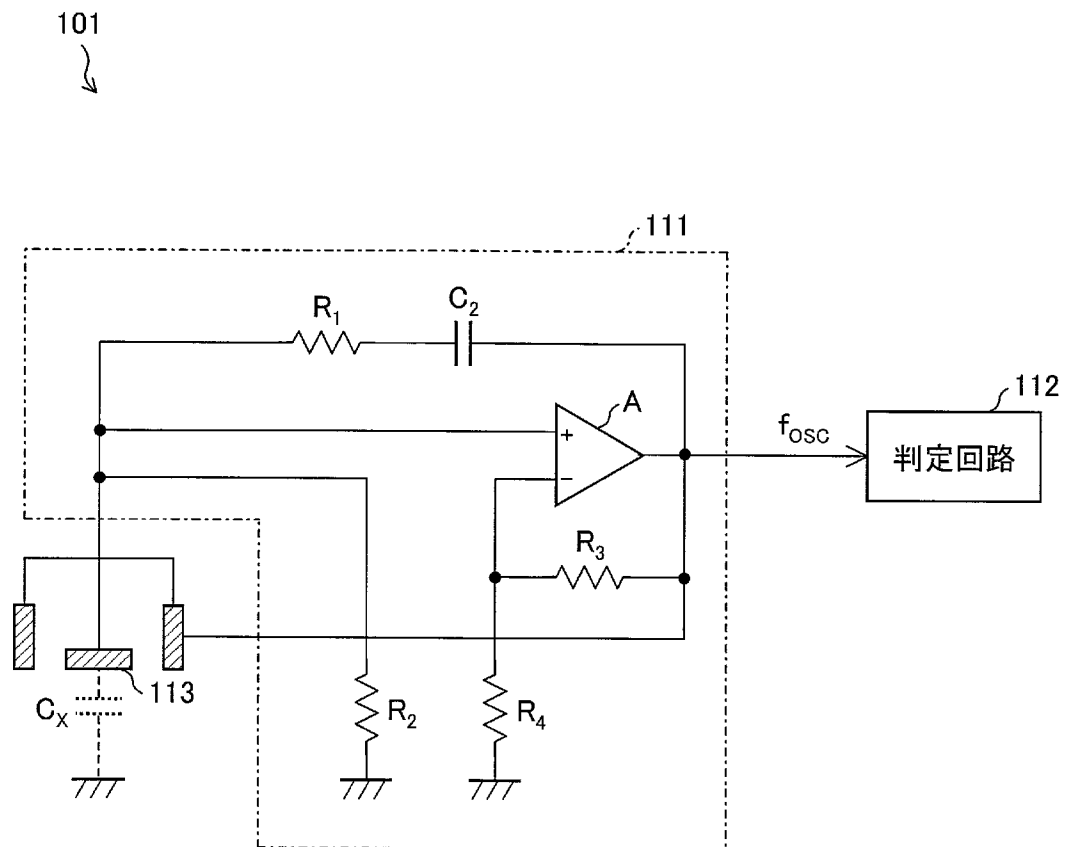


[図4]



- 1: 静電容量センサ
2: 検出電極
11: 発振回路
12: 評価回路
13: 振幅制御回路
14: 周波数制御回路
21: 帰還回路

[図5]



101: 静電容量形近接センサ
111: 発振回路
112: 判定回路
113: 検出電極

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/061480

A. CLASSIFICATION OF SUBJECT MATTER

G01R27/26(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R27/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-230815 A (Tatsuta Electric Wire & Cable Co., Ltd.), 27 August 1999 (27.08.1999), paragraphs [0019] to [0020]; fig. 5 (Family: none)	1-3 4, 5
Y A	JP 2007-6284 A (Calsonic Kansei Corp.), 11 January 2007 (11.01.2007), paragraphs [0014] to [0038]; fig. 1 (Family: none)	1-3 4, 5
A	JP 2001-345696 A (Oki Electric Industry Co., Ltd.), 14 December 2001 (14.12.2001), paragraphs [0027] to [0044]; fig. 1 to 5 & US 2002/0000885 A1 & EP 1160967 A2	4, 5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 July, 2014 (24.07.14)

Date of mailing of the international search report
05 August, 2014 (05.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R27/26(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R27/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 11-230815 A（タツタ電線株式会社） 1999.08.27, 【0019】 - 【0020】, 【図5】 (ファミリーなし)	1-3 4, 5
Y A	JP 2007-6284 A（カルソニックカンセイ株式会社） 2007.01.11, 【0014】 - 【0038】, 【図1】 (ファミリーなし)	1-3 4, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 7 . 2 0 1 4

国際調査報告の発送日

0 5 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

菅藤 政明

2 S

5 2 6 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-345696 A (沖電気工業株式会社) 2001.12.14, 【0027】 - 【0044】 , 【図 1】 - 【図 5】 & US 2002/0000885 A1 & EP 1160967 A2	4, 5