



(12) 发明专利

(10) 授权公告号 CN 102437800 B

(45) 授权公告日 2014. 01. 15

(21) 申请号 201110439149. 6

(22) 申请日 2011. 12. 23

(73) 专利权人 中国科学院自动化研究所
地址 100190 北京市海淀区中关村东路 95 号

(72) 发明人 杨国栋 李恩 梁自泽 谭民
杨德刚 马庆增 杨明博 赵德政
郝庆畅 贾鹏霄

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021
代理人 周国城

(51) Int. Cl.
H02P 5/68 (2006. 01)

审查员 樊春燕

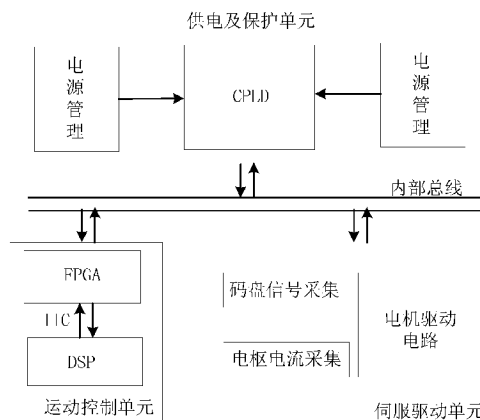
权利要求书2页 说明书5页 附图2页

(54) 发明名称

一种直流电机伺服驱动器

(57) 摘要

本发明涉及一种直流电机伺服驱动器, 特别适应于额定电压为 24V 的直流有刷电机的控制与驱动。该伺服驱动器由运动控制单元、供电及保护单元和伺服驱动单元组成。运动控制单元负责电机的运动规划, 对规划路径进行插补运算得到电机转动所需的速度和方向信号, 对电机码盘和电枢电流信号进行采集和处理以形成闭环控制; 供电及保护单元为整个伺服驱动器提供电源、转换电机控制信号以及采集电机限流和限位信号, 为伺服驱动器提供限流、限位保护; 伺服驱动单元对直流电机直接驱动以及对电枢电流和码盘信号进行预处理。本发明简化了布线复杂度和控制难度, 使用灵活方便。



1. 一种直流电机伺服驱动器,其特征在于,包括运动控制单元、供电及保护单元和伺服驱动单元,且运动控制单元、供电及保护单元和伺服驱动单元通过内部总线依次连接,其中:

所述运动控制单元,用于规划电机的运动,包括 DSP 芯片和 FPGA 芯片,二者通过内部总线相互连接;所述 FPGA 芯片用于存储电机码盘运行参数;

所述供电及保护单元,用于为整个伺服驱动器提供合适电源、转换电机控制信号以及采集电机限流和限位信号,为伺服驱动器提供限流、限位保护;所述供电及保护单元包括电源管理模块、CPLD 芯片、与 CPLD 芯片相连的时钟模块、电机选择模块、限流信号处理电路和限位信号处理电路,其中,所述电源管理模块为所述 CPLD 芯片提供电源,同时为所述运动控制单元和伺服驱动单元提供电源;所述 CPLD 芯片通过内部总线接收来自运动控制单元的电机 PWM 和方向信号,并通过内部逻辑将其转换成 H 桥驱动信号;所述 CPLD 芯片通过所述限流信号处理电路和限位信号处理电路接收电机的限流/限位信号,控制电机的启停,实现对电机的保护;

所述伺服驱动单元,用于对直流电机的直接驱动以及电枢电流和码盘信号的预处理。

2. 如权利要求 1 所述的直流电机伺服驱动器,其特征在于,所述运动控制单元还包括:与所述 FPGA 芯片连接的 JTAG 电路、PROM、FPGA 芯片的电源模块和时钟电路;

与 DSP 芯片连接的 JTAG 电路、DSP 的电源模块、时钟电路、RS485 总线;

DSP 芯片通过其内部 A/D 转换模块与内部总线连接、FPGA 芯片通过其内部 I/O 模块与内部总线连接。

3. 如权利要求 1 所述的直流电机伺服驱动器,其特征在于,所述伺服驱动单元包括电机驱动电路以及电机驱动电路相连的码盘信号采集单元和电枢信号采集单元,其中:

电枢电流采集模块用于采集电枢电流;

码盘信号采集模块外接电机码盘输入信号,并进行差分处理以连接到内部总线。

4. 如权利要求 3 所述的直流电机伺服驱动器,其特征在于,

所述电机驱动电路由 H 桥电路以及连接于 H 桥电路的电源模块、电机选择模块实现;

所述电机选择模块用于选择驱动多个直流电机中希望被驱动的直流电机;

所述电枢电流采集模块通过检测电阻与 H 桥桥臂直接连接,用于采集桥臂电流作为电枢电流。

5. 如权利要求 3 所述的直流电机伺服驱动器,其特征在于,所述 DSP 芯片接收到运动控制指令后,进行内部轨迹规划和插补运算,并通过内部总线读取 FPGA 芯片内的电机码盘运行参数得到期望电机的期望位置与当前运行位置之间的差值,形成位置闭环,或通过读取电枢电流值并与期望的电枢电流值进行比较,形成电流闭环,从而得到各电机运行所需的速度和方向信号,经内部总线传输给供电及保护单元。

6. 如权利要求 5 所述的直流电机伺服驱动器,其特征在于,所述 CPLD 芯片对接收到的电机速度和位置信号进行分解和逻辑计算,生成适合伺服驱动单元的脉冲宽度调制信号,并通过内部总线传给伺服驱动单元,同时接收来自伺服驱动单元的电机限流信号和机构限位信号,通过内部逻辑及时控制电机的启停,对电机进行保护。

7. 如权利要求 6 所述的直流电机伺服驱动器,其特征在于,

所述伺服驱动单元通过内部总线接收来自供电及保护单元的脉冲宽度调制信号,控制

电机的启停,实现不同的电机转速要求。

一种直流电机伺服驱动器

技术领域

[0001] 本发明涉及一种直流电机伺服驱动器,涉及先进机器人控制领域。

背景技术

[0002] 直流伺服驱动器可广泛应用于各个领域,如服务机器人、移动机器人及某些工业机器人的控制,其特点是:使用简单,配用的有刷直流伺服电机价格便宜,可选电机功率范围宽。带有位置、速度和电流反馈的有刷直流电机比较适合于低速、高精度的速度控制应用。

[0003] 目前市场上的直流电机伺服驱动器一般采用一个驱动器控制一台电机的方式,控制器和驱动器分开实现。带来的问题是控制箱内布线复杂,控制器要分别和各电机的驱动器进行电气连接。同时每个电机一个驱动器无形中也增加了整个控制系统的尺寸和功耗。

[0004] 另外,控制和驱动分开的设计方式增加了系统开发的难度,使用者必须同时熟悉控制器和驱动器使用方法,增加了开发成本。

发明内容

[0005] (一)要解决的技术问题

[0006] 为解决控制器和驱动器分开的设计方式增加控制系统的尺寸和功耗、增加开发难度和开发成本的缺点,本发明在已有的直流电机伺服驱动技术的基础上提供一种灵活的、可自由拆分和组合的直流电机伺服驱动器,通过模块化设计方法,减少布线、降低功耗、提高整体性,实现对直流电机的有效控制。

[0007] (二)技术方案

[0008] 本发明提供了一种直流电机伺服驱动器,包括运动控制单元、供电及保护单元和伺服驱动单元;运动控制单元、供电及保护单元和伺服驱动单元通过内部总线连接;所述运动控制单元用于规划电机的运动;所述供电及保护单元用于为整个伺服驱动器提供合适电源、转换电机控制信号以及采集电机限流和限位信号,为伺服驱动器提供限流、限位保护;

[0009] 所述伺服驱动单元用于对直流电机的直接驱动以及电枢电流和码盘信号的预处理。

[0010] 运动控制单元首先通过内部总线连接供电及保护单元,然后供电及保护单元再通过内部总线连接伺服驱动单元。

[0011] 运动控制单元包括 DSP 芯片和 FPGA 芯片,二者通过内部总线相互连接;

[0012] 所述 FPGA 芯片用于存储电机码盘运行参数。

[0013] 运动控制单元还包括:与所述 FPGA 芯片连接的 JTAG 电路、PROM、FPGA 芯片的电源模块和时钟电路;与 DSP 芯片连接的 JTAG 电路、DSP 的电源模块、时钟电路、RS485 总线;DSP 芯片通过其内部 A/D 转换模块与内部总线连接、FPGA 芯片通过其内部 I/O 模块与内部总线连接。

[0014] 供电及保护单元包括电源管理模块和 CPLD 芯片；

[0015] 电源管理模块为 CPLD 芯片提供电源,同时为运动控制单元和伺服驱动单元提供电源。

[0016] 所述供电与保护单元还包括与 CPLD 芯片相连的时钟模块、电机选择模块、限流信号处理电路和限位信号处理电路;CPLD 芯片通过内部总线接收来自运动控制单元的电机 PWM 和方向信号,并通过内部逻辑将其转换成 H 桥驱动信号;CPLD 芯片通过所述限流信号处理电路和限位信号处理电路接收电机的限流/限位信号,控制电机的启停,实现对电机和机构的保护。

[0017] 伺服驱动单元包括电机驱动电路以及与电机驱动电路相连的码盘信号采集单元和电枢信号采集单元;电枢电流采集模块用于采集电枢电流;码盘信号采集模块外接电机码盘输入信号,并进行差分处理以连接到内部总线。

[0018] 所述电机驱动电路由 H 桥电路以及连接于 H 桥电路的电源模块、电机选择模块实现;电机选择模块用于选择驱动多个直流电机中希望被驱动的直流电机;电枢电流采集模块通过检测电阻与 H 桥桥臂直接连接,用于采集桥臂电流作为电枢电流。

[0019] 所述 DSP 芯片接收到运动控制指令后,进行内部轨迹规划和插补运算,并通过内部总线读取 FPGA 芯片内的电机码盘运行参数得到期望电机的期望位置与当前运行位置之间的差值,形成位置闭环,或通过读取电枢电流值并与期望的电枢电流值进行比较,形成电流闭环,从而得到各电机运行所需的速度和方向信号,经内部总线传输给供电及保护单元。

[0020] 所述 CPLD 芯片对接收到的电机速度和位置信号进行分解和逻辑计算,生成适合伺服驱动单元的脉冲宽度调制信号,并通过内部总线传给伺服驱动单元,同时接收来自伺服驱动单元的电机限流信号和机构限位信号,通过内部逻辑及时控制电机的启停,对电机进行保护。

[0021] 所述伺服驱动单元通过内部总线接收来自供电及保护单元的脉冲宽度调制信号,控制电机的启停,实现不同的电机转速要求。

[0022] (三)有益效果

[0023] 本发明提供的直流电机伺服驱动器,通过内部总线总线将控制器和驱动器在板内实现了电气连接,减少了布线,降低了系统尺寸和功耗,同时提高了系统抗干扰能力。通过这种模块化设计方法,既增加了控制电机的数目,又使得使用者可直接对控制器进行编程实现直流电机的有效控制,而不必考虑系统内部如何实现,降低了使用难度。

附图说明

[0024] 图 1 为本发明一种直流电机伺服驱动器的结构框图;

[0025] 图 2 为本发明一种直流电机伺服驱动器的运动控制单元的电路原理图;

[0026] 图 3 为本发明一种直流电机伺服驱动器的供电及保护单元的电路原理图;

[0027] 图 4 为本发明一种直流电机伺服驱动器的伺服驱动单元的电路原理图。

具体实施方式

[0028] 本发明提供一种直流电机伺服驱动器。作为一种具体实施方式,以下参照额定电压为 24V 的直流有刷电机的控制与驱动来描述本发明。

[0029] 根据本发明的该实施例,直流电机伺服驱动器由运动控制单元、供电及保护单元和伺服驱动单元组成。

[0030] 其中,运动控制单元主要由数字信号处理器(DSP)及其配置电路、可编程逻辑器件(FPGA)芯片及其配置电路、内部总线及外围电路组成,用于规划电机的运动。

[0031] 所述运动规划主要是进行内部轨迹规划和插补运算,并通过内部总线读取FPGA内的电机码盘运行参数得到期望电机的期望位置与当前运行位置之间的差值,形成位置闭环,通过读取电枢电流值并与期望的电枢电流值进行比较,形成电流闭环,得到各电机运行所需的速度和方向信号。

[0032] 供电及保护单元主要由复杂可编程逻辑器件(CPLD)芯片、时钟电路、电机选择模块、电源模块、限流信号采集电路、限位信号采集电路以及内部总线组成,用于为整个伺服驱动器提供合适电源并采集各类限流和限位信号,为伺服驱动器提供限流、限位保护;

[0033] 伺服驱动单元主要由H桥驱动电路、电枢电流采集电路、码盘信号采集电路、电源模块、电机选择模块、电机接口以及内部总线组成,用于对直流电机的直接驱动以及电枢电流和码盘信号采集的预处理。

[0034] 所述内部总线可以是IIC总线,所述的IIC总线是一种通用的两线式串行总线,用于连接微控制器及其外围设备,是微电子通信控制领域广泛采用的一种总线标准。但本发明的内部总线也可以采用其他总线结构。

[0035] 所述内部总线采用4排插针式结构,在运动控制单元和供电及保护单元之间以及供电及保护单元和伺服驱动单元之间传递电源信号、控制信号、码盘信号、限位信号及电流采集信号。

[0036] 图1为该直流电机伺服驱动器的结构框图。该伺服驱动器采用模块化的方法进行设计,共分三个单元:运动控制单元、供电及保护单元和伺服驱动单元。三个单元之间通过内部总线实现连接。其连接顺序是运动控制单元首先通过内部总线连接供电及保护单元,然后供电及保护单元再通过内部总线连接伺服驱动单元。

[0037] 其中运动控制单元包括DSP芯片和FPGA芯片,二者通过内部总线相互连接,所述FPGA芯片用于存储电机码盘运行参数;供电及保护单元包括电源管理模块和CPLD芯片,电源管理模块为CPLD芯片提供电源,同时为运动控制单元和伺服驱动单元提供电源;伺服驱动单元包括电机驱动电路以及与电机驱动电路相连的码盘信号采集单元和电枢信号采集单元。

[0038] 图1显示的该直流电机伺服驱动器的工作原理如下:

[0039] 运动控制单元中的DSP芯片接收到上位机传来的运动控制指令后,进行内部轨迹规划和插补运算,并通过内部总线读取FPGA芯片内的电机码盘运行参数得到期望电机的期望位置与当前运行位置之间的差值,形成位置闭环,也可以通过读取电枢电流值并与期望的电枢电流值进行比较,形成电流闭环,从而得到各电机运行所需的速度和方向信号,经内部总线传输给供电及保护单元;

[0040] 供电及保护单元的CPLD芯片对接收到的电机速度和位置信号进行分解和逻辑计算,生成适合伺服驱动单元的脉冲宽度调制(PWM)信号,并通过内部总线传给伺服驱动单元,同时接收来自伺服驱动单元的电机限流信号和机构限位信号,通过内部逻辑及时控制电机的启停,对电机进行保护;

[0041] 伺服驱动单元通过内部总线接收来自供电及保护单元的 PWM 信号,控制电机的启停,实现不同的电机转速要求。

[0042] 图 2 为运动控制单元的电路原理图。运动控制单元包括 FPGA 和 DSP 两部分。其中 FPGA 部分包括 FPGA 芯片和与 FPGA 芯片连接的 FPGA 配置电路联合测试行动组 (JTAG) 电路、可编程只读存储器 (PROM)、FPGA 的电源模块、时钟电路;DSP 部分包括 DSP 芯片以及与 DSP 芯片连接的 JTAG 电路、DSP 的电源模块、时钟电路、RS485 总线。DSP 通过 RS485 总线实现与上位机的通信,接收控制命令;DSP 芯片与 FPGA 芯片之间通过内部总线连接,DSP 芯片通过其内部 A/D 转换模块与内部总线连接、FPGA 芯片通过其内部 I/O 模块与内部总线连接。

[0043] 所述 RS485 总线是一种通用的串行通信总线,采用平衡发送和差分接收方式,具有抑制共模干扰的能力,常用于几米到上千米通信距离的场合。

[0044] 图 2 的运动控制单元的工作原理如下:

[0045] DSP 芯片通过 RS485 总线接收来自上位机的运动控制命令,并通过解析转换成控制电机转动的 PWM 信号和方向信号,通过内部总线传送给供电及保护单元,同时 DSP 芯片通过自身的 A/D 模块从内部总线接收电枢电流信号,形成电流闭环。

[0046] JTAG 电路实现对 DSP 芯片的调试和程序下载,电源模块为 DSP 芯片提供外设和内核电压。

[0047] FPGA 芯片内部实现多个计数模块对各电机的码盘信号进行计数,并通过内部总线将码盘信息传输给 DSP,通过 JTAG 电路实现对 FPGA 芯片和 PROM 的程序烧写。由于 FPGA 芯片是易失性器件,断电后原先的配置将不复存在,必须通过 PROM 对其进行上电配置。另外时钟电路和电源模块分别为 FPGA 芯片提供系统时钟和 FPGA 芯片内核及外设电压。

[0048] 图 3 为供电及保护单元的电路原理图。供电及保护单元包括 CPLD 芯片和与 CPLD 芯片电源管理模块,还包括与 CPLD 芯片相连的时钟模块、电机选择模块、限流信号处理电路和限位信号处理电路。

[0049] 电源管理模块为伺服驱动器以及整个供电及保护单元提供合适电压,并通过电源输入端口与各单元实现连接。所述合适电压为 +5V 电压。

[0050] 时钟模块为 CPLD 芯片提供可靠的时钟信号,并通过 CPLD 芯片的时钟输入管脚实现连接。

[0051] CPLD 芯片通过组合逻辑将 PWM 和电机方向信号转换成适合 H 桥路的驱动信号,并直接将信号通过内部总线传输给伺服驱动单元。

[0052] 电机选择模块连接 CPLD 芯片的控制输出和内部总线,实现对多路电机的控制。

[0053] 图 3 的供电及保护单元的工作原理如下:

[0054] CPLD 芯片通过内部总线接收来自运动控制单元的电机 PWM 和方向信号,并通过内部逻辑将其转换成 H 桥驱动信号。CPLD 芯片通过单元内限流/限位信号处理电路接收电机的限流/限位信号,控制电机的启停,实现对电机和机构的保护。

[0055] 电源模块和时钟电路为 CPLD 芯片提供电源和基准时钟。

[0056] 由于 CPLD 芯片为非易失性器件,配置程序掉电后不消失,不需要配置电路。本伺服驱动器可控制多达 12 个直流电机,有些应用场合可能用不到这么多电机,为方便系统的拆分与组合,12 个电机的驱动电路分布在两块电路板上,需要时通过内部总线可实现两块

电路板的拆装,电机选择模块通过内部电路实现了两块电路板的选择。

[0057] 图 4 为伺服驱动单元的电路原理图。该伺服驱动单元包括电机驱动电路、电枢电流采集模块、码盘信号采集模块,所述电机驱动电路由 H 桥电路以及连接于 H 桥电路的电源模块、电机选择模块实现。

[0058] 图 4 的伺服驱动单元的工作原理是:

[0059] 电源模块为 H 桥电路提供电机驱动所需的 24V 电源, H 桥电路输出通过电机接口直接连接电机。

[0060] 电机选择模块负责区分直流电机(例如 6 个),即电机选择模块通过驱动单元负责驱动 6 个直流电机中希望被驱动的直流电机。

[0061] 电枢电流采集模块通过检测电阻与 H 桥桥臂直接连接,并采集桥臂电流作为电枢电流。

[0062] 码盘信号采集模块外接电机码盘输入信号,并进行差分处理连接到内部总线。

[0063] 如上所述,运动控制单元实现内部轨迹规划、插补运算、形成位置闭环、形成电流闭环、得到各电机运行所需的速度和方向信号;供电及保护单元为整个伺服驱动器提供合适电源并采集各类限流和限位信号,为伺服驱动器提供限流、限位保护;伺服驱动单元通过 H 桥驱动电路、电枢电流采集电路、码盘信号采集电路以及内部总线等,实现对直流电机的直接驱动以及电枢电流和码盘信号采集的预处理;将电机控制信号进行转换以适应 H 桥电路等。上述这些技术内容均为本领域的现有技术,是本领域普通技术人员熟知的。由于本发明的技术核心在于将控制和驱动相结合,故不对上述现有技术内容做详细介绍。

[0064] 本发明通过模块化的设计方式,将直流电机的控制单元、供电及保护单元以及伺服驱动单元有机的结合在一起,实现了完整的直流电机控制。控制和驱动相结合的设计方式,简化了内部走线和使用难度,便于系统的拆装和扩展。

[0065] 以上所述,仅为本发明中的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉该技术的人在本发明所揭露的技术范围内,可理解想到的变换或替换,都应涵盖在本发明的权利要求书的保护范围之内。

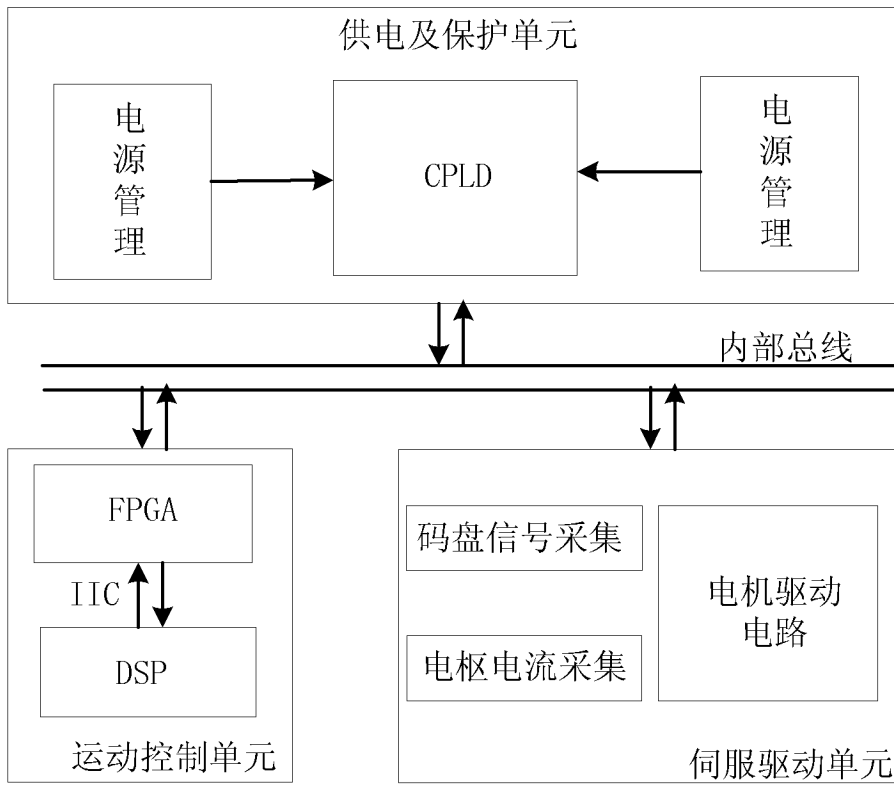


图 1

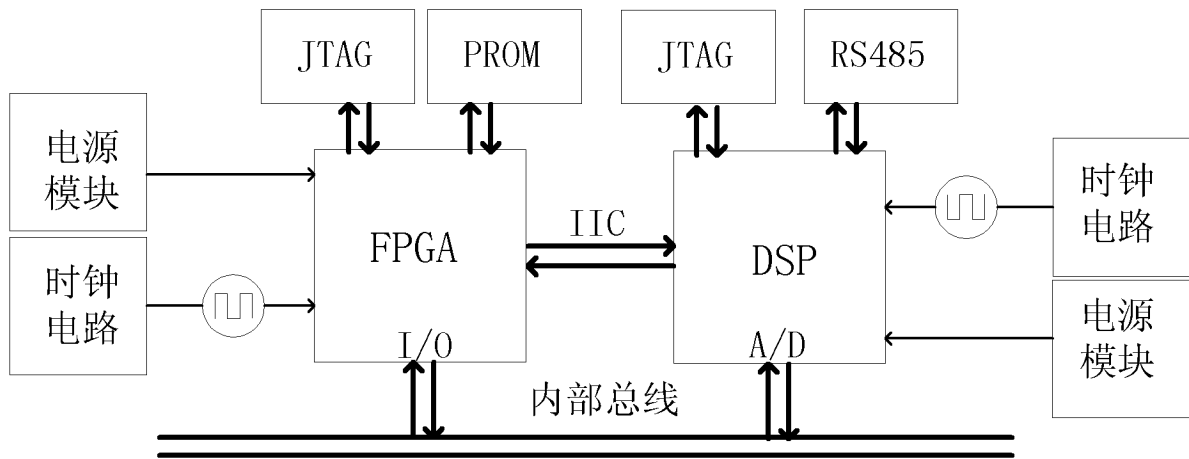


图 2

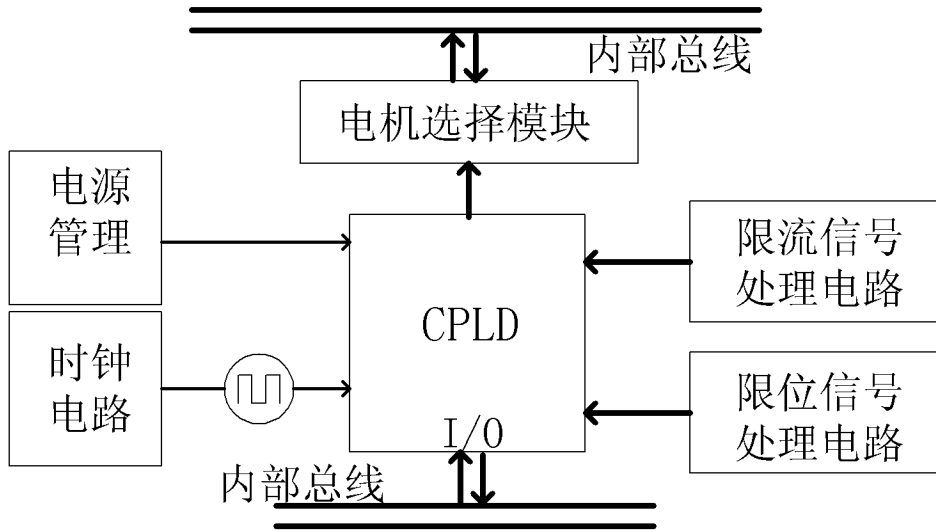


图 3

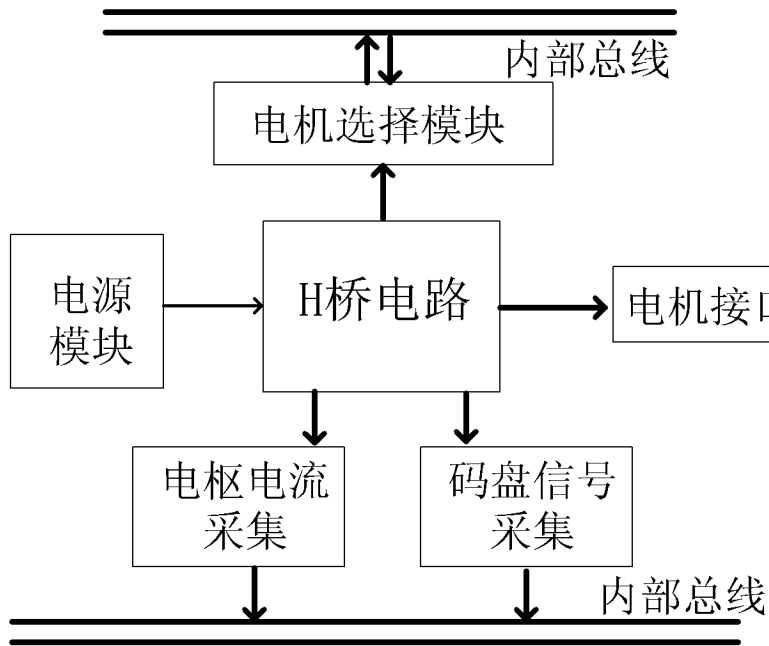


图 4