



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву № 499672

(22) Заявлено 27.04.79 (21) 2758549/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.02.81. Бюллетень № 6

Дата опубликования описания 17.02.81

(11) 805496

(51) М. Кл.³

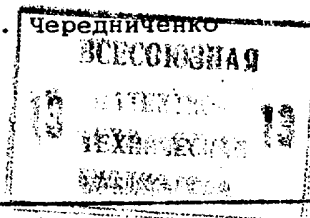
Н 03 К 21/34

(53) УДК 621.374.
.4 (088.8)

(72) Авторы
изобретения

А. Н. Горбунов, Е. А. Евсеев и А. С. Чередниченко

(71) Заявитель



(54) РЕЗЕРВИРОВАННЫЙ ДЕЛИТЕЛЬ ЧАСТОТЫ
СЛЕДОВАНИЯ ИМПУЛЬСОВ

1

Изобретение относится к электронным цифровым системам с резервированием и может быть использовано в качестве хранителя времени.

По основному авт. св. № 499672 известен резервированный делитель частоты следования импульсов, содержащий два канала деления, каждый из которых состоит из делителя частоты, блока контроля и элемента памяти, входы которого подключены к выходам блока контроля, а выход - ко входу блока контроля и входу установки делителя частоты, выход которого через элемент задержки соединен со входом элемента памяти другого канала деления [1].

Недостатком данного устройства является низкая надежность, вызванная тем, что при отказе делителя частоты сигналы на его выходе будут отсутствовать, поэтому элемент памяти, контролирующий работу канала, останется в исходном состоянии, продолжая сигнализировать о исправности данного канала.

Цель предлагаемого изобретения - повышение надежности.

Для достижения поставленной цели в резервированный делитель частоты

2

следования импульсов, содержащий два канала деления, каждый из которых состоит из делителя частоты, блока контроля и элемента памяти, при этом входы элемента памяти каждого канала подключены к выходам блока контроля, а выход - ко входу блока контроля и входу установки делителя частоты, выход которого через элемент задержки соединен со входом элемента памяти другого канала деления, введены триггеры, элементы ИЛИ и дополнительные элементы И и НЕ, при этом выход первого делителя частоты соединен с первыми входами первого, второго и третьего дополнительных элементов И непосредственно и через первый дополнительный элемент НЕ с первым входом четвертого дополнительного элемента И, второй вход которого подключен к выходу делителя частоты первого контрольного блока, выход второго делителя частоты соединен через второй дополнительный инвертор со вторым входом первого дополнительного элемента И, третий вход которого подключен к выходу делителя частоты второго контрольного блока, с первыми входами пятого и шестого дополнительных элементов И и третьим входом четвертого

5

10

15

20

25

30

дополнительного элемента И, выход которого соединен с единичным входом первого триггера, прямой и инверсный выходы которого соединены соответственно со вторыми входами пятого и второго дополнительных элементов И, выходы которых соединены с соответствующими входами первого элемента ИЛИ, а выход первого дополнительного элемента И соединен с единичным входом второго триггера, прямой и инверсный выходы которого соединены соответственно со вторыми входами третьего и шестого элементов И, выходы которых соединены с соответствующими входами второго элемента ИЛИ.

На чертеже изображена электрическая схема устройства.

Оно содержит делителя 1, 2 частоты, блок 3, 4 контроля, триггеры 5, 6, выполняющие роль элементов памяти, элементы 7, 8 задержки, делители 9, 10 блоков контроля, элементы 11-14 и 15, 16 НЕ блоков контроля, триггеры 17, 18, дополнительные элементы 19-28 НЕ, шины 30-33 выходные, шина 29 входная.

Устройство работает следующим образом.

В исходном положении триггеры 5, 6 находятся в единичном состоянии, а триггеры 17, 18, делители частоты 1, 2, 9, 10 - в нулевом состоянии. Элементы 21, 24 открыты по вторым входам высокими потенциалами инверсных выходов триггеров 17, 18, элементы 22, 23 закрыты по вторым входам низкими потенциалами прямых выходов триггеров 17, 18. Входная последовательность импульсов поступает на входы делителей частоты 1, 2, 9, 10 обоих каналов.

Поскольку оба канала делителя работают аналогично, рассмотрим работу одного первого канала деления. При заданном коэффициенте деления импульсы с выхода делителя 1 поступают на первые входы элементов 11, 12 блока 3, на первые входы элементов 20, 21, 23 и через элемент 27 на первый вход элемента 19, а с выхода делителя 9 - на второй вход элемента 11 и через элемент 15 на второй вход элемента 12 блока 3 и на второй вход элемента 19.

При совпадении импульсов на выходах делителей 1 и 9 появляется положительный сигнал на выходе элемента 11 блока 3, который подтверждает исходное (единичное) состояние триггера 5, на шине 32 присутствует высокий потенциал. Импульс с выхода делителя 1 через открытый по второму входу элемент 21 и через элемент 25 проходит на шину 30.

При несовпадении импульсов на выходах делителей 1 и 9 (при сбое одного из делителей) появляется положительный сигнал на выходе элемента 12

блока 3, который устанавливает триггер 5 в нулевое состояние, соответствующее неисправному состоянию (сбою) канала деления. На инверсном выходе триггера 5 появляется высокий потенциал, по переднему фронту которого делители частоты 1 и 9 устанавливаются в исходное состояние и удерживаются в этом состоянии. На шине 32 присутствует низкий потенциал, сигнализирующий о сбое в первом канале деления. Если второй канал деления исправен, то сигнал с выхода делителя 2 через элемент 8 поступает на единичный вход триггера 5, который устанавливается в единичное состояние, соответствующее исправному состоянию своего канала. На шине 32 появляется высокий потенциал. Запрещающий сигнал на инверсном выходе триггера 5 исчезает и первый канал деления начинает работать. При этом начальное состояние делителей частоты 1, 9 выбирается в соответствии с величиной задержки элемента 8, т.е. после восстановления сбившегося канала по исправному оба канала деления работают синхронно, импульсы на выходах делителей 1, 2 появляются одновременно.

При сбое второго канала деления процесс коррекции протекает аналогичным образом.

В случае отказа делителя в одном из каналов (например отсутствие выходных импульсов на выходе делителя 1) на всех входах элемента 19 в момент появления выходных импульсов на выходах делителей 2, 9 будут положительные сигналы. С выхода элемента 19 положительный сигнал поступает на единичный вход триггера 17, на инверсном выходе которого появляется низкий потенциал, закрывающий по второму входу элемент 21. Высокий потенциал единичного выхода триггера 17 открывает по второму входу элемент 22, на шине 34 устройства появляется высокий потенциал, сигнализирующий о неисправности первого канала деления. С выхода делителя 2 исправного канала выходные импульсы будут поступать одновременно через открытый по второму входу высокий потенциал инверсного выхода триггера 18 элемент 24, через элемент 26 на шину 31 и через открытый по второму входу высоким потенциалом прямого выхода триггера 17 элемент 22, через элемент 25 на шину 30.

В случае отказа делителя 2 на всех входах элемента 20 в момент появления выходных импульсов на выходах делителей 1, 10 будут положительные сигналы. С выхода элемента 20 положительный сигнал поступает на единичный вход триггера 18, на инверсном выходе которого появляется низкий потенциал, закрывающий по второму входу элемент 24. Высокий потенциал еди-

ничного выхода триггера 18 открывает по второму входу элемент 23, на шине 35 появляется высокий потенциал, сигнализирующий о неисправности второго канала деления.

С выхода делителя 1 исправного канала выходные импульсы будут поступать одновременно через открытый по второму входу высоким потенциалом инверсного выхода триггера 17 элемент 21, через элемент 25 на шину 30 и через открытый по второму входу высоким потенциалом прямого выхода триггера 18 элемент 23, через элемент 26 на шину 31.

Конструктивные особенности данного устройства позволяют повысить надежность работы устройства за счет обеспечения выдачи сигналов по обоим каналам не только в случае сбоя делителя частоты в одном из каналов, но и при отказе его. При этом на выход данного канала будут проходить импульсы делителя частоты другого (исправного) канала.

Формула изобретения

Резервированный делитель частоты следования импульсов по авт.св. № 499672, отличающийся тем, что, с целью повышения надежности, в него введены триггеры, элементы ИЛИ и дополнительные элементы И и НЕ, при этом выход первого делителя частоты соединен с первыми входа-

ми первого, второго и третьего дополнительных элементов И непосредственно и через первый дополнительный элемент НЕ с первым входом четвертого дополнительного элемента И, второй вход которого подключен к выходу делителя частоты первого контрольного блока, выход второго делителя частоты соединен через второй дополнительный инвертор со вторым входом первого дополнительного элемента И, третий вход которого подключен к выходу делителя частоты второго контрольного блока, с первыми входами пятого и шестого дополнительных элементов И и третьим входом четвертого дополнительного элемента И, выход которого соединен с единичным входом первого триггера, прямой и инверсный выходы которого соединены соответственно со вторыми входами пятого и второго дополнительных элементов И, выходы которых соединены с соответствующими входами первого элемента ИЛИ, а выход первого дополнительного элемента И соединен с единичным входом второго триггера, прямой и инверсный выходы которого соединены соответственно со вторыми входами третьего и шестого элементов И, выходы которых соединены с соответствующими входами второго элемента ИЛИ.

Источники информации, принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 499672, кл. Н 03 К 21/34, 02.04.74.

