

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年5月22日(2014.5.22)

【公開番号】特開2012-222182(P2012-222182A)

【公開日】平成24年11月12日(2012.11.12)

【年通号数】公開・登録公報2012-047

【出願番号】特願2011-87048(P2011-87048)

【国際特許分類】

H 01 L 21/3205 (2006.01)

H 01 L 21/768 (2006.01)

H 01 L 23/522 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

【F I】

H 01 L 21/88 S

H 01 L 21/88 J

H 01 L 21/90 B

H 01 L 27/04 D

【手続補正書】

【提出日】平成26年4月2日(2014.4.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁層を介して積層された、第1の半導体基体及び第2の半導体基体と、

前記第1の半導体基体に形成され、信号線とグラウンドとを含む第1の伝送線路と、

前記第2の半導体基体に形成され、信号線とグラウンドとを含む第2の伝送線路と、

ピアホール内に形成された導体層から成り、前記第1の伝送線路の信号線及び前記第2の伝送線路の信号線に接続された、信号線用の第1のピア層と、

ピアホール内に形成された導体層から成り、前記第1の伝送線路のグラウンド及び前記第2の伝送線路のグラウンドに接続された、グラウンド用の第1のピア層と、

ピアホール内に形成された導体層から成り、前記第1の伝送線路又は/及び前記第2の伝送線路のグラウンドに接続され、かつ、前記信号線用の第1のピア層に対向して形成された帯状のピア層を含む、グラウンド用の第2のピア層とを有する

半導体装置。

【請求項2】

前記第2のピア層は、前記グラウンド用の第1のピア層よりも浅く形成されている、請求項1に記載の半導体装置。

【請求項3】

前記グラウンド用の第1のピア層に対して、前記第2のピア層とは反対の側に、ピアホール内に形成された導体層から成り、前記第2の伝送線路のグラウンドに接続された、グラウンド用の第3のピア層をさらに有する、請求項1又は請求項2に記載の半導体装置。

【請求項4】

前記第1の伝送線路及び前記第2の伝送線路がいずれもコブレーナ線路である、請求項1～請求項3のいずれか1項に記載の半導体装置。

【請求項 5】

前記第1の伝送線路及び前記第2の伝送線路のうち、一方がコプレーナ線路であり、他方がマイクロストリップ線路である、請求項1～請求項3のいずれか1項に記載の半導体装置。

【請求項 6】

前記第1の伝送線路及び前記第2の伝送線路がいずれもマイクロストリップ線路である、請求項1～請求項3のいずれか1項に記載の半導体装置。

【請求項 7】

前記第1の伝送線路の特性インピーダンス Z_a と、前記第2の伝送線路の特性インピーダンス Z_b とに対して、前記信号線用のビア層と前記第2のビア層とを含むビア部の特性インピーダンスが、 $(Z_a \times Z_b)$ である、請求項1～請求項6のいずれか1項に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

図1A～図1Cに示すように、下層の第1の半導体基体11の上に、コプレーナ線路の中央の信号線12と左右2本のグラウンド線13とが形成されている。また、上層の第2の半導体基体21の上に、コプレーナ線路の中央の信号線22と左右2本のグラウンド線23とが形成されている。

下層の第1の半導体基体11と、上層の第2の半導体基体21とは、絶縁層14を介して積層されている。

そして、第1の半導体基体11上の信号線12と、第2の半導体基体21上の信号線22とは、第2の半導体基体21及び絶縁層14を貫通する第1のビア層15によって、接続されている。同様に、第1の半導体基体11上のグラウンド線13と、第2の半導体基体21上のグラウンド線23とは、第2の半導体基体21及び絶縁層14を貫通する第1のビア層15によって、接続されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

次に、レジストマスク31の開口部より、上層の第2の半導体基体21及び絶縁層14をエッチングする。これにより、図5A～図5Cに示すように、下層のコプレーナ線路(信号線12とグラウンド線13)に達する深いビアホール32と、絶縁層14の途中まで達する浅いビアホール33とを、それぞれ形成する。

このとき、浅いビアホール33は、予め絶縁層14内に形成されたエッチングストップを用いて、エッチングストップに達するまで形成することが好ましい。このエッチングストップとしては、絶縁層14内の配線層や、絶縁層14の他の部分に対してエッチング選択性を有する絶縁層(例えば、酸化シリコン層に対する窒化シリコン層等)を、使用することができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

次に、レジストマスク34の開口部より、上層の第2の半導体基体21及び絶縁層14をエッチングする。これにより、図9A～図9Cに示すように、下層のコプレーナ線路(信号線12とグラウンド線13)に達する深いビアホール32と、絶縁層14の途中まで達する浅いビアホール33,35とを、それぞれ形成する。浅いビアホール33,35のうち、ビアホール33は第2のビア層16に対応し、ビアホール35は第3のビア層17に対応する。

このとき、浅いビアホール33,35は、予め絶縁層14内に形成されたエッチングストップを用いて、エッチングストップに達するまで形成することが好ましい。このエッチングストップとしては、絶縁層14内の配線層や、絶縁層14の他の部分に対してエッチング選択性を有する絶縁層(例えば、酸化シリコン層に対する窒化シリコン層等)を、使用することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

なお、この第4の実施の形態の構成を変形して、第1及び第2の実施の形態と同様に、上層の伝送線路と下層の伝送線路がそれぞれ逆方向に延びる構成とすることも可能である。その場合には、帯状のビア層108は、帯状のビア層108を含む断面に存在する信号線(下層の信号線102、或いは、上層の信号線112)と絶縁されるように、形成する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正の内容】

【0095】

また、第3のビア層107及び帯状のビア層108を、同じ深さとして、かつ図12Bよりも浅くして、下層のグラウンド線109には接続されていない構成(先の実施の形態の浅いビア層16,17と同様の構成)とすることも可能である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正の内容】

【0096】

上述の本実施の形態の構成によれば、信号線102,112を接続する第1のビア層105に対して、他の断面に、グラウンド線109に接続された第3のビア層107及び、第3のビア層107を繋ぐ帯状のビア層108が形成されている。

これにより、他の断面に形成された第3のビア層107及び帯状のビア層108により、信号線102,112を接続する第1のビア層105に対するグラウンドを強化することができる。

これにより、第1のビア層105から外部への電磁波の放射を抑制することができるで、周辺回路を安定して動作させることができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0100

【補正方法】変更

【補正の内容】

【0100】

なお、本開示は以下のような構成も取ることができる。

(1) 絶縁層を介して積層された、第1の半導体基体及び第2の半導体基体と、前記第1の半導体基体に形成され、信号線とグラウンドとを含む第1の伝送線路と、前記第2の半導体基体に形成され、信号線とグラウンドとを含む第2の伝送線路と、ビアホール内に形成された導体層から成り、前記第1の伝送線路の信号線及び前記第2の伝送線路の信号線に接続された、信号線用のビア層と、ビアホール内に形成された導体層から成り、前記第1の伝送線路のグラウンド及び前記第2の伝送線路のグラウンドに接続された、グラウンド用の第1のビア層と、ビアホール内に形成された導体層から成り、前記第1の伝送線路又は前記第2の伝送線路のグラウンドに接続され、かつ、前記信号線用のビア層に対向して形成された帯状のビア層を含む、グラウンド用の第2のビア層とを含む半導体装置。

(2) 前記第2のビア層は、前記第1のビア層よりも浅く形成されている、前記(1)に記載の半導体装置。

(3) 前記第1のビア層に対して、前記第2のビア層とは反対の側に、ビアホール内に形成された導体層から成り、前記第2の伝送線路のグラウンドに接続された、グラウンド用の第3のビア層をさらに含む、前記(1)又は(2)に記載の半導体装置。

(4) 前記第1の伝送線路及び前記第2の伝送線路がいずれもコプレーナ線路である、前記(1)から(3)のいずれかに記載の半導体装置。

(5) 前記第1の伝送線路及び前記第2の伝送線路のうち、一方がコプレーナ線路であり、他方がマイクロストリップ線路である、前記(1)から(3)のいずれかに記載の半導体装置。

(6) 前記第1の伝送線路及び前記第2の伝送線路がいずれもマイクロストリップ線路である、前記(1)から(3)のいずれかに記載の半導体装置。

(7) 前記第1の伝送線路の特性インピーダンス Z_a と、前記第2の伝送線路の特性インピーダンス Z_b とに対して、前記信号線用のビア層と前記第2のビア層とを含むビア部の特性インピーダンスが、 $(Z_a \times Z_b)$ である、前記(1)から(6)のいずれかに記載の半導体装置。