



(12) 发明专利

(10) 授权公告号 CN 101553922 B

(45) 授权公告日 2014. 03. 12

(21) 申请号 200780038511. 0

(22) 申请日 2007. 08. 16

(30) 优先权数据

11/504, 857 2006. 08. 16 US

(85) PCT国际申请进入国家阶段日

2009. 04. 16

(86) PCT国际申请的申请数据

PCT/US2007/018521 2007. 08. 16

(87) PCT国际申请的公布数据

W02008/021575 EN 2008. 02. 21

(73) 专利权人 泰塞拉公司

地址 美国加利福尼亚

(72) 发明人 I·默罕默德 B·哈巴 S·莫兰

王纬舜 E·周 C·韦德

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 陈松涛 王英

(51) Int. Cl.

H01L 25/065 (2006. 01)

H01L 23/31 (2006. 01)

H01L 25/10 (2006. 01)

(56) 对比文件

US 5247423 A, 1993. 09. 21,

US 5247423 A, 1993. 09. 21,

US 2002/0074630 A1, 2002. 06. 20,

US 2002/0074630 A1, 2002. 06. 20,

US 2004/0090759 A1, 2004. 05. 13,

审查员 张弘

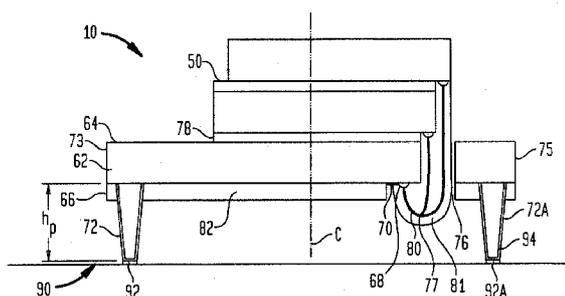
权利要求书5页 说明书20页 附图29页

(54) 发明名称

微电子封装结构和制造该结构的方法

(57) 摘要

一种微电子封装,包括下方单元110A,下方单元具有下方单元基板,下方单元基板具有导电特征以及顶表面和底表面64、66。下方单元110A包括位于下方单元基板62顶表面64上且电连接到下方单元基板62的导电特征68、70的一个或多个下方单元芯片112A、132A。该微电子封装还包括上方单元110,上方单元110包括上方单元基板,该上方单元基板具有导电特征、顶表面和底表面以及在这种顶表面和底表面之间延伸的孔。上方单元还可以包括位于上方单元基板的顶表面上的一个或多个上方单元芯片112、132,该上方单元芯片通过孔76内延伸的连接部电连接到上方单元基板的导电特征。



1. 一种微电子封装结构,包括:

下方单元,所述下方单元包括具有导电特征和顶表面、底表面的下方单元基板,所述下方单元包括位于所述下方单元基板的所述顶表面上的一个或多个下方单元芯片,所述下方单元芯片电连接到所述下方单元基板的所述导电特征;以及

上方单元,所述上方单元包括上方单元基板,所述上方单元基板具有导电特征、顶表面、底表面和延伸于这种顶表面和底表面之间的孔,所述导电特征包括多个键合焊盘,所述上方单元还包括位于所述上方单元基板的所述顶表面上的一个或多个上方单元芯片,每个所述上方单元芯片通过穿过所述孔延伸的多个引线而电连接到所述上方单元基板的所述导电特征,每个引线具有联结至所述一个或多个上方单元芯片的接触焊盘的第一端且具有与所述第一端相对且联结至所述上方单元基板的所述多个键合焊盘中的键合焊盘的另一端,所述上方单元基板设置于所述下方单元芯片上方,所述孔和所述上方单元的所述多个引线沿第一水平方向从所述下方单元芯片偏移开。

2. 根据权利要求 1 所述的微电子封装结构,还包括电连接所述上方单元基板和所述下方单元基板的所述导电特征的导电连接部。

3. 根据权利要求 2 所述的微电子封装结构,其中所述上方单元的所述孔相对于所述微电子封装结构的中线沿所述第一水平方向偏移,所述一个或多个下方单元芯片相对于所述中线沿与所述第一水平方向相反的第二水平方向偏移。

4. 根据权利要求 3 所述的微电子封装结构,其中所述下方单元具有在所述下方单元基板的所述顶表面和所述底表面之间延伸的孔,所述一个或多个下方单元芯片通过延伸穿过所述下方单元基板中的所述孔的连接部电连接到所述下方单元基板的所述导电特征。

5. 根据权利要求 4 所述的微电子封装结构,其中所述下方单元基板相对于所述中线沿所述第二水平方向偏移。

6. 根据权利要求 1 所述的微电子封装结构,其中所述一个或多个下方单元芯片具有顶表面,并且其中所述上方单元的所述引线向下延伸到所述一个或多个下方单元芯片中的顶下方单元芯片的所述顶表面下方,所述顶下方单元芯片与所述上方单元基板直接相邻设置。

7. 根据权利要求 4 所述的微电子封装结构,其中所述一个或多个下方单元芯片具有顶表面,所述上方单元包括覆盖所述上方单元的所述多个引线的上方单元密封剂,并且其中所述上方单元密封剂向下延伸到所述一个或多个下方单元芯片的所述顶表面下方。

8. 根据权利要求 7 所述的微电子封装结构,其中所述上方单元密封剂还覆盖所述一个或多个上方单元芯片。

9. 根据权利要求 8 所述的微电子封装结构,其中所述下方单元包括覆盖所述下方单元的所述引线和所述一个或多个下方单元芯片的下方单元密封剂。

10. 根据权利要求 4 所述的微电子封装结构,其中所述下方单元包括覆盖所述下方单元的所述连接部和所述一个或多个下方单元芯片的下方单元密封剂。

11. 根据权利要求 10 所述的微电子封装结构,其中所述至少一个或多个上方单元芯片包括四个芯片。

12. 根据权利要求 11 所述的微电子封装结构,其中所述四个芯片中的每个都具有边缘,所述引线中的至少一条跨过所述四个芯片的边缘中的每个延伸。

13. 根据权利要求 10 所述的微电子封装结构,其中所述下方单元密封剂具有一个或多个台阶。

14. 根据权利要求 9 所述的微电子封装结构,其中所述上方单元密封剂具有一个或多个台阶。

15. 根据权利要求 14 所述的微电子封装结构,其中所述下方单元密封剂具有一个或多个台阶,所述上方单元的至少一个台阶与所述下方单元的至少一个台阶相邻。

16. 根据权利要求 1 所述的微电子封装结构,其中所述下方单元包括左交错叠置封装和右交错叠置封装之一,其中所述上方单元也包括左交错叠置封装和右交错叠置封装之一。

17. 根据权利要求 1 所述的微电子封装结构,其中所述下方单元基板的所述导电特征包括键合焊盘、迹线和导电柱,并且所述上方单元基板和所述下方单元基板通过所述导电柱电连接。

18. 根据权利要求 1 所述的微电子封装结构,其中覆盖所述上方单元的所述引线的密封剂延伸到所述下方单元芯片以外。

19. 根据权利要求 1 所述的微电子封装结构,其中所述上方基板中的所述孔设置在所述下方单元的最上单元芯片的边缘以外。

20. 根据权利要求 2 所述的微电子封装结构,其中所述导电连接部包括从所述上方单元基板或所述下方单元基板中的至少一个朝向所述上方单元基板或所述下方单元基板中的另一个延伸的导电柱。

21. 根据权利要求 2 所述的微电子封装结构,其中所述导电连接部包括在所述上方单元基板或所述下方单元基板中的至少一个的表面处暴露的导电焊盘。

22. 一种微电子封装结构,包括:

具有多个触点的第二微电子元件;

具有多个触点的第二微电子元件,所述第二微电子元件设置于所述第一微电子元件下方;

设置于所述第二微电子元件下方的电介质元件,所述电介质元件具有第一面、远离所述第一面的第二面、所述第二面上暴露出的导电特征以及从所述第一面延伸到所述第二面的孔;

在所述第一微电子元件的所述多个触点和所述电介质元件的至少一些所述导电特征之间延伸的第一组连接元件;以及

在所述第二微电子元件的所述多个触点和所述电介质元件的至少一些所述导电特征之间延伸的第二组连接元件;

其中所述第一组连接元件中的至少一些和所述第二组连接元件中的至少一些延伸穿过所述电介质元件的所述孔,

其中在所述第一和第二微电子元件以及所述第一和第二组连接元件上设置密封剂,以及

所述电介质元件上的导电封装叠置元件包括多个导电柱或多个导电焊盘中的至少一个,所述封装叠置元件通过所述第一和第二组连接元件与所述第一和第二微电子元件电连接,其中所述封装叠置元件具有位置并配置为使得能够实现所述微电子封装结构与另一微

电子封装结构的封装上封装叠置,且所述电介质元件与所述另一微电子封装结构的电介质元件之间的间距高度足够容纳所述第一和第二微电子元件。

23. 根据权利要求 22 所述的微电子封装结构,其中所述第一组连接元件和所述第二组连接元件包括引线。

24. 根据权利要求 23 所述的微电子封装结构,其中所述导电特征包括直接啮合到所述第一组引线中的至少一些和所述第二组引线中的至少一些的键合焊盘。

25. 根据权利要求 24 所述的微电子封装结构,其中所述导电特征包括迹线且所述封装叠置元件包括所述导电柱,至少一些所述迹线从至少一些所述键合焊盘延伸到至少一些所述导电柱。

26. 根据权利要求 24 所述的微电子封装结构,其中所述导电特征包括迹线且所述封装叠置元件包括所述导电焊盘,至少一些所述迹线从至少一些所述键合焊盘延伸到至少一些所述导电焊盘。

27. 根据权利要求 25 或 26 所述的微电子封装结构,其中所述第一组引线和所述第二组引线包括在所述电介质元件的所述键合焊盘下方延伸的部分。

28. 根据权利要求 27 所述的微电子封装结构,其中所述导电柱具有与所述电介质元件相邻的顶表面和远离所述电介质元件的底表面,所述引线的所述部分位于所述顶表面和所述底表面之间。

29. 根据权利要求 22 所述的微电子封装结构,其中所述第一微电子元件包括接触部分以及与所述接触部分相邻的中央部分,所述第二微电子元件包括接触部分和中央部分,所述第一微电子元件的所述中央部分位于所述第二微电子元件的所述接触部分上方,使得所述第一微电子元件的所述接触部分向外延伸到所述第二微电子元件的所述接触部分之外。

30. 根据权利要求 22 所述的微电子封装结构,还包括具有触点的电路面板,其中所述电介质元件的至少一些所述导电特征电连接到所述电路面板的所述触点。

31. 根据权利要求 22 所述的微电子封装结构,其中所述密封剂在所述连接元件处的高度大于所述密封剂在所述微电子元件上方的高度。

32. 根据权利要求 22 所述的微电子封装结构,其中所述密封剂在所述微电子元件处的所述高度至少比所述密封剂在所述连接元件上方的高度小 50 微米。

33. 根据权利要求 22 所述的微电子封装结构,还包括位于所述第二微电子元件上方的第三微电子元件和位于所述第三微电子元件上方的第四微电子元件,所述电介质元件具有外边缘,所述第一、第二、第三和第四微电子元件中的每个都具有边缘,所述第四微电子元件的所述边缘比所述第一、第二和第三微电子元件的所述边缘更靠近所述电介质元件的所述外边缘。

34. 一种微电子封装结构,包括:

第一单元,所述第一单元包括具有导电特征以及顶和底表面的第一单元基板,所述第一单元包括位于所述第一单元基板的所述顶表面上的一个或多个第一单元芯片,所述第一单元芯片通过连接部电连接到所述第一单元基板的所述导电特征;以及

第二单元,所述第二单元包括第二单元基板,所述第二单元基板具有导电特征、顶表面、底表面和延伸于这种顶表面和底表面之间的孔,所述导电特征包括多个键合焊盘,所述第二单元还包括一个或多个第二单元芯片,所述一个或多个第二单元芯片位于所述第二单

元基板的所述顶表面上,每个所述第二单元芯片通过穿过所述孔从所述第二单元芯片延伸到所述导电特征的多个引线而电连接到所述第二单元基板的所述导电特征,每个引线具有联结至所述一个或多个第二单元芯片的接触焊盘的第一端且具有与所述第一端相对且联结至所述第二单元基板的所述多个键合焊盘中的键合焊盘的另一端,所述第二单元基板设置于所述第一单元芯片上方,且所述第二单元的所述多个引线沿第一水平方向从所述第一单元芯片偏移开,

并且其中所述第一单元包括覆盖所述第一单元的所述连接部和所述一个或多个第一单元芯片的第一单元密封剂。

35. 根据权利要求 34 所述的微电子封装结构,其中所述密封剂在所述第一单元的所述连接部处的高度大于所述密封剂覆盖所述一个或多个第一单元芯片的至少一部分的高度。

36. 根据权利要求 34 所述的微电子封装结构,其中所述密封剂在所述一个或多个第一单元芯片处的高度至少比所述密封剂在所述第一单元的所述连接部上方的高度小 50 微米。

37. 根据权利要求 34 所述的微电子封装结构,其中所述第一单元芯片的具有触点的面面向上方,远离所述第一单元基板的所述顶表面。

38. 根据权利要求 34 所述的微电子封装结构,其中所述第一单元芯片的具有触点的面面向下方,朝向所述第一单元基板的所述顶表面。

39. 根据权利要求 34 所述的微电子封装结构,其中所述第一单元的所述连接部包括引线。

40. 根据权利要求 34 所述的微电子封装结构,其中,导电连接部电连接所述第一单元基板和所述第二单元基板的所述导电特征,所述导电连接部包括从所述第一单元基板或所述第二单元基板中的至少一个朝向所述第一单元基板或所述第二单元基板中的另一个延伸的导电柱。

41. 根据权利要求 34 所述的微电子封装结构,其中,导电连接部电连接所述第一单元基板和所述第二单元基板的所述导电特征,所述导电连接部包括在所述第一单元基板或所述第二单元基板中的至少一个的表面处暴露的导电焊盘。

42. 一种制造微电子封装结构的方法,包括如下步骤:

将第一芯片附着到第二芯片,使得所述第一芯片的第一部分向外延伸到所述第二芯片的第一部分之外;

将所述第二芯片附着到基板的第一面,所述基板具有相对的第二面和至少一个穿过其延伸的孔,所述第二面包括导电元件;

经由多个引线将所述第一芯片和所述第二芯片电连接到所述基板的所述导电元件,其中至少一个引线将所述第一芯片电连接到所述导电元件中的一个导电元件,并且至少另一引线将所述第二芯片也电连接到所述导电元件中的所述一个导电元件,所述引线穿过所述基板的公共的孔延伸到所述导电元件中的所述一个导电元件;

密封所述多个引线,包括密封穿过所述公共的孔的所述引线;以及
提供从所述基板延伸开的多个柱。

43. 根据权利要求 42 所述的方法,其中所述第一芯片和所述第二芯片包括具有暴露于其上的触点的接触部分,其中将所述第一芯片和所述第二芯片电连接到所述基板的所述导

电元件的步骤包括将所述第一和第二芯片中的每个的所述触点连接到所述基板的所述导电元件。

44. 根据权利要求 43 所述的方法,其中所述基板的所述导电元件包括键合焊盘、迹线和导电柱。

45. 根据权利要求 42 所述的方法,还包括将所述基板的所述导电元件中的至少一些电连接到电路面板。

46. 一种制造微电子封装结构的方法,包括如下步骤:

制备包括第一单元基板的第一单元,所述第一单元基板具有导电特征以及顶表面和底表面,所述第一单元包括位于所述第一单元基板的所述顶表面上的一个或多个第一单元芯片,所述一个或多个第一单元芯片电连接至所述第一单元基板的所述导电特征;

利用连接部将所述第一单元芯片电连接到所述第一单元基板的所述导电特征;以及

制备包括第二单元基板的第二单元,所述第二单元基板具有导电特征、顶表面、底表面以及延伸于这种顶表面和底表面之间的孔,所述第二单元还包括位于所述第二单元基板的所述顶表面上的一个或多个第二单元芯片;

利用穿过所述孔延伸的引线将所述第二单元芯片电连接到所述第二单元基板的所述导电特征;

将每个所述引线的第一端联结至所述一个或多个第二单元芯片的接触焊盘,并将与所述第一端相对的另一端联结至所述第二单元基板的多个键合焊盘中的键合焊盘,

在所述第一单元芯片上方定位所述第二单元,使得所述第二单元的所述孔和所述引线沿第一水平方向从所述第一单元芯片偏移开。

47. 根据权利要求 46 所述的方法,还包括利用互连元件将所述第一单元的所述导电特征中的至少一些电连接到所述第二单元的所述导电特征中的至少一些。

48. 根据权利要求 47 所述的方法,其中所述第一单元芯片具有顶表面,其中在定位所述第二单元的步骤期间,所述第二单元的所述引线被设置于所述第一单元芯片的所述顶表面下方。

49. 根据权利要求 48 所述的方法,还包括在所述第二单元的所述引线周围施加密封剂,其中所述密封剂设置于所述第一单元芯片的所述顶表面下方。

50. 根据权利要求 46 所述的方法,其中所述第一单元基板包括从所述顶表面延伸到所述底表面的孔,所述第一单元的所述连接部中的至少一些穿过所述孔延伸,其中所述微电子封装结构的中线延伸通过所述第一单元基板和所述第二单元基板的中心,其中所述第一单元基板的所述孔沿第一水平方向从所述中线偏移开,并且所述第二单元基板的所述孔沿与所述第一水平方向相反的第二水平方向从所述中线偏移开。

51. 根据权利要求 50 所述的方法,其中所述第一单元芯片沿所述第一水平方向从所述中线偏移开,且所述第二单元芯片沿所述第二水平方向从所述中线偏移开。

微电子封装结构和制造该结构的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求享有 2006 年 8 月 16 日提交的题为“Microelectronic Package”的申请 No. 11/504857 的权益,在此通过引用将其公开内容并入本文。

背景技术

[0003] 本发明涉及微电子设备和制造用于微电子封装和组件的微电子部件的方法。

[0004] 半导体芯片通常设置在封装中,在制造期间,以及在将芯片安装在诸如电路板或其他电路面板的外部基板上期间,封装有助于芯片的处理。例如,很多半导体芯片是设置在适于表面安装的封装中的。已经针对各种应用提出了这一大类的很多种封装。已经开发了一些类型的封装,其利用了具有上面设置有导电迹线的电介质基板的微电子部件。在这种设置中,导电柱或支柱从基板表面突出出来。每个柱都连接到迹线之一的一部分。在其设置允许每个柱独立于其他柱运动的芯片封装中,这种微电子部件尤其有用。柱的运动允许多个柱的尖端同时与电路板上的接触焊盘啮合,而不论电路板或封装中是否有不规则性,例如电路板的翘曲。此外,这便于利用可以具有基本平坦的触点的测试板来测试封装并消除了对专用的昂贵测试插座的需要。

[0005] 这种微电子部件具有各种应用,并且可以用在若干不同的微电子封装布置中。如美国专利申请 No. 11/014439、10/985119 和 10/985126 的某些优选实施例中披露的那样,一种这样的微电子封装可以包括诸如半导体芯片的微电子元件和包括基板的微电子部件,该基板与微电子元件的第一面间隔开并覆盖该第一面,上述申请的公开通过引用而被并入本文。这种部件可以包括多个从基板开始延伸并从微电子元件突出出来的导电柱,至少一些导电柱与微电子元件电互连。此外,这种封装可以包括多个设置于微电子元件和基板之间并在微电子元件上方支撑基板的支撑元件。至少一些导电柱可以沿平行于基板平面的水平方向从支撑元件偏移开。例如,可以将支撑元件设置成阵列,其中基板的区域设置于相邻支撑元件之间,而柱可以设置于这种区域的中心附近。

[0006] 用于这种微电子部件中的电介质基板可以由诸如聚酰亚胺或其他聚合物片的材料制成。其包括顶表面和远离顶表面的底表面。虽然电介质基板的厚度将随着应用而变化,但电介质基板最典型的厚度大约为 10 μ m-100 μ m。聚合物片上具有导电迹线。在一个实施例中,导电迹线设置于片的底表面上。不过在其他实施例中,导电迹线可以在片的顶表面上、在顶表面和底表面二者上或在基板内部延伸。导电迹线可以由任何导电材料形成,但最典型地由铜、铜合金、金或这些材料的组合形成。迹线的厚度也将随着应用而变化,但典型的大约为 5 μ m-25 μ m。设置导电迹线,使每条迹线具有支撑端以及远离支撑端的柱端。可以通过诸如共同未决、共同转让的美国专利申请 No. 10/959465 中所披露的工艺制造电介质片、迹线和柱体,在此通过引用将其公开内容并入本文。如 '465 申请所更详细披露的,蚀刻金属板或以其他方式处理金属板以形成很多从板突出出来的金属柱。向该板施加电介质层,使柱体突出穿过所述电介质层。电介质层的内侧面对金属板,而电介质层的外侧面对柱体的尖端。以前是通过迫使柱体与电介质片啮合使得柱体穿透该片来制造该电介质层的。一旦

片到位,就蚀刻金属板以形成电介质层内侧上的各迹线。或者,诸如镀覆的常规工艺可以形成迹线或蚀刻,而可以利用共同转让的美国专利 6177636 中披露的方法形成柱体,在此通过引用将其公开内容并入本文。在另一种选择中,可以将柱体做成单个元件并通过任何将柱体连接到迹线的适当方式将其组装到片上。

[0007] 尽管现有技术中已经有了这些发展,但仍希望在制造微电子部件方面做出进一步改进。

发明内容

[0008] 根据本发明的一方面,提供了一种微电子封装结构,包括:

[0009] 下方单元,所述下方单元包括具有导电特征和顶表面、底表面的下方单元基板,所述下方单元包括位于所述下方单元基板的所述顶表面上的一个或多个下方单元芯片,所述下方单元芯片电连接到所述下方单元基板的所述导电特征;以及

[0010] 上方单元,所述上方单元包括上方单元基板,所述上方单元基板具有导电特征、顶表面、底表面和延伸于这种顶表面和底表面之间的孔,所述导电特征包括多个键合焊盘,所述上方单元还包括位于所述上方单元基板的所述顶表面上的一个或多个上方单元芯片,每个所述上方单元芯片通过穿过所述孔延伸的多个引线而电连接到所述上方单元基板的所述导电特征,每个引线具有联结至所述一个或多个上方单元芯片的接触焊盘的第一端且具有与所述第一端相对且联结至所述上方单元基板的所述多个键合焊盘中的键合焊盘的另一端,所述上方单元基板设置于所述下方单元芯片上方,所述孔和所述上方单元的所述多个引线沿第一水平方向从所述下方单元芯片偏移开。

[0011] 该微电子封装还可以包括电连接上方单元基板和下方单元基板的导电特征的导电连接部。所述导电连接部可以限定图案,且上方单元的孔可以相对于图案沿第一水平方向偏移。所述一个或多个下方单元芯片可以相对于图案沿与第一水平方向相反的第二水平方向偏移。

[0012] 该下方单元可以具有在下方单元基板的顶表面和底表面之间延伸的孔,从而利用穿过下方单元基板中的孔延伸的连接部将所述一个或多个下方单元芯片电连接到下方单元基板的导电特征。下方单元基板也可以相对于导电连接部的图案沿第二水平方向偏移。该微电子封装还可以具有覆盖一个或多个上方单元芯片的上方单元密封剂以及覆盖下方单元的连接部和一个或多个下方单元芯片的下方单元密封剂。可以将上方和下方单元密封剂设置在上方和下方单元芯片和连接部上方,从而制作出一个或多个台阶。所述上方单元的台阶之一可以与下方单元的台阶之一相邻。

[0013] 也可以有微电子封装的四个上方单元芯片。上方单元芯片中的每个都可以具有边缘,引线跨过四个芯片的每个边缘延伸到上方单元基板的导电特征。

[0014] 在备选实施例中,提供了一种微电子封装结构,包括:

[0015] 具有多个触点的第一微电子元件;

[0016] 具有多个触点的第二微电子元件,所述第二微电子元件设置于所述第一微电子元件下方;

[0017] 设置于所述第二微电子元件下方的电介质元件,所述电介质元件具有第一面、远离所述第一面的第二面、所述第二面上暴露出的导电特征以及从所述第一面延伸到所述第

二面的孔；

[0018] 在所述第一微电子元件的所述多个触点和所述电介质元件的至少一些所述导电特征之间延伸的第一组连接元件；以及

[0019] 在所述第二微电子元件的所述多个触点和所述电介质元件的至少一些所述导电特征之间延伸的第二组连接元件；

[0020] 其中所述第一组连接元件中的至少一些和所述第二组连接元件中的至少一些延伸穿过所述电介质元件的所述孔，

[0021] 其中在所述第一和第二微电子元件以及所述第一和第二组连接元件上设置密封剂，以及

[0022] 所述电介质元件上的导电封装叠置元件包括多个导电柱或多个导电焊盘中的至少一个，所述封装叠置元件通过所述第一和第二组连接元件与所述第一和第二微电子元件电连接，其中所述封装叠置元件具有位置并配置为使得能够实现所述微电子封装结构与另一微电子封装结构的封装上封装叠置，且所述电介质元件与所述另一微电子封装结构的电介质元件之间的间距高度足够容纳所述第一和第二微电子元件。

[0023] 该微电子封装还可以具有设置于该孔内延伸的连接部上方的密封剂。该密封剂可以分布在微电子元件和连接部两者上方作为过模制件。密封剂或过模制件在连接部处的高度可以大于密封剂在微电子元件上方的高度。例如，该密封剂在微电子元件处的高度可以比该密封剂在连接元件上方的高度小至少 50 微米。

[0024] 该微电子封装还可以包括位于第二微电子元件上方的第三微电子元件以及位于第三微电子元件上方的第四微电子元件。该电介质元件也可以具有外边缘，第一、第二、第三和第四微电子元件中的每个还可以具有边缘。该第四微电子元件的边缘可以比第一、第二和第三微电子元件的边缘更靠近电介质元件的外边缘。

[0025] 在本发明的另一方面中，提供了一种微电子封装结构，包括：

[0026] 第一单元，所述第一单元包括具有导电特征以及顶和底表面的第一单元基板，所述第一单元包括位于所述第一单元基板的所述顶表面上的一个或多个第一单元芯片，所述第一单元芯片通过连接部电连接到所述第一单元基板的所述导电特征；以及

[0027] 第二单元，所述第二单元包括第二单元基板，所述第二单元基板具有导电特征、顶表面、底表面和延伸于这种顶表面和底表面之间的孔，所述导电特征包括多个键合焊盘，所述第二单元还包括一个或多个第二单元芯片，所述一个或多个第二单元芯片位于所述第二单元基板的所述顶表面上，每个所述第二单元芯片通过穿过所述孔从所述第二单元芯片延伸到所述导电特征的多个引线而电连接到所述第二单元基板的所述导电特征，每个引线具有联结至所述一个或多个第二单元芯片的接触焊盘的第一端且具有与所述第一端相对且联结至所述第二单元基板的所述多个键合焊盘中的键合焊盘的另一端，所述第二单元基板设置于所述第一单元芯片上方，且所述第二单元的所述多个引线沿第一水平方向从所述第一单元芯片偏移开，

[0028] 并且其中所述第一单元包括覆盖所述第一单元的所述连接部和所述一个或多个第一单元芯片的第一单元密封剂。

[0029] 密封剂在连接元件处的高度可以大于密封剂覆盖微电子元件的至少一部分的高度。例如，该密封剂在微电子元件处的高度可以比该密封剂在连接元件，例如引线上方的高

度至少小 50 微米。

[0030] 第一单元芯片的触点支撑面可以面向上方,远离第一单元基板的顶表面,或面向下方,朝向第一单元基板的顶表面。

[0031] 在本发明的另一方面中,提供了一种制造微电子封装结构的方法,包括如下步骤:

[0032] 将第一芯片附着到第二芯片,使得所述第一芯片的第一部分向外延伸到所述第二芯片的第一部分之外;

[0033] 将所述第二芯片附着到基板的第一面,所述基板具有相对的第二面和至少一个穿过其延伸的孔,所述第二面包括导电元件;

[0034] 经由多个引线将所述第一芯片和所述第二芯片电连接到所述基板的所述导电元件,其中至少一个引线将所述第一芯片电连接到所述导电元件中的一个导电元件,并且至少另一引线将所述第二芯片也电连接到所述导电元件中的所述一个导电元件,所述引线穿过所述基板的公共的孔延伸到所述导电元件中的所述一个导电元件;

[0035] 密封所述多个引线,包括密封穿过所述公共的孔的所述引线;以及

[0036] 提供从所述基板延伸开的多个柱。

[0037] 在本发明的另一方面中,提供了一种制造微电子封装结构的方法,包括如下步骤:

[0038] 制备包括第一单元基板的第一单元,所述第一单元基板具有导电特征以及顶表面和底表面,所述第一单元包括位于所述第一单元基板的所述顶表面上的一个或多个第一单元芯片,所述一个或多个第一单元芯片电连接至所述第一单元基板的所述导电特征;

[0039] 利用连接部将所述第一单元芯片电连接到所述第一单元基板的所述导电特征;以及

[0040] 制备包括第二单元基板的第二单元,所述第二单元基板具有导电特征、顶表面、底表面以及延伸于这种顶表面和底表面之间的孔,所述第二单元还包括位于所述第二单元基板的所述顶表面上的一个或多个第二单元芯片;

[0041] 利用穿过所述孔延伸的引线将所述第二单元芯片电连接到所述第二单元基板的所述导电特征;

[0042] 将每个所述引线的第一端联结至所述一个或多个第二单元芯片的接触焊盘,并将与所述第一端相对的另一端联结至所述第二单元基板的多个键合焊盘中的键合焊盘,

[0043] 在所述第一单元芯片上方定位所述第二单元,使得所述第二单元的所述孔和所述引线沿第一水平方向从所述第一单元芯片偏移开。

[0044] 根据本发明的另一方面,提供了一种在第一和第二互连元件之间形成导电互连的方法。在这种方法中,利用熔融的焊料将从第一互连元件延伸的导电柱与第二互连元件的导电焊盘结合在一起。然后可以使焊料沿与第一互连元件的导电柱的高度对齐的方向伸长。

[0045] 在特定范例中,导电互连的高度可以是导电焊盘直径的至少一又二分之一倍。

[0046] 根据本发明的一个方面,提供了一种通过导电立柱使第一和第二基板导电互连的方法。通过浸润导电柱的壁的焊料立柱将从第一基板的主表面突出出来的导电柱连接到暴露于第二基板主表面上的导电特征。该导电立柱在与第二基板相邻的末端具有宽度 W ,在第

一和第二基板之间的中点处具有宽度 M 。在本发明的一个方面中,宽度 M 与宽度 W 之比小于 1.2。

[0047] 根据本发明的一个方面,提供了一种通过导电立柱使第一和第二基板导电互连的方法。在这种方法中,使从第一基板主表面突出出来的第一凸点与从第二基板主表面向第一凸点突出的相应的第二凸点对齐,其中第一和第二凸点中的每个都包括焊料。例如,通过加热将第一和第二凸点熔融为导电立柱,其中每个立柱在与第二基板相邻的末端具有宽度 W ,在第一和第二基板之间的中点具有宽度 M 。在本发明的特定方面中,宽度 M 与宽度 W 之比小于 1.2。

[0048] 根据本发明的特定方面,第一和第二凸点中的每个可以包括焊膏。在本发明的一个方面中,第一和第二凸点中的每个都基本由焊料构成。

[0049] 根据本发明的一个方面,提供了一种通过导电立柱使第一和第二基板导电互连的方法。在这种方法中,将从第一基板的第一面突出出来的暴露立柱与第二基板的面对第一面的第二面上暴露出的特征结合在一起,其中每个暴露立柱包括焊膏。例如,通过加热将暴露立柱熔融到暴露特征,以形成互连第一和第二基板的导电立柱。每个这样的立柱在与第二基板相邻的末端具有宽度 W ,在第一和第二基板之间的中点处具有宽度 M ,其中宽度 M 与宽度 W 之比小于 1.2。在特定实施例中,第二基板的暴露特征包括从第二面突出出来的立柱,这种立柱也包括焊膏。

[0050] 根据本发明的另一方面,提供了一种微电子组件,其包括第一布线元件,第一布线元件具有限定第一平面的顶表面。第二布线元件具有限定不同于第一平面的第二平面的底表面,该底表面面对第一布线元件的顶表面。第一或第二布线元件之一或两者可以包括暴露于相对表面之一上的多个导电焊盘。在特定实施例中,可以将微电子元件导电连接到第一或第二布线元件之一或两者。

[0051] 多个导电立柱将第一布线元件与第二布线元件连接起来。导电立柱包括沿下述至少一个方向突出出来的导电柱:i)从第一布线元件向第二布线元件的焊盘或 ii)从第二布线元件向第一布线元件的焊盘。立柱还可以包括覆盖导电柱的焊料。焊料可以将第一或第二布线元件中的至少一个的导电柱与第一或第二布线元件中的至少一个的相对表面上暴露出的焊盘结合在一起。在一个实施例中,每个立柱的高度大于这种立柱中所包括的导电柱的高度。

[0052] 根据本发明的特定方面,第一或第二布线元件之一或两者还可以包括从焊盘沿这种布线元件所限定的第一或第二平面的方向延伸的迹线。在特定范例中,每个焊盘的宽度可以小于每个立柱的高度。

[0053] 根据本发明的特定方面,每个立柱可以在顶端结合到第二布线元件,并可以在底端结合到第一布线元件。这种立柱在顶端和底端之间的位置处的腰宽可以小于 1.2 乘以这种立柱在顶端的宽度。此外,这种立柱的腰宽可以小于 1.2 乘以这种立柱在底端的宽度。

[0054] 根据本发明的特定方面,可以以一定间距(pitch)设置导电柱,高度大于该间距的一半。

[0055] 根据本发明的另一方面,提供了一种微电子组件。这种组件的第一布线元件可以具有限定第一平面的顶表面和暴露于顶表面上的多个第一导电焊盘。第二布线元件可以具有限定不同于第一平面的第二平面的底表面,该底表面面对第一布线元件的顶表面。在该

底表面上可以暴露多个第二导电焊盘。微电子元件可以导电连接到第一或第二布线元件中的至少一个。每个都包括焊料的导电立柱可以使第一导电焊盘中的一些与第二导电焊盘中的相应的一些相连接。

[0056] 根据本发明的特定方面,每个立柱在第一和第二导电焊盘之间的中点处可以具有宽度 M 。每个立柱在第一和第二导电焊盘之间的高度 H 可以大于宽度 M 。

[0057] 根据本发明的特定方面,每个立柱在第一和第二导电焊盘之间的高度可以大于导电立柱中所包括的第一导电焊盘的间距的一半。

[0058] 在本发明的一个方面中,第一或第二布线元件中的至少一个还包括沿这种布线元件所限定的相应平面从这种布线元件的导电焊盘中的相应的一个延伸的迹线。

[0059] 在本发明的特定方面中,每个导电焊盘的宽度可以小于每个立柱的高度。

[0060] 在本发明的特定方面中,每个立柱可以在底端结合到第一导电焊盘之一,并在顶端结合到第二导电焊盘之一。每个这种立柱在顶端和底端之间的中点处具有宽度 M ,在底端具有宽度 W 。在本发明的特定方面中,宽度 M 与宽度 W 之比小于 1.2。

附图说明

- [0061] 图 1 是结合本发明使用的第一部件的俯视图;
- [0062] 图 2 是图 1 的部件的底部透视图;
- [0063] 图 3 是组装随后阶段图 1 和 2 的部件的底部透视图;
- [0064] 图 4 是根据本发明一个实施例的叠置封装的截面图;
- [0065] 图 5A 是图 4 所示实施例的底视图;
- [0066] 图 5B-5C 是根据本发明的其他实施例的底视图;
- [0067] 图 6 是根据本发明的实施例的截面图;
- [0068] 图 6B 是根据本发明的备选实施例的截面图;
- [0069] 图 6C 是图 6B 所示实施例的俯视平面图;
- [0070] 图 7 是根据本发明的备选实施例的截面图;以及
- [0071] 图 8 是根据本发明的备选实施例的截面图;
- [0072] 图 9 是根据本发明的备选实施例的截面图;
- [0073] 图 10 是图 9 的一部分的分解图;
- [0074] 图 11 是图 9 的另一部分的分解图;
- [0075] 图 12 是图 9 的备选实施例的若干部件的透视俯视图;
- [0076] 图 13 是图 9 的备选实施例的若干部件的透视底视图;
- [0077] 图 14 是图 9 的备选实施例的透视俯视图;
- [0078] 图 15 是图 9 的备选实施例的俯视平面图;
- [0079] 图 16 是图 9 的备选实施例的一部分的平面图;
- [0080] 图 17 是根据本发明的备选实施例的截面图;
- [0081] 图 18 是图 17 的备选实施例的一部分的平面图;
- [0082] 图 19 是根据本发明的另一备选实施例的截面图;
- [0083] 图 19A 是根据本发明的备选实施例的截面图;
- [0084] 图 20 是图 21 所示另一备选实施例的一部分的透视图;

- [0085] 图 21 是根据本发明的备选实施例的截面图；
- [0086] 图 22 是图 21 所示备选实施例的透视图；
- [0087] 图 23 是根据本发明的另一备选实施例；
- [0088] 图 24 是图 23 所示备选实施例的俯视平面图；
- [0089] 图 25 是图 23 所示备选实施例的侧视平面图；
- [0090] 图 26 是根据本发明的另一备选实施例的截面图；
- [0091] 图 26A 是根据本发明实施例恰在组装前的图 26 的截面图；
- [0092] 图 27 是图 26 所示导电立柱的分解截面图；
- [0093] 图 28 是现有技术的图表，示出了焊球的间距是如何影响纯焊料柱的间隙 (standoff) 的；
- [0094] 图 29 是示出了根据本发明制造导电立柱是如何实现更大间隙和更小间隙的图表；
- [0095] 图 30 是示出了根据本发明减小导电焊盘的直径尺寸如何能影响导电立柱间隙的图表；
- [0096] 图 31 示出了根据本发明另一个实施例的具有导电立柱的微电子组件；
- [0097] 图 32 到 35 示出了制造图 31 所示微电子组件的方法的各阶段；
- [0098] 图 36-37 示出了根据图 32-35 所示的实施例的变型的制造微电子组件的方法中的各阶段；
- [0099] 图 38 示出了根据图 32-35 所示实施例的另一变型的制造微电子组件的方法中的阶段。

具体实施方式

[0100] 根据本发明一个实施例，微电子封装 10 包括诸如图 1 和 2 中所示的半导体芯片 12 的微电子元件。该芯片 12 包括第一或接触支承面 14 和相对的第二表面 16。芯片 12 还包括多个在第一表面 14 和第二表面 16 之间延伸的边缘，包括第一边缘 20 和相对的第二边缘 22，以及第三边缘 24 和相对的第四边缘 26。此外，芯片 12 的第一表面 14 包括与第一边缘 20 相邻的接触部分 21、与第二边缘 22 相邻的远端部分 25 以及位于接触部分和远端部分之间的中央部分 23。接触部分 21 处暴露多个触点 18，使芯片 12 能够如下文所述电连接到其他器件。

[0101] 在本发明的一个方面中，如图 2 所示，将触点 18 设置得靠近第一边缘 20 而远离第二边缘 22。触点 18 还设置于芯片 12 的接触部分 21 中。尽管图中未示出，但可以在芯片 12 的第一表面 14 上方形成钝化层，与触点 18 相邻设置开口，从而暴露出触点。

[0102] 参考图 3，微电子封装 10 包括类似于芯片 12 的第二微电子元件，例如半导体芯片 32。芯片 32 可以包括具有电触点的第一表面 34，电触点例如是那里暴露出来的触点 38。芯片 32 还包括相对的第二表面 36。与芯片 12 类似，芯片 32 包括均延伸于芯片 32 的第一表面 34 和第二表面 36 之间并连接两者的第一边缘 40、第二边缘 42、第三边缘 44 和第四边缘 46。芯片 32 的第一表面 34 还包括与第一边缘 40 相邻的接触部分 41、与第二边缘 42 相邻的远端部分 45 以及位于接触部分和远端部分之间的中央部分 43。触点 38 在芯片 32 的接触部分 41 中与第一边缘 40 相邻。

[0103] 在一种组装方法中,使两个芯片 12 和 32 彼此靠近并叠置在一起,使得芯片 32 的第二表面 36 面对芯片 12 的第一表面 14。可以利用诸如环氧树脂的密封剂材料 50 将芯片 12 附着到芯片 32,由此使芯片相对于彼此保持固定。

[0104] 将芯片 32 设置到芯片 12 上,使得芯片的相应接触部分 21、41 不受妨碍。例如,如图 3 所示,芯片 32 的第一边缘 40 位于芯片 12 的中央部分 23 中。当芯片设置就位时,芯片 32 的第一边缘 40 可以与芯片 12 的第一边缘 20 平行。在这种配置中,芯片 32 的接触部分 41 位于芯片 12 的中央部分 23 上方。芯片 32 的中央部分 43 位于芯片 12 的远端部分 25 上方。芯片 32 的远端部分 45 向外延伸到芯片 12 的第二边缘 22 之外。通过将芯片 32 的第一边缘 40 设置成与芯片 12 的中央部分 23 对齐,实现了“偏移叠置”或“阶梯”配置。这种偏移叠置配置使得芯片 12 的触点 18 和芯片 32 的触点 38 都能够暴露于它们相应的表面,而不会被其他物体妨碍。如下文所述,这允许触点 18、38 电连接到其他器件。连接在一起的芯片 12 和芯片 32 的组合形成子组件 60。

[0105] 参考图 4,微电子封装 10 包括诸如电介质元件 62 的基板,其具有第一表面 64 和相对的第二表面 66。电介质元件 62 可以是刚性的或柔性的。电介质元件 62 可以由聚酰亚胺或其他聚合物片构成。虽然电介质元件的厚度将可以变化,但电介质元件最典型的厚度大约为 $10\mu - 100\mu$ 。电介质元件 62 可以包括多个导电元件,例如键合焊盘 68、迹线 70 和导电柱 72。可以利用共同转让的美国公开申请 No. 11/014439 中例示的方法制造键合焊盘 68、迹线 70 和导电柱 72,在此通过引用将其公开内容并入本文。在例示的具体实施例中,导电元件设置于电介质元件 62 的第二表面 66 上。不过在其他实施例中,导电元件可以在电介质元件 62 的第一表面 64 上,在电介质元件的第一和第二表面二者上或在其内部延伸。于是,如本公开内容中所使用的,将第一特征设置于第二特征“上”这种表述不应被理解为要求第一特征位于第二特征的表面上。此外,描述性词语,例如“顶部”、“底部”、“上”和“下”仅用于例示的目的。

[0106] 至少一些键合焊盘 68 电连接到至少一些迹线 70,迹线又电连接到至少一些导电柱 72。这生成了被电连接元件的多个连续的线,由此将每条连续线之内的每个元件电连接起来。可以由任何导电材料形成键合焊盘 68、迹线 70 和导电柱 72,但最典型地由铜、铜合金、金或这些材料的组合来形成。键合焊盘 68 和迹线 70 的厚度将有所变化,但典型地大约为 $5\mu - 25\mu$ 。导电柱 72 从电介质元件 72 向下延伸。导电柱 72 的尺度可以在很大范围内变化,但最典型地,电介质元件 62 的片的第二表面 66 下方的每个导电柱的高度 h_p 大约为 $50 - 300\mu$ 。

[0107] 如图 4 和 5A 所示,电介质元件 62 可以包括多个从电介质元件的第一表面 64 延伸到第二表面 66 的孔 76。在本发明的一个方面中,将子组件 60 附着到电介质元件 62 上,使得如图 4 所示,相应芯片 12、32 的接触部分 21、41 与电介质元件的孔 76 对齐。可以利用诸如密封剂材料 78 的环氧树脂将子组件 60,尤其是芯片 32 的第一表面附着到电介质元件 62 的第一表面 64。在这种配置中,芯片 12、32 的触点 18、38 与孔 76 对齐。

[0108] 为了将子组件 60 电连接到键合焊盘 68,可以利用诸如引线 80 的连接元件。每个引线 80 的第一端附着到单接触焊盘 18、38。每个引线从相应键合焊盘 18、38 向下穿过孔 76 之一延伸。每个引线 80 的相对端附着到单个键合焊盘 68。于是,引线 80 使各个接触焊盘 18、38 与各个键合焊盘 68 电连通。由于键合焊盘 68 经由迹线 70 电连接到导电柱 72,所

以接触焊盘 18、38 也与导电柱 72 电连接。当把引线连接到键合焊盘 68 时,引线 80 具有延伸至键合焊盘 68 下方和电介质元件 62 下方的部分,但不会低到导电柱 72 的最低端。在图中放大了电介质元件 62 下方的引线 80 的部分以便突出该特征。一旦正确组装了引线 80,就在引线 80 上设置密封剂材料 81,从而为引线提供硬度,并保护它们免受损伤。密封剂材料 81 可以在孔 76 之内延伸,并在相邻引线 80 之间维持隔离。密封剂材料 81 也突出到电介质元件的下方,但未低到导电柱 72 的最下端。

[0109] 如本领域所公知的,微电子封装 10 还可以包括设置于各种导电特征上方的焊料掩模层 82。

[0110] 参考图 5A,微电子封装 10 中的孔 76 包括多个开口,每个开口分别与芯片 12、32 的接触部分 21、41 对齐。孔 76 足够大,使得超过一根引线 80 可以从相应触点 18、38 延伸到相应键合焊盘 68。每个键合焊盘 68 附着到迹线 70,迹线自身附着到导电柱 72,由此将芯片 12、32 的相应触点 18、38 电连接到导电柱。

[0111] 导电柱 72 的第一组 69 与电介质元件 62 的边缘 73 相邻设置。导电柱 72 的第二组 71 与电介质元件 62 的边缘 75 相邻设置。通过将导电柱 72 设置在孔 76 两侧,微电子封装 10 得到平衡,并能够被容易地安装到诸如电路面板等的其他基板上。

[0112] 微电子封装 10 还包括接地导电柱 72A。接地导电柱 72A 电连接到接地触点,例如芯片 12 的接地触点 18A 和芯片 38 的接地触点 38A。利用接地引线 80A 连接各元件,接地引线 80A 既连接到接地键合焊盘 68A,随后又连接到接地迹线 70A。接地引线 80A、接地键合焊盘 68A 和接地迹线 70A 类似于它们相应的非接地对应元件,但接地元件使得芯片能够接地到电路面板上的接地接触焊盘。虽然未示出,也可以提供接地板以辅助芯片 12、32 的接地。接地板可以位于芯片 12、32 之间或芯片 12、32 顶部 / 底部。此外,可以由两个芯片 12、32 使用单个接地板,或可以为每个芯片供应单个接地板。

[0113] 如图 4 所示,微电子封装 10 可以具有通过封装中轴的中线 C。中线 C 位于电介质元件 62 的末端 73、75 之间。如图 4 所示,芯片 12 从中线 C 偏移,即芯片朝末端 75 比朝末端 73 延伸更多。孔 76 位于中线 C 和末端 75 之间。

[0114] 在构造完微电子封装 10 之后,如图 4 所示,可以将微电子封装 10 附着到电路面板 90。为了将微电子封装 10 附着到电路面板 90,使微电子封装 10 的导电柱 72 和接地导电柱 72A 靠近电路面板 90 的表面处暴露出来的接触焊盘 92。使接地导电柱 72A 靠近接地接触焊盘 92A。一旦靠近,就可以在接触焊盘 92、92A 和导电柱 72、72A 之间设置诸如焊料 94 的导电材料,以制造电连接。由于导电柱 72、72A 在焊料掩模层 82 和电路面板之间所生成的高度,因此即使引线 80 的弯曲部分 77 向下延伸到电介质元件 62 下方,甚至延伸到焊料掩模层 82 下方,弯曲部分仍远离电路面板 90。

[0115] 在本发明的备选实施例中,该微电子封装可以具有不同的配置。例如,如图 5B 所示,与微电子封装 10 相似地构造微电子封装 10B,只是微电子封装 10B 的电介质元件 62B 仅包括单个孔 76B。单个孔 76B 位于芯片 12B、32B 的接触部分 21B、41B 的大部分下方。通过孔 76B 暴露出芯片 12B、32B 的所有触点 18B、38B。孔 76B 在平行于芯片 12B 的第一边缘 20B 的纵向上延伸。

[0116] 单个孔 76B 等价于微电子封装 10 中的多个孔 76。与微电子封装 10 类似,微电子封装 10B 的触点 18B、38B 通过引线 80B 电连接到键合焊盘 68B。接下来,键合焊盘 68B 被电

连接到迹线 70B 和导电柱 72B。通过提供单个孔,将触点 18B、38B 连接到键合焊盘 68B 的所有引线 80B 都穿过同一开口。

[0117] 此外,微电子封装 10B 与微电子封装 10 的不同之处在于,大部分导电柱 72B 远离孔 76B 并与电介质元件 62B 的边缘 73B 相邻。尽管将与边缘 73B 相邻的导电柱 72B 示为彼此对齐,但它们也可以交错排列,以允许在一定面积内设置更多导电柱。

[0118] 在本发明的另一方面中,如图 5C 所示,键合焊盘 68C 可以处于孔 76C 的两侧,而不是仅处于一侧。图 5C 中所示的微电子封装 10C 类似于本文前述的实施例,只是设置于电介质元件 62C 上的导电特征的布置不同。例如,与前面的实施例不同的是,微电子封装 10C 的键合焊盘 68C 设置于孔 76C 的两侧上,由此允许将键合焊盘 68C 分别连接到芯片 12C、32C 的触点 18C、38C 的引线 80C 在孔 76C 两侧周围延伸。同样,孔 76C 可以与芯片 12C、32C 的接触部分 21C、41C 对齐,从而可以接触到触点 18C、38C。尽管仅示出了两个与电介质元件 62C 的边缘 75C 相邻的键合焊盘 68C,但可以构造出更对称的备选实施例。

[0119] 在本发明的一个方面中,可以将两个微电子封装彼此叠置在一起。例如,图 6 中示出了具有两个微电子封装 110、110A 的交错叠置体部件(staggered stack pack) 100。微电子封装 110、110A 类似于这里讨论的微电子封装 10,但在不脱离本发明范围的情况下可以使用其他实施例。微电子封装 110、110A 的每一个都包括第一芯片 112、112A 以及附着到相应的第一芯片的第二芯片 132、132A。每个微电子封装 110、110A 还包括附着到相应的第二芯片 132、132A 的电介质元件 162、162A。

[0120] 微电子封装 110 和 110A 之间的一个差别在于,微电子封装 110 是左交错叠置封装,微电子封装 110A 是右交错叠置封装。在左交错叠置封装中,顶部芯片 112 的接触部分 121 向外延伸到底部芯片 132 的左边缘之外。并且底部芯片 132 的接触部分 141 位于芯片的左侧。相反,在右交错叠置封装中,顶部芯片 112A 的接触部分 121A 向外延伸到底部芯片 132A 的右边缘之外。并且底部芯片 132A 的接触部分 141A 位于芯片的右侧。此外,在右交错叠置封装 110A 中,孔 176A 位于基板 162A 的中线 C' 和末端 175A 之间。而且,芯片 112A 从中线 C' 向末端 175A 偏移。但是在左交错叠置封装 110 中,芯片 112 从中线 C'' 向基板 162 的末端 173 偏移,且孔 176 位于中线 C'' 和末端 173 之间。当然,可以改变叠置的次序。

[0121] 参考图 3,可以看出,右交错叠置封装和左交错叠置封装可以是严格相同的结构。例如,如果微电子封装 110、110A 都是微电子封装 10,在左交错叠置封装中,芯片 12 的边缘 23 朝向页面之外。但是在右交错叠置封装中,芯片 12 的边缘 24 朝向页面之外。于是,可以利用两个相同的微电子封装构造交错叠置体 100。

[0122] 为了制造交错叠置体 100,使微电子封装 110 靠近微电子封装 110A。微电子封装 110 的导电柱 172 的下端与微电子封装 110A 的导电柱 172A 的顶表面对齐。电介质元件 162A 可以包括多个通孔 101,其暴露出导电柱 172A 的顶表面的至少一部分。

[0123] 仍参考图 6,可以使微电子封装 110 靠近微电子封装 110A,直到向下延伸到微电子封装 110 的焊料掩模层 182 之外的微电子封装 110 的弯曲部分 177 也向下延伸越过芯片 112A 的第二表面 166A 为止。一旦右交错叠置封装和左交错叠置封装 110、100A 就位,就可以在导电柱 172 中和周围、并向通孔 101 中设置诸如焊料的导电材料 102,由此将导电柱 172A 的顶表面连接到导电柱 172。导电材料 102 不仅将导电柱 172 电连接到导电柱 172A,而且还提供框架,以将微电子封装 110、110A 保持在一起,从而形成交错叠置体 100。

[0124] 通过在右交错叠置封装 110A 上方(或下方)设置左交错叠置封装 110,可以减小交错叠置体 100 的总高度。这是因为不需要将引线 180 的弯曲部分 177 设置得高于芯片 112A 的第二表面 116A,并减小了“夹心结构”的总高度。

[0125] 参考图 6B,示出了图 6 所示的实施例的变型。图 6B 和图 6 的实施例之间的唯一差异在于,不是仅封装引线 177'、177A',而是可以在引线 177'、177A' 以及芯片 112'、132'、112A' 和 132A' 的暴露表面上都形成密封剂或过模制件 179'。还参考图 6C,左交错封装 110' 的过模制件 179 可以跨过芯片 112'、132' 的整个长度 L1 以及芯片 112'、132' 的整个宽度 W (图 6C) 延伸。类似地,沉积在右交错封装 110A' 上的过模制件 179' 可以跨过芯片 112A'、132A' 的整个长度 L2 以及芯片 112A'、132A' 的整个宽度(未示出)延伸。一旦形成过模制件,就可以完全密封芯片 112'、132'、112A'、132A',从而覆盖所有表面。芯片上的过模制件可以帮助限制叠置封装的翘曲。

[0126] 需要理解的是,过模制件是一种形式的用于覆盖引线等以及芯片的密封剂。可以利用现有技术公知的方法形成过模制件,例如在芯片封装的期望部分周围设置模具,并利用密封剂等填充模具。

[0127] 在备选实施例中,参考图 7,左交错叠置封装和右交错叠置封装之一或两者可以包括焊盘,而不是导电柱。例如,如图 7 所示,以与封装 110、110A 类似的方式构造右交错叠置封装 210A 和左交错叠置封装 210。然而,在左交错叠置封装 210 和右交错叠置封装 210A 中,已经用接触焊盘 272 和 272A 取代了前述实施例中的导电柱。接触焊盘 272、272A 执行与本文前述导电柱类似的功能,并可以经由迹线 270、270A 电连接到键合焊盘 268、268A。接触焊盘 272、272A 不向下延伸,或者不像先前实施例的导电柱延伸那么长。因此,在通过电介质元件 262A 中的通孔 201A 将接触焊盘 272 电连接到接触焊盘 272A 时,必需使用较大块的导电材料,例如焊料 202。焊料块 202 的相对尺寸必需充分大,以允许芯片 212A、232A 位于电路面板 290 上方,但又在左交错叠置封装 210 下方。当然,通过将右交错叠置封装 210A 设置于左交错叠置封装 210 下方,使得左交错叠置封装 210 的焊料块层 282 的下表面到右交错叠置封装 210A 的电介质元件 262A 的第一面 264A 之间的总高度 H 稍微小于在未采用不交替交错叠置封装的情况下所需的总高度。

[0128] 一旦通过将右交错叠置封装 210A 连接到左交错叠置封装 210 而构造出交错叠置体 200,就可以将交错叠置体 200 附着到电路面板或电路板,例如电路面板 290。为了将交错叠置封装 200 电连接到电路面板 290,使接触焊盘 272A 靠近电路面板 290 的触点 292 并与之对齐。一旦两个元件对齐,可以在接触焊盘 272A 和触点 292 两者中及周围分布导电材料块,例如焊料 294。焊料 294 的高度必须有足够大尺寸,使得将触点 218A、238A 连接到键合焊盘 268A 的引线 280A 的弯曲部分 277A 保持远离电路面板 290 的表面。

[0129] 在备选实施例中,如图 8 所示,可以构造具有“钉入”配置的微电子封装 310。微电子封装 310 包括具有第一表面 364 和相对的第二表面 366 的电介质元件 362。如前面的实施例那样,电介质元件 360 包括键合焊盘 368、迹线 370 和导电柱 372。不过,导电柱 372 穿过电介质元件 362 面朝内,而不是面朝外。

[0130] 微电子封装 310 基本类似于前面的实施例,包括附着到电介质元件 362 的芯片 312。芯片 312 包括利用引线 380 连接到键合焊盘 368 的触点 318。如前所述,引线 380 穿过孔 346 在电介质元件 360 中延伸。尽管仅示出了一个芯片,但微电子封装 310 以及这里

讨论的其他封装可以包括一个、两个甚至更多芯片。

[0131] 参考图 9, 在备选实施例中, 提供了一种封装, 其中以交错方式设置四个微电子元件, 且微电子元件导电连接到同一基板。如下文将要更详细描述, 可以在诸如微芯片的微电子元件和诸如引线的导电连接器两者上都设置过模制件 494。

[0132] 首先参考图 9 和 11, 示出了根据本发明备选实施例的微电子封装 400。微电子封装包括基板, 基板包括电介质元件 402, 该电介质元件 402 具有第一边缘 404、相对的第二边缘 406、第三边缘 408 (图 12) 和相对的第四边缘 410 (图 12)。电介质元件 402 还具有顶表面 412、相对的底表面 414 以及在顶表面 412 和底表面 414 之间延伸的孔 416。导电元件可以暴露于电介质元件 402 的顶表面 412 和底表面 414 两者上, 例如迹线(未示出)、导电柱 510、诸如焊球 496 的焊料块以及接触焊盘 490。通孔 418 还延伸于顶表面 412 和底表面 414 之间。

[0133] 参考图 9-12, 第一芯片 420、第二芯片 422、第三芯片 424 和第四芯片 426 以交错布局设置在电介质元件 402 的顶表面 412 上。可以使用管芯附着件 419 (图 10) 将第一芯片 420 附着到电介质元件的顶表面 412 上, 并将第二、第三和第四芯片 422、424 和 426 中的每一个都附着到相应的相邻芯片上。

[0134] 第四芯片 420 还可以包括具有暴露于其上的诸如键合焊盘 424 等电触点的顶表面 425 以及相对的底表面 427。第四芯片 426 还包括第一边缘 428、第二边缘 430、第三边缘 432 和第四边缘 434, 边缘 428、430、432、434 中的每个都在顶表面 425 到底表面 427 之间延伸并连接它们。第四芯片 426 的底表面 427 还包括与第一边缘 428 相邻的接触部分 438, 与第二边缘 430 相邻的远端部分 436 以及位于接触部分 438 和远端部分 436 之间的中央部分 440。键合焊盘 424 与第四芯片 426 的第一边缘 428 和第二边缘 438 相邻设置。

[0135] 第一、第二和第三芯片 420、422、424 可以与第四芯片 426 相同。这些芯片 420、422、424 中的每个通常包括顶表面 442、458、474 以及具有诸如暴露于其上的键合焊盘 424 等电触点的相对的底表面 443、459、475。第一、第二和第三芯片 422、424、426 还分别包括第一边缘 444、460、476, 第二边缘 446、462、478, 第三边缘(图 12) 以及第四边缘(未示出), 每个边缘都延伸在相应顶表面 442、458、474 到底表面 443、459、475 之间并连接它们。第一、第二和第三芯片 420、422、424 的相应底表面 443、459、475 还相应包括与第一边缘 444、460、476 相邻的接触部分 454、470、486, 与第二边缘 446、462、478 相邻的远端部分 452、468、484 以及位于接触部分 454、470、486 和远端部分 440、456、488 之间的中央部分 440、456、488。触点 424 在芯片的接触部分中与第一边缘 444、460、476 相邻。

[0136] 以和本文前述方式相同的方式设置芯片, 唯一的差别在于, 不需要额外的电介质元件将第三和第四芯片 424、426 添加到封装。如图 10、11 和 12 最好地示出的那样, 可以在第一、第二、第三和第四芯片 420、422、424、426 之间设置管芯附着件 419 或类似材料, 以将芯片 420、422、424、426 中的每个附着到一起并以诸如前文所述的交错布置方式组装它们。

[0137] 在该交错布置中, 与第三芯片 424 的第一边缘 476 相比, 第四芯片 426 的第一边缘 428 更靠近电介质元件 402 的第一边缘 404。类似地, 与第一和第二芯片 420、422 相比, 第三芯片 424 更靠近电介质元件 402 的第一边缘 404。因此, 芯片彼此横向位移或偏移开。由此得出结论, 与第二、第三和第四芯片 422、424、426 的第二边缘 462、424、478 相比, 第一芯片 420 的第二边缘 446 将更靠近电介质元件 402 的第二边缘 406。类似地, 第二芯片 422 距

电介质元件的第二边缘 406 比距第三和第四芯片 424、426 的相应第二边缘 478、438 更近。最后,第三芯片 424 距电介质元件 402 的第二边缘 406 也比第四芯片 426 距电介质元件 402 的第二边缘 406 更近。于是,芯片 420、422、424、426 的交错布置能使第一、第二、第三和第四芯片 420、422、424、426 的相应的第一边缘 444、460、476、428 分别逐渐地更靠近电介质元件 402 的第一边缘 404。当然,可以改变叠置的次序。

[0138] 设置芯片 420、422、424、426 中的每个,使它们不受妨碍。于是,如图 10 所示,第一芯片 420 的第一边缘 444 位于第二芯片 422 的中央部分 440 之内。类似地,第二和第三芯片 422、424 的相应的第一边缘 460、476 中的每一个都与直接相邻的芯片或第三和第四芯片 424、426 的中心部分 488、440 相邻。这种配置使得芯片的触点 424 能够暴露于它们相应的表面处而不受其他物体的妨碍。

[0139] 参考图 13,在从电介质元件 402 的底表面 414 看时,通过孔 416 可以看到第一、第二、第三和第四芯片 420、422、424、426 的第一边缘 444、460、476、428 的交错布置。由于基板中可以仅有一个开口,所以在该图中未看到芯片 420、422、424、426 的暴露第二边缘 446、462、478、420 中的每个。需要理解的是,如本文前面所述,电介质元件之内也可以有多个开口。

[0140] 如图 9-10 所示,为了电连接每个芯片 420、422、424、426,可以使用引线 492 将每个芯片 422、424、426、428 上的键合焊盘 424 连接到位于电介质层 402 的底表面 414 上的接触焊盘 490。由于全部四个芯片 420、422、424、426 都交错位于孔 416 上方,因此引线 492 能够连接到接触焊盘 490 而不妨碍其他引线 492。

[0141] 参考图 14-15,在附着引线 492 时,可以在芯片 420、422、424、426 中的每个和相应的引线 492 上方设置过模制件 494。参考图 9、10、11 和 14,过模制件 494 被示为设置于位于电介质元件顶表面上的第一、第二、第三和第四芯片的第一、第二、第三和第四边缘上及之外。在芯片 420、422、424、426 的交错布置中,过模制件 494 可以开始与第四芯片 426 的第一边缘 428 相邻,并延伸到至少与第一芯片 420 的第二边缘 446 相邻。过模制件 494 也可以延伸到电介质元件 402 与第一芯片 446 相邻的部分之外,并延伸到与焊球 496 相邻的点。

[0142] 如图所示,过模制件 494 未分布于电介质元件具有焊料块(例如其中设置的焊球 496)的部分上方,例如与电介质元件 402 的第一和第二边缘 404、406 相邻的部分上。于是,过模制件 494 不从第一边缘 404 延伸到第二边缘 406,而仅从第三边缘 408 延伸到第四边缘 410 (除了其上设置了焊球 496 的部分之外)。

[0143] 在特定实施例中,过模制件 494 在第一、第二、第三和第四芯片 420、422、424、426 高度减小的部分处减小厚度。换言之,可以在分布过模制件的任何点发生厚度的减小,例如,在对芯片的第二边缘进行交错排列的一些点处减小厚度。例如,可以在第二芯片 422 的第二边缘 462 处或附近减小过模制件 494 的厚度。这种厚度的减小在过模制件的外左边缘和过模制件厚度减小的点 500 之间生成第一台阶 502,在过模制件厚度减小的点 500 和过模制件 494 的外右边缘 499 之间生成第二台阶 504。尽管不是必需的,但大约 80% 的过模制件都比与电介质元件第二边缘相邻的剩余部分更厚或更高。

[0144] 参考图 10,过模制件还设置于电介质元件 402 的底表面 414 上。过模制件 494 在通过孔 416 暴露出来的引线 492 上方延伸。底表面 414 上的过模制件的外左边缘 498 可以

与电介质元件 402 的顶表面 412 上的过模制件的外左边缘 498 对齐。底表面 414 上的过模制件的外右边缘可以延伸到引线 492 所连接到的接触焊盘 490 之外。

[0145] 参考图 16, 仅示出了过模制件(不带芯片)的轮廓的平面图展示了具有过模制的封装的截面轮廓。图中示出了过模制件 498 在电介质元件 402 的顶表面 412 上生成的第一和第二台阶 502、504 以及在电介质元件 402 的底表面 414 上生成的台阶 512。

[0146] 在本发明的另一方面中, 如图 17 所最佳示出的, 可以将第一 4 芯片叠置封装子组件 532 与第二 4 芯片叠置封装子组件 568 组合, 以形成 8 芯片叠置封装 530。尽管根据本发明可以使用多芯片封装的任何组合, 但第一和第二 4 芯片叠置封装 532、568 可以与图 9-15 所示的 4 芯片叠置封装相同。第一子组件 532 包括电介质元件 536 和导电元件, 电介质元件 536 具有延伸穿过电介质元件 536 的顶表面 540 和底表面 542 的孔 538, 导电元件例如是迹线(未示出)、接触焊盘 544 和导电柱 546。由四个交错芯片(第一芯片 552、第二芯片 554、第三芯片 556、第四芯片 558)构成的芯片子组件 548, 例如这里披露的交错布置覆盖在孔 538 上。为了电连接芯片子组件 548, 引线 562 从相应芯片 552、554、556、558 的底表面 563 上的键合焊盘 550 延伸到电介质元件 502 的底表面 542 上的相应接触焊盘 544。过模制件 560 设置于每个芯片 552、554、556、558 和引线 562 上方。如前述实施例中所说的那样, 通过使模制厚度不同生成第一台阶 564 和第二台阶 566。

[0147] 第二 4 芯片叠置封装子组件 568 与第一 4 芯片叠置封装子组件 532 相同。第二 4 芯片叠置封装子组件 568 还包括电介质元件 570 和导电元件, 该电介质元件 570 具有穿过电介质元件 570 的顶表面 575 和底表面 572 延伸的孔 572, 该导电元件例如是迹线(未示出)、接触焊盘 579 和导电柱 581。由四个交错芯片构成的芯片子组件 583 (例如这里披露的交错布置) 覆盖孔 572。引线 562 还从相应的芯片 586、588、590、592 的底表面 585 暴露出的键合焊盘 550 延伸到电介质元件 570 的底表面 576 上的相应的接触焊盘 578。由于模制厚度不同也生成了第一和第二台阶 596、598。

[0148] 在第一和第二 4 芯片叠置封装子组件 532、568 中, 都在芯片子组件 548、583 和引线 562 两者上设置过模制件 560。过模制件 560 有助于为组件提供翘曲控制。

[0149] 为了组装 8 芯片叠置封装 530, 相对于第一子组件 532 将第二子组件 568 旋转 180°。在其旋转位置下, 覆盖第二子组件 568 中穿过孔 572 延伸的引线 562 的过模制件 560 与覆盖位于第一子组件 532 上的芯片子组件 548 的过模制件 560 相邻。

[0150] 导电立柱 580 在第一子组件和第二子组件之间延伸, 以便将它们电连接。可以根据本文将要更充分介绍的方法制造导电立柱 580。由于存在导电立柱 580, 因此第一子组件 432 的电介质元件 536 的顶表面和第二子组件 568 的电介质元件 570 的底表面 576 之间生成间距 604。此外, 在第一子组件上的第四芯片 558 上方的过模制件的顶表面 540 和第二子组件 568 的电介质元件 570 的底表面 577 之间也可以有间距 605。

[0151] 8 芯片叠置封装 530 可以通过从第一子组件 532 的电介质元件 536 的底表面 542 延伸的另一导电互连或导电柱 546 的层电连接到电路板 608。利用本文将更充分介绍的方法将导电柱 546 焊接到电路板 608 上的接触焊盘 610, 以形成导电立柱 580。

[0152] 还参考图 18, 其示出了平面图, 该平面图仅示出了过模制件的轮廓(即没有芯片子组件)。该图展示了过模制件 560 如何能够帮助实现第一和第二子组件 532、568 的交错和相互配合的布置, 以减小 8 芯片叠置封装 530 的总高度。覆盖第二子组件 568 的底表面 576

的一部分的底部台阶 612 与第一子组件 532 的顶表面 540 上的过模制件 560 的第一台阶 564 相邻。类似于间隙或开口 605, 在第二子组件 568 的底表面 576 上的台阶的左边缘 616 和第一电介质元件 536 的顶表面 540 上的第一台阶 564 的右边缘 618 之间的空间中生成了间隙或开口 614。应当认识到, 可以减小或加大该间隙。第一子组件 532 的过模制件 560 中的第一和第二台阶 564、566 实现了可以至少小于 1mm 或 .98mm 的总体 8 芯片叠置封装。

[0153] 参考图 19, 其示出了备选实施例。直接将第一 4 芯片叠置封装子组件 630 和相同的第二 4 芯片叠置封装子组件 632 彼此叠置在一起。第一子组件 630 包括诸如电介质元件 634 的基板, 其具有顶表面 636 和相对的底表面 638。电介质元件 634 可以包括暴露于电介质元件 634 的顶表面 636 或底表面 638 上的多个导电元件, 例如接触焊盘 640、迹线(未示出) 和导电柱 642。

[0154] 芯片子组件 644 可以由设置于电介质元件 634 的顶表面 636 上方的第一芯片 646、第二芯片 648、第三芯片 650 和第四芯片 652 构成。如前述实施例中那样, 以交错的方式构造和设置芯片子组件 644。如图所示, 将芯片 646、648、650 和 652 中的每个设置成面向上方, 从而暴露出键合焊盘 654。引线 658 仅跨越芯片 646、648、650、652 的一个边缘延伸, 并连接到沿电介质元件 634 的顶表面 636 延伸的接触焊盘 640。芯片 646、548、650、652 中的每个都取向为面向上的位置就不需要电介质元件中存在供引线通过的开口或孔(例如前述实施例所需要的那样)。

[0155] 结构像子组件 630 那样的第二 4 芯片叠置封装子组件 632 位于第一 4 芯片叠置封装子组件 630 上方。由于芯片子组件 670 中的每个芯片 672、674、676、678 也都处于面向上方的状态, 且引线 658 未延伸到第二子组件 632 的顶表面 662 下方, 所以不需要旋转第二子组件 632 来叠置在第一 4 芯片叠置封装子组件顶部。

[0156] 可以将所得的 8 芯片叠置封装 680 连接到电路板 686。从第一子组件 630 的电介质元件 634 的底表面 638 延伸的导电柱 642 被利用焊料连接到电路板 686 上的接触焊盘 688。导电立柱 656 的间距或垂直高度 $H1$ 小于第一和第二子组件 630、632 的电介质元件 660、634 之间的垂直高度 $H2$ 。在不需要提供额外的高度来适应芯片子组件 644 的高度时, 第一子组件 630 和电路板 686 之间的导电立柱 656 的高度仅需要大到适应导电柱 642 的尺寸即可。或者, 可以采用焊料附着的典型方法, 例如现有技术中公知的方法, 仅利用焊接连接, 例如焊球(即无需导电柱) 简单地将第一子组件 630 附着到电路板 608 上。

[0157] 需要理解的是, 在本发明的备选实施例中, 导电立柱不限于与延伸自芯片子组件的引线相邻(在前述范例中, 其也与电介质元件的第一和第二边缘相邻)。实际上, 可以通过设置导电立柱, 使它们不和延伸自芯片的引线靠得很近, 而是与电介质元件的第三和第四边缘相邻。例如, 参考图 19A, 其示出了备选的 8 芯片叠置封装 680A。该 8 芯片叠置封装 680A 与图 19 中所示的 8 芯片叠置封装 680 相同, 唯一的差别在于, 导电立柱 656A 与电介质元件 634A、660A 的第三边缘(面向图纸外部) 和第四边缘(未示出) 相邻。换言之, 导电立柱 656A 不与引线 658A 所连接到的接触焊盘 640A 直接相邻。在另一备选设置(未示出) 中, 也可以将导电立柱 656A 设置成与电介质元件 634A、668A 和芯片子组件 664A、670A 的所有四个边缘相邻。

[0158] 参考图 20-22, 其示出了包括另一 4 芯片叠置封装子组件的实施例。参考图 20-21 (图 20 示出了电介质元件 691 上的芯片子组件 702 的透视图), 该 4 芯片叠置封装子组件 690

包括基板,例如电介质元件 692,其具有顶表面 694 和相对的底表面 696。电介质元件 692 可以包括第一边缘 691、第二边缘 693、第三边缘 695 和第四边缘 697,以及多个导电元件,诸如顶表面 694 上的接触焊盘 698 和迹线(未示出)和可以暴露于电介质元件 692 的底表面 696 处的导电柱 700。

[0159] 像前述实施例那样,4 芯片叠置封装子组件 690 包括芯片子组件 702,芯片子组件 702 可以包括设置于电介质元件 692 的顶表面 694 上的第一芯片 704、第二芯片 706、第三芯片 708 和第四芯片 710。芯片 704、706、708、710 中的每个分别具有包含暴露于其上的诸如键合焊盘 698 等电触点的顶表面 712 以及相对的底表面 716。如图 20 所示,第四芯片 710 还包括第一边缘 718、第二边缘 720、第三边缘 722 和第四边缘 724,每个边缘均延伸在顶表面 712 和底表面 716 之间并连接二者。第四芯片 710 的顶表面 712 还包括分别与第一边缘 718 和第二边缘 720 相邻的接触部分 726、728 以及位于接触部分 726、728 之间的中央部分 730。键合焊盘 698 在第四芯片 710 的接触部分 726 中与第一边缘 718 和第二边缘 720 相邻。第一、第二和第三芯片 704、706、708、710 类似地包括与相应的第一边缘 742、748、752 和第二边缘相邻的接触部分 726 以及位于接触部分 726、728 之间的中央部分 730。与前面的布置不同的是,可以直接将芯片 704、706、708、710 彼此叠置在一起,而不是交错叠置。第一芯片 704 的第一边缘 742 与第二芯片 706 的第一边缘 748 对齐。第一芯片 704 的第二边缘 744 也与第二芯片 706 的第二边缘 750 对齐。类似地,也可以将第三和第四芯片 708、710 的第一边缘 752、718 和第二边缘 754、720 中的每个彼此对齐,并使其与第一和第二芯片 704、706 的第一边缘 742、748 和第二边缘 744、750 对齐。

[0160] 芯片 704、706、708、710 中的每个都可以电连接到沿第一芯片 704 的第一边缘 742 和第二边缘 744 排列并与第一芯片 704 的第一边缘 742 和第二边缘 744 相邻的接触焊盘 698。尽管发明范围构思了任何配置,接触焊盘 698 也可以彼此对齐。引线 760 从相应芯片 704、706、708、710 的第一边缘 742、748、752、718 和第二边缘 744、750、754、720 中的每个上的键合焊盘 714 延伸到电介质元件 692 的顶表面 694 上的接触焊盘 698。因此,引线 760 跨过相应芯片 704、706、708、710 的第一边缘 742、748、752、718 和第二边缘 744、750、754、720 中的每个延伸并连接到接触焊盘 698。在本实施例中,第四芯片 710 上的引线 760 跨过第一、第二和第三芯片 704、706、708 的第一边缘 742、748、752 和第二边缘 744、750、754 延伸。第三芯片 708 上的引线 760 将跨过第一和第二芯片 704、706 的第一边缘 742、748 和第二边缘 744、750 延伸。

[0161] 为了在电介质元件 692 上组装芯片子组件 702,必需在叠置下一芯片之前将引线 760 设置在每一相应芯片上。可以利用管芯附着件(未示出)等将第一芯片 704 附着到电介质元件 692。一旦第一芯片 704 就位,就将引线 658 附着到第一芯片 704 上的键合焊盘 714 以及电介质元件 692 的顶表面 694 上的接触焊盘 698。然后将间隔体 762 设置到第一芯片 704 的中央部分 746 上。可以使用现有技术中公知的任何常规间隔体 762 在第一芯片 704 和第二芯片 706 之间提供空间或间距。虽然能够将芯片间隔预定距离且能够提供足够空间来容纳引线 760 的公知材料是可以接受的,但是这种间隔体可以包括硅或薄的聚酰亚胺。如图所示,间隔体 762 不延伸到第一芯片 704 的第一和第二边缘,从而为与相应芯片的第一和第二边缘相邻的引线 760 和键合焊盘 714 提供充分的空间。一旦间隔体 762 就位,就将第二芯片 706 的底表面 751 设置在第一间隔体 762 的顶表面 764 上。然后可以使用引线 760

将第二芯片 706 上的键合焊盘 714 连接到电介质元件 692 的顶表面 694 上的接触焊盘 698。

[0162] 类似地布置第三和第四芯片 708、710。第二间隔体 768 位于第二芯片 706 的顶表面 747 的中心区域 749 上。然后将第三芯片 708 设置在第二间隔体 768 的顶表面 770 上。使用引线 760 将第三芯片 708 上的键合焊盘 714 连接到电介质元件 692 的顶表面 694 上的接触焊盘 698。最后,将第三间隔体 774 设置在第三芯片 708 的中央部分 756 上。然后将第四芯片 710 的底表面设置为与第三间隔体 774 的顶表面 776 相邻。施加引线 760,以将第三芯片 708 上的键合焊盘 714 连接到电介质元件 692 上的接触焊盘 698。

[0163] 一旦正确附着了引线 760,就可以使用过模制件 778 来封装引线 760 和芯片子组件 702 两者。参考图 21 和 22,过模制件 778 可以从电介质元件的第三边缘 695 延伸到电介质元件的第四边缘 697。可以分配过模制件 778,使其不跨过电介质元件 692 的第一和第二边缘延伸。相反,其从与相应芯片的第三边缘 743、745、755、722 (图 20)相邻延伸到与相应芯片的第四边缘 697 (图中所示的其余边缘)相邻。过模制件 778 可以生成具有第一、第二、第三和第四边缘 794、796、783、800 的平面矩形。在优选布置中,4 芯片叠置封装可以具有至少为 0.4735mm 的减小的总的体厚度。例如,如果每个芯片具有大约 50 微米的厚度,每个间隔体具有 50 微米的厚度,管芯附着件为 12.5 微米厚,过模制件为 75 微米厚,那么 4 芯片叠置封装的总高度可以是 .4375mm。

[0164] 需要理解的是,在备选设置中,引线 760 也可以从芯片的第三边缘 743、745、755、722 和 / 或第四边缘(未示出)(即不和焊球相邻的芯片边缘)延伸到电介质元件 692 的第三和第四边缘 695、697 暴露出的触点(未示出)(或不与焊球相邻的电介质元件的边缘)。在这种设置中,仅有的差别是,间隔体 762、768、774 一定不能延伸到与相应芯片的第三边缘 743、745、755、722 和 / 或第四边缘 724 (未示出的其余部分)相邻,以便为将要与芯片的第三和第四边缘相邻设置的键合焊盘和引线提供空间。

[0165] 在本发明的另一方面中,参考图 23-25,可以将 4 芯片叠置子组件 690 与相同的第二 4 芯片叠置子组件 780 叠置在一起,以形成 8 芯片叠置封装 782。由于第二 4 芯片叠置子组件 780 在形状和尺寸上与第一 4 芯片叠置子组件相同,因此可以将其直接设置在第一 4 芯片叠置子组件 690 上。如图 23 和 25 所示,从第二子组件 780 的电介质元件 784 的底表面 785 延伸的导电柱 700 接触位于第一子组件 690 的顶表面 694 上的焊球 699,以形成导电立柱或接头。可以利用本文将要更充分介绍的方法形成导电立柱或接头。

[0166] 参考图 26,可以将 8 芯片叠置封装 782 连接到电路板 786。从第一子组件 690 的电介质元件 692 的底表面 696 延伸的导电柱 700 可以连接到设置于电路板 786 的接触焊盘 788 上的焊球 790,以生成导电立柱 792。可以利用下文将要更详细介绍的方法生成导电立柱。第一电介质元件 692 和电路板 786 之间形成的导电立柱 792 的高度小于第一和第二子组件 690、780 之间延伸的导电立柱 792 的高度。高度不同是由于第一和第二子组件 690、780 之间的“间距”或高度 H 需要充分大,以容纳第一子组件 690 的芯片子组件 702。

[0167] 在本发明的另一方面中,公开了形成导电立柱以实现更大高度的封装上封装叠置的方法。仍参考图 26,可以用导电柱 700 和焊料的组合形成导电立柱 792。这种导电立柱 792 既增大了两个芯片封装之间的间距或垂直距离,同时实现了导电立柱之间间距或中心到中心水平距离的减小。增大芯片封装之间距离的能力提供了在一个电介质元件上容纳多个芯片所需的空間,例如本文所披露的 4 芯片叠置封装。

[0168] 用于辅助形成导电立柱 792 的导电柱 700 的尺度可以在很大范围上变化,但电介质基板表面上方的每个导电柱的最典型高度大约为 50-300 μm 。这种导电柱 700 可以具有大于其宽度的高度。

[0169] 导电柱可以由任何导电材料,例如铜、铜合金、金及其组合制成。导电柱至少可以包括可被焊料浸润的暴露金属层。例如,柱体可以主要由铜形成,在柱体的表面上有一层金。因此,导电柱可以包括至少一层溶解温度高于其将要连接的焊料的溶解温度的金属。例如,这样的导电柱将包括铜层或完全由铜形成。

[0170] 在美国专利 No. 6884709 和临时申请 No. 60/875730 中介绍了示范性工艺和柱体,在此通过引用将其公开并入本文。例如,可以通过蚀刻工艺形成导电柱。或者,可以通过电镀形成导电柱,其中,通过诸如光致抗蚀剂层的电介质层中所构图的开口向基底金属层上镀覆金属,从而形成柱体。

[0171] 此外,导电柱 700 还可以采取很多不同形状,包括截头圆锥体形状,从而每个柱体的基部和尖端基本是圆形的。柱体基部的直径典型为大约 100-600 μm ,而尖端的直径典型为大约 40-200 μm 。每个导电柱 700 可以具有与电介质基板相邻的基部以及远离电介质基板的尖端。

[0172] 仍参考图 26A,其示出了恰在第一 4 芯片叠置封装子组件 690 与第二 4 芯片叠置封装子组件 780 连接之前的 8 芯片叠置封装 782 (图 26)。通过定位第二子组件 780,使得从第二子组件 780 延伸的导电柱 700 与第一子组件 690 上的焊球 790 对齐。然后可以将导电柱 700 设置得很靠近第一子组件 690 的电介质元件 692 的顶表面 694 处暴露出的接触焊盘 698 上的焊球 790。然后使焊料回流,使得焊料浸润第二子组件 780 上的导电柱 700。在优选实施例中,导电柱 700 接触焊球 790,使得导电柱的至少一部分与回流的焊球 790 直接接触。导电柱 700 仅需要短暂接触回流的焊料,因为焊料然后将浸润整个导电柱 700 的暴露的壁 711 和尖端 713。这是因为焊料具有再浸润力的能力来克服导电柱 700 上的表面张力。或者,可以使基本整个导电柱 700 置入回流的焊球 790 中,以确保焊料接触金属柱需要被浸润的那些部分。

[0173] 一旦焊料浸润了金属柱,就生成了立柱形的接头或导电立柱 792 (图 26)。参考图 27,图 27 是图 26 的导电立柱 792 的分解详细视图,可以将导电立柱 792 形成沙漏的形状,使得接触导电柱 700 的顶部焊料区 802 和接触第一子组件 690 上的接触焊盘 698 的底部焊料区 804 的宽度 W 比焊料中间区域的宽度 M 大。需要理解的是,宽度 W 不需要相等,且顶部焊料区 802 的高度可以大于底部焊料区 804,反之亦然。由于导电立柱 806 能够保持垂直焊料立柱而无需每个导电立柱之间有较大间距,所以导电立柱 792 实现了改善的封装上封装叠置。可以结合本发明的每个实施例使用这种制作导电立柱的方法。

[0174] 在仅使用焊料连接的典型应用中,间隔和间距通常是相关的。间隔越大,必需的间距就越大。然而,在本发明的另一方面中,如这里所述,导电立柱的制造和使用(与仅使用焊球连接相比)使得能够以较小间距实现更大的间隔。例如,如图 28 的图表中所示,如果结合回流和叠置前直径为 0.350mm 的焊球、直径为 0.280mm 的接触焊盘以及 0.5mm 的焊球间间距使用导电柱,导电立柱能够实现 0.392mm 的间隔,这大于该间距的一半。作为比较,参考图 29,如果仅使用焊球(即,没有导电柱),回流和叠置前直径为 0.350mm 的焊球、直径为 0.280mm 的焊盘以及 0.5mm 的间距仅能够实现 0.220mm 的间隔,这比导电立柱短 0.175mm 且

不到该间距的一半。

[0175] 在实现焊料连接的本方法的另一方案中,焊盘尺寸减小还能获得更大的间隔。例如,参考图 30,如果接触焊盘的尺寸减小了,可以实现更大的间隔。如图所示,如果结合(回流和叠置前)直径为 0.350 的焊球和 0.50mm 的间距使用直径为 0.280mm 的接触焊盘,可以实现 0.392mm 的间隔,这大于间距的一半。因此可以提供位置靠近的接触焊盘和焊球,并实现可足以容纳这里所述的多芯片封装(例如,如图 26 所示)的间隔高度。

[0176] 应当认识到,可以在任何基板形成期间使用导电立柱。例如,根据本发明,可以使用少到每个基板一个芯片或每个基板至少四个芯片的芯片封装。

[0177] 图 31 示出了组件 905,其包括第一和第二互连元件 900、902,例如布线元件,如芯片载体、封装基板或已经封装的微电子元件、引线框架、印刷线路板、电路面板等,例如它们适于对微电子元件、微机电元件、光电元件和融合了这些器件的组件进行互连。互连元件 900、902 可以是相同类型或不同类型。在一个范例中,互连元件之一可以是芯片载体,另一互连元件为电路面板。在另一个范例中,每个互连元件包括电介质元件,该电介质元件具有在电介质元件至少一个表面上暴露出的导电特征 901。于是,第一互连元件 900 具有限定第一平面的主表面 910,导电特征 901 暴露于该主表面上。第二互连元件 902 具有限定不同于第一平面的第二平面的主表面 912,导电特征 911 暴露于这一主表面 912。第一和第二平面可以仅仅大致平坦。互连元件的主表面的一些部分可以不是平坦的。迹线 914 可以沿着远离暴露的导电特征的相应平面延伸。在另一个范例中,每个互连元件包括其上具有暴露出的导电特征的引线框架。

[0178] 如图 31 所示,第一互连元件的主表面 910 面向上方,因而可以将其称为顶表面。第二互连元件的主表面 912 面向下方,因而可以将其称为底表面,该底表面与第一互连元件的顶表面 910 相对。虽然可以通过诸如引线的其他传统装置对其进行互连,但也可以将微电子元件 920 导电连接到第一互连元件,如该图中的倒装芯片互连中所示。还可以在倒装芯片互连或常规丝焊互连或其他装置中将微电子元件 921 导电连接到第一互连元件。如图 31 所示,微电子元件 920、921 设置于第一和第二互连元件的相对表面之间。或者除此之外,可以将微电子元件互连到其他主表面,例如第一互连元件的底表面 906 和第二互连元件的顶表面 916。

[0179] 基本由焊料构成的导电立柱 930 将第一互连元件的导电特征 901 与第二互连元件的相应的导电特征 911 导电互连起来。导电特征 901 通常是暴露于相应的主表面 910、912 的焊料可浸润焊盘。如图 31 所示,导电立柱的高度 H(932)在焊料所连接的导电焊盘 901、911 之间延伸。在特定范例中,每个立柱在相应的导电焊盘之间的中点处具有宽度 M(934)。可以这样形成立柱,使得该高度 H(932)大于该宽度 M(934)。此外,可以这样形成立柱,使得当在组件的相邻立柱的中心间测量时,高度 932 大于间距 P(936)的一半。

[0180] 立柱可以具有直壁 940、凸壁 940a 或凹壁 940b。在常规焊接的互连中,焊料块通常在它们要连接的相对焊盘之间的点具有更大宽度。在一个范例中,在把 350 μm 的球形焊球回流到 300 μm 的焊盘上时,所得的结果是熔合到焊盘的最大宽度(例如为 360 μm 或更大)的半球形焊料凸点。于是,如等式 $360/300 > 1.2$ 所示,在这种互连中焊料的宽度(360 μm)大于焊盘宽度(300 μm)的 1.2 倍。最大宽度出现在焊盘上方较大高度,例如 100 μm 或更大高度处。

[0181] 在图 31 所示的焊料立柱中,微凸立柱的宽度 M (944) 不到立柱 940a 连接到导电焊盘处的宽度 W (946) 的 1.2 倍。于是,立柱可能具有或多或少的“桶”形,但仍有助于实现上述优点,即实现期望的间隔高度而不必放宽间距。

[0182] 在图 31 所示的另一个范例中,立柱被示为具有稍微凹入的壁 940b。这里,在相对的导电焊盘 901、911 之间的中点处的立柱的宽度 M (948) 小于导电焊盘 901 处的立柱宽度 W (950)。

[0183] 现在将参考图 32 到 35 介绍通过导电焊料立柱对互连元件进行导电连接的方法。如图 32 所示,将焊球 1010 (通常为焊料球) 设置到如上所述(图 31) 的互连元件 1002 的焊料可浸润导电焊盘 1004 上。可以将焊球与助熔剂块一起设置在导电焊盘上,之后加热,使焊球回流成半球形凸点 1012,该凸点浸润并熔合到导电焊盘 1004 (图 33)。以类似方式制备第二互连元件 1002A (图 34)。在相对于第一互连元件 1002 翻转第二互连元件 1002A 之后,将第二互连元件 1002A 的焊料凸点 1012A 与第一互连元件的对应焊料凸点 1012 对齐。在每个互连元件的相对的焊料凸点 1012、1012A 之间提供助熔剂 1014。例如,如图所示,可以在对齐两个互连元件之前将助熔剂设置在互连元件之一或两者的焊料凸点 1012、1012A 上。可以使互连元件 1002、1002A 中的每个上的焊料凸点通过助熔剂而接触。

[0184] 接下来加热,使凸点 1012、1012A 中的每个的焊料熔化并形成立柱 1030 (图 35),该立柱具有如以上参考图 31 所述的特征。

[0185] 现在参考图 36,在上述实施例(图 32-34) 的变型中,导电膏块 1104 被挤压到互连元件 1102 的导电焊盘 1106 上。这些块通常是独立的,其边缘 1108 至少基本暴露。例如,可以使用丝网印刷或模版印刷技术迫使大量的含焊料的膏料通过丝网或模版中的开口到达焊盘 1106 上。以类似方式制备另一互连元件 1102A (图 37),然后翻转其并与第一互连元件 1102 对齐。可以使互连元件 1102、1102A 中的每个上的导电膏块 1104、1104A 接触并被加热,以形成导电立柱 1030 (图 30)。

[0186] 图 38 示出了参考图 36-37 所述的实施例的变型,其中,在连接两个互连元件之前仅在一个互连元件上提供导电膏块 1204,例如焊膏。可以将这种块 1204 形成为具有高的高宽比的较高特征;亦即,高度 H (1220) 大于宽度 W (1222)。在特定范例中,高度 H 可以大于宽度 W 的 11/2,或者甚至可以是宽度的倍数。可以利用丝网印刷或模版印刷技术形成高的导电膏块。同样,这些块通常是独立的,其边缘 1208 至少基本暴露。回流之后,形成具有图中所示和上文所述的特征的导电立柱 1030 (图 35)。

[0187] 尽管在此已经参考具体实施例描述了本发明,需要理解这些实施例仅仅是本发明的原理和应用的例示。因此,可以对例示性实施例做出很多修改,并可以做出其他布置而不脱离如所附权利要求定义的本发明的精神和范围。

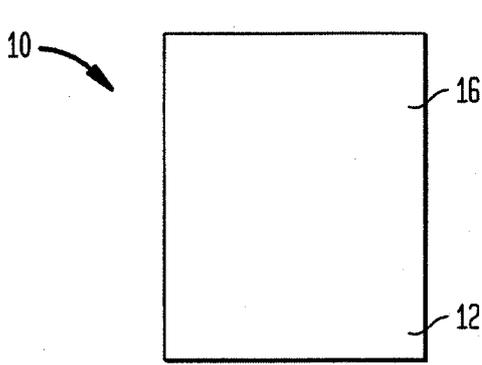


图 1

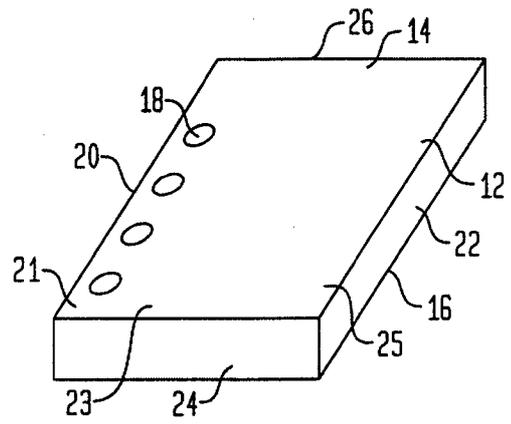


图 2

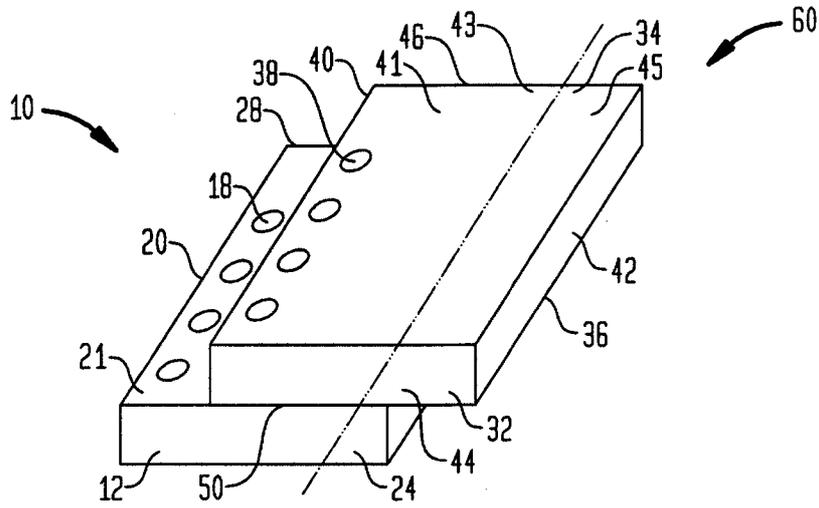


图 3

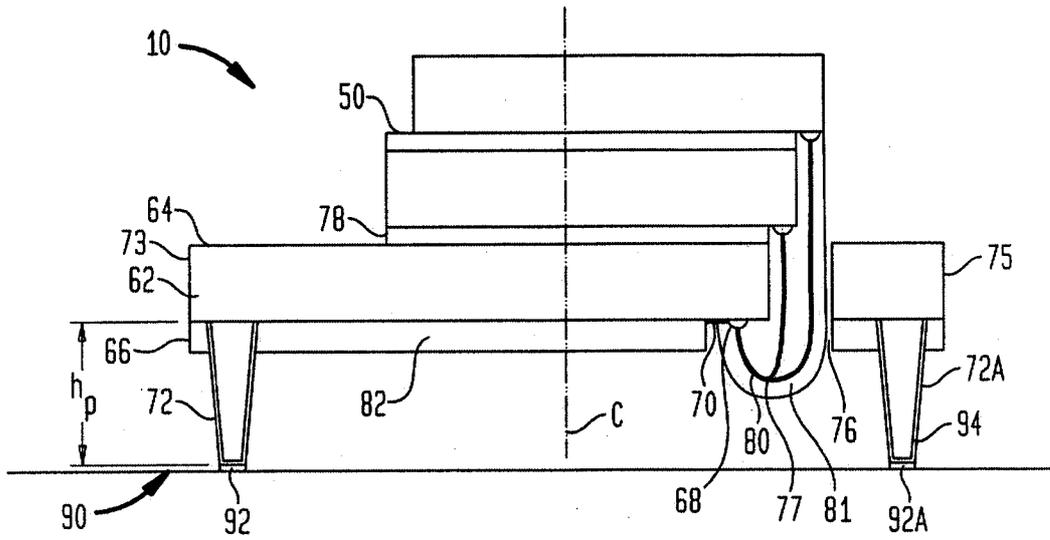


图 4

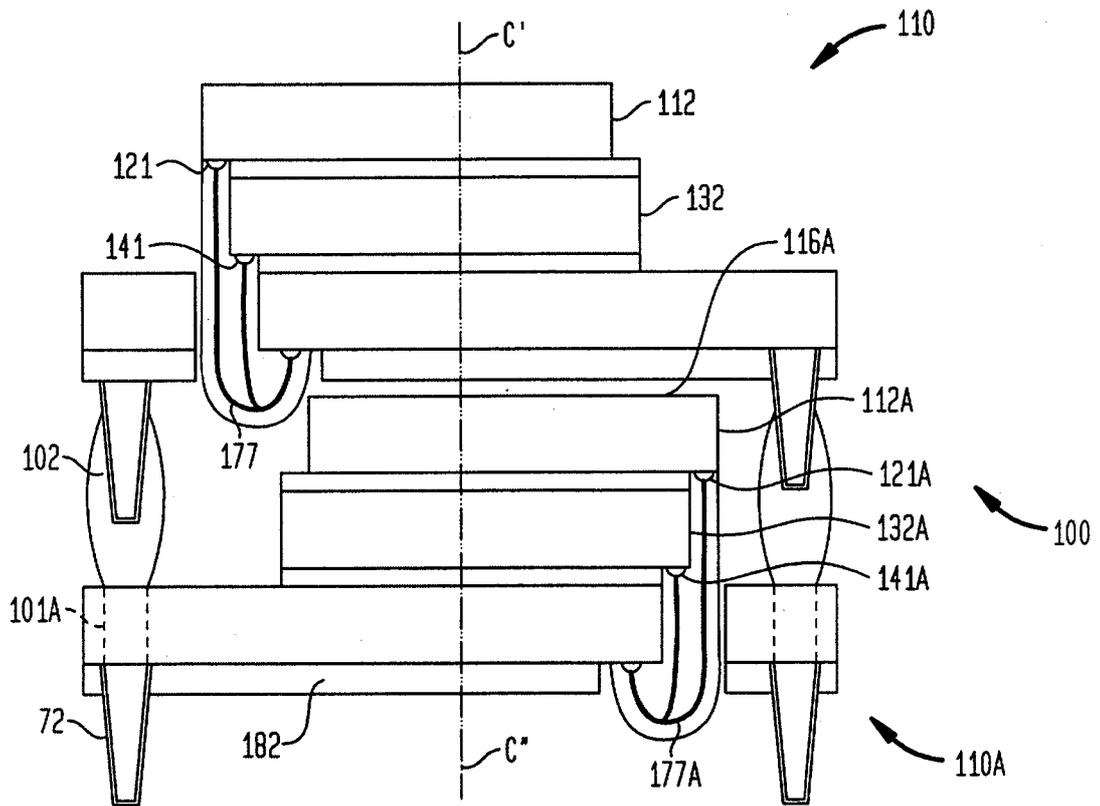


图 6

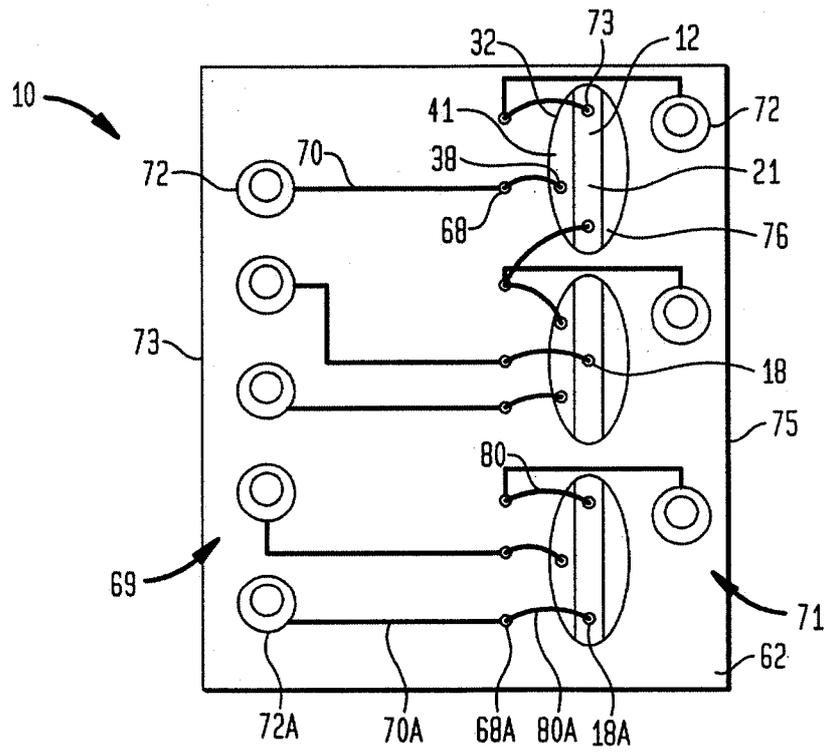


图 5A

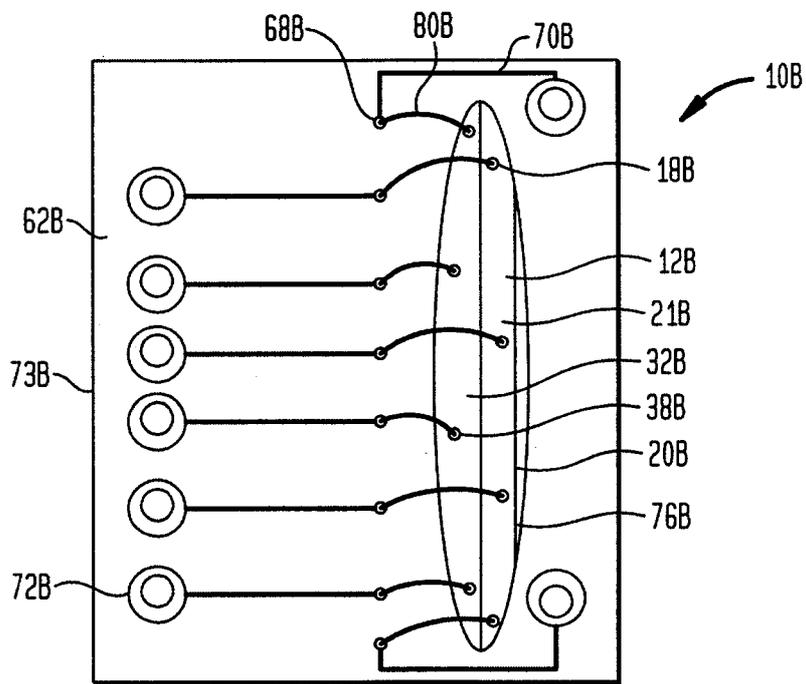


图 5B

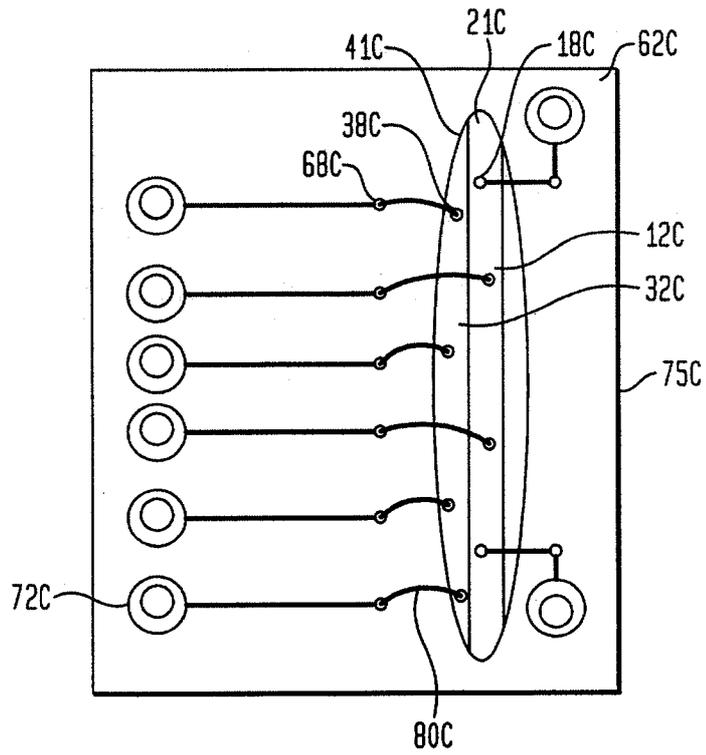


图 5C

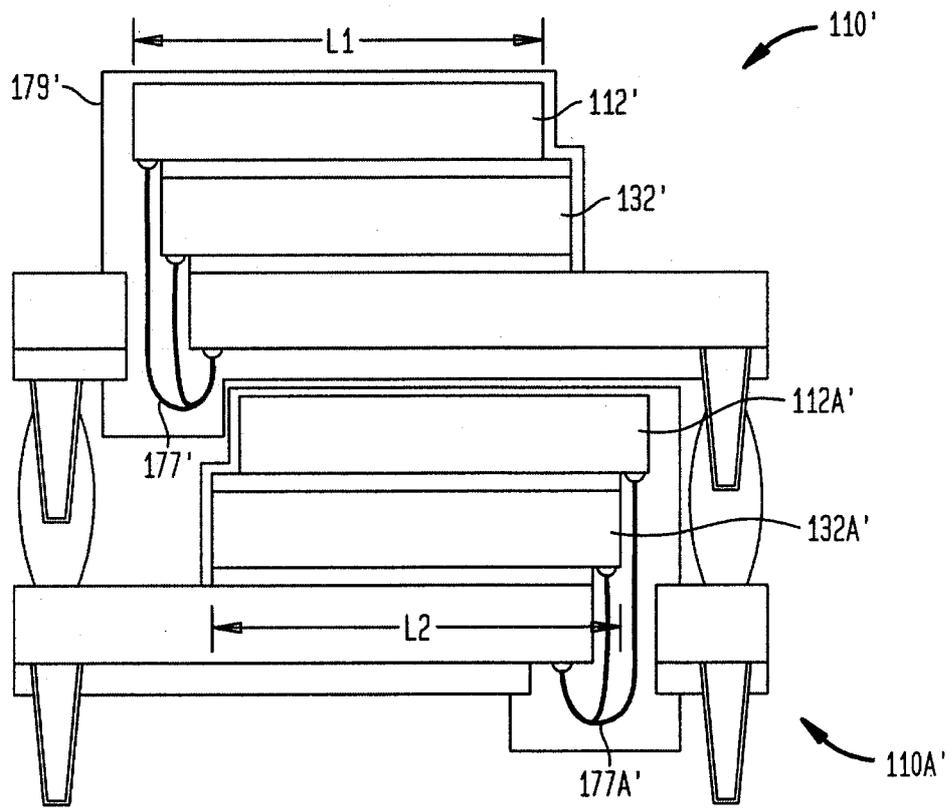


图 6B

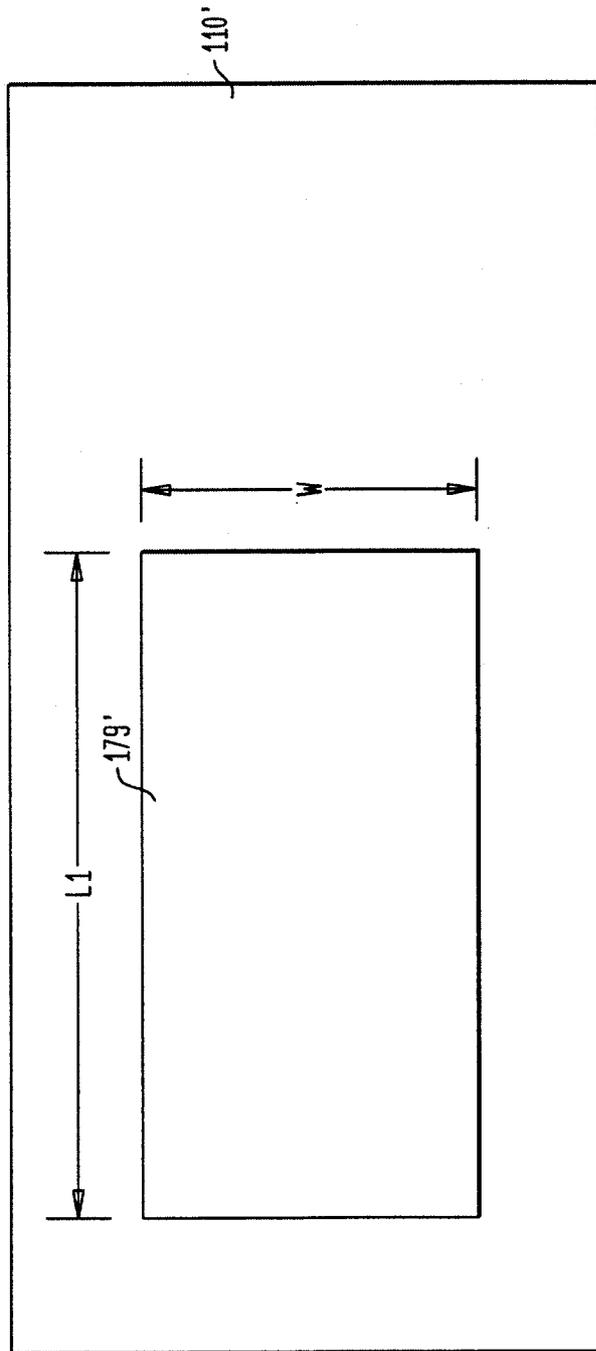


图 6C

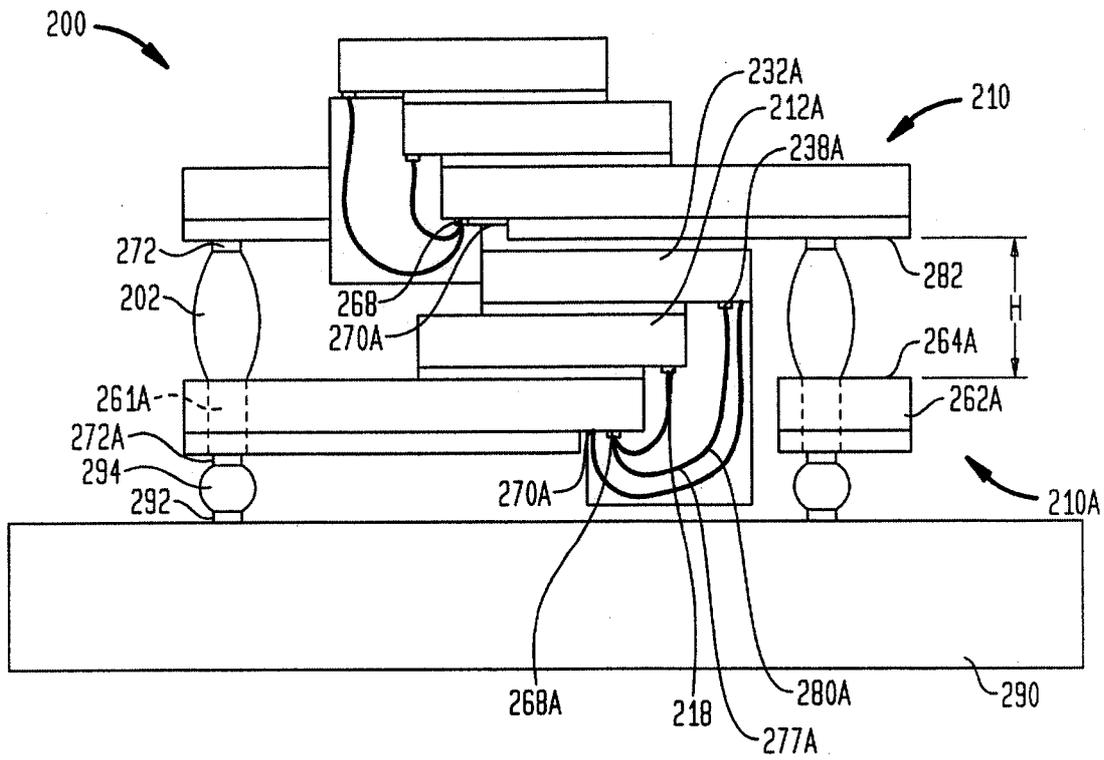


图 7

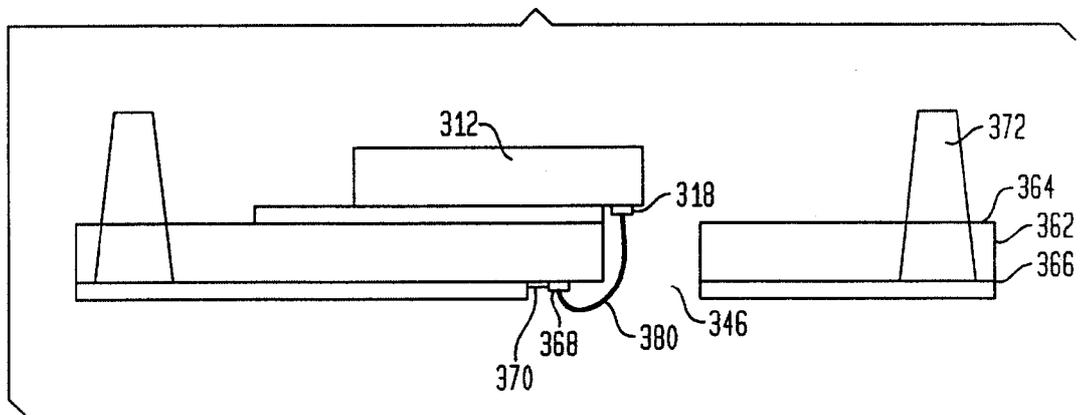


图 8

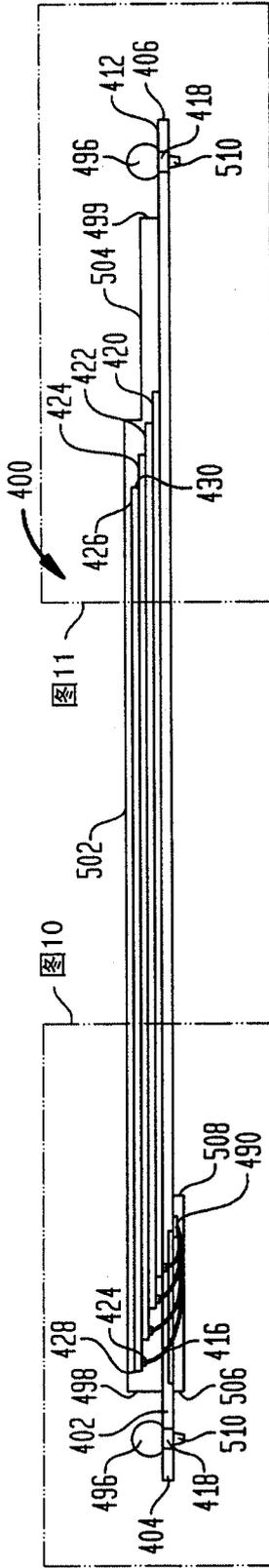


图 9

图 10

图 11

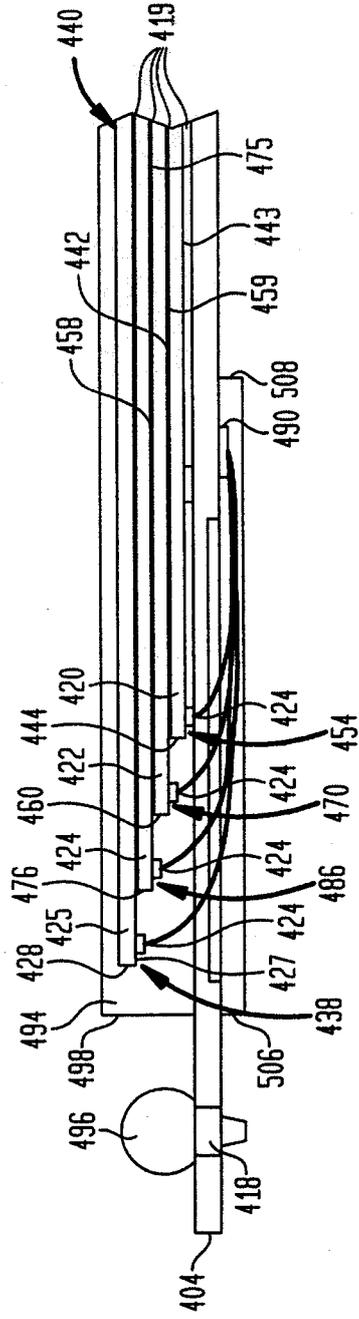
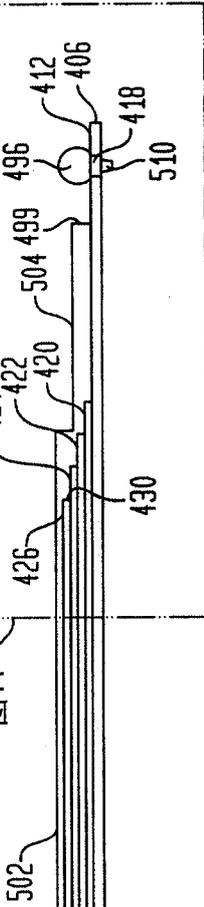


图 10

图 11

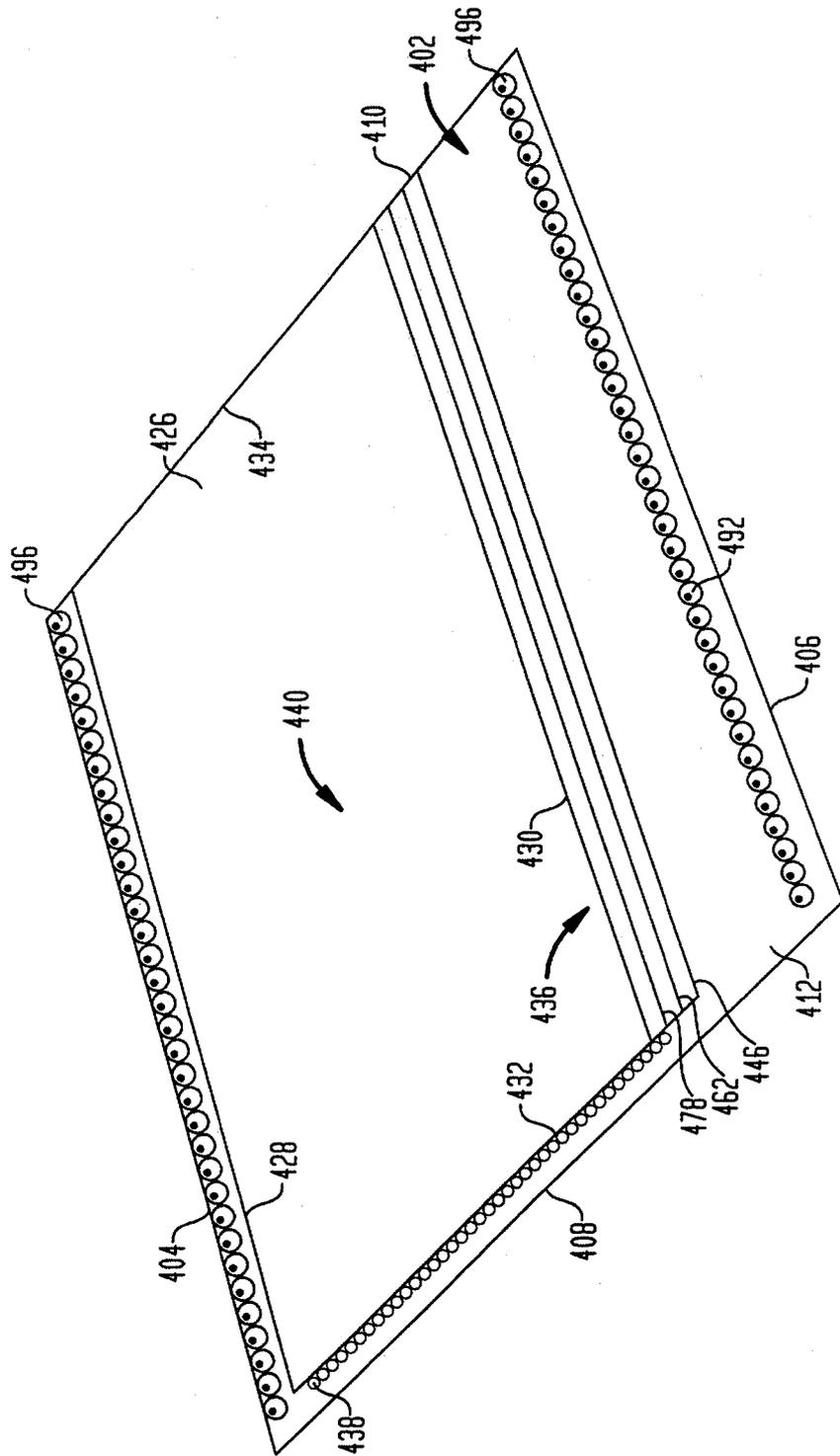


图 12

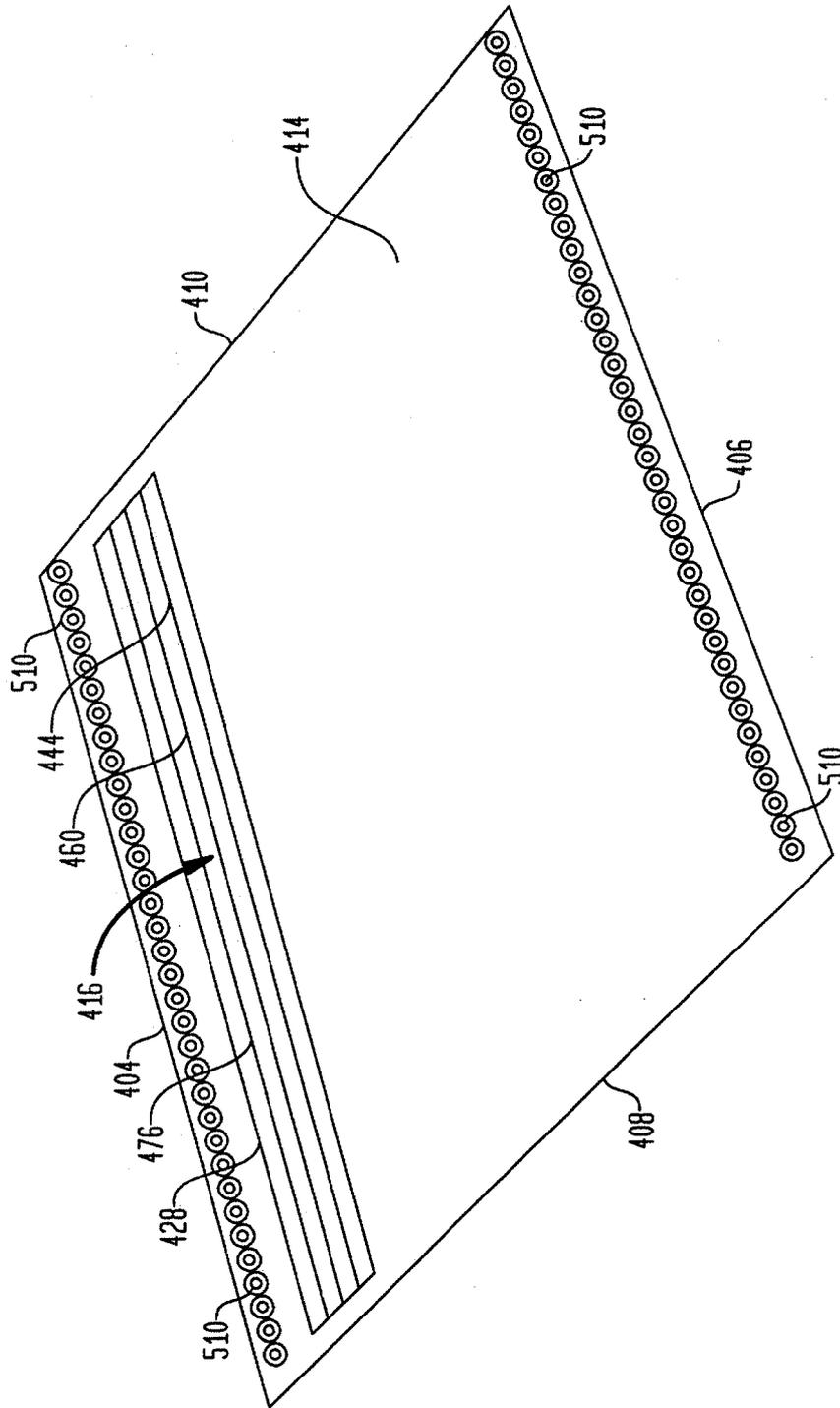


图 13

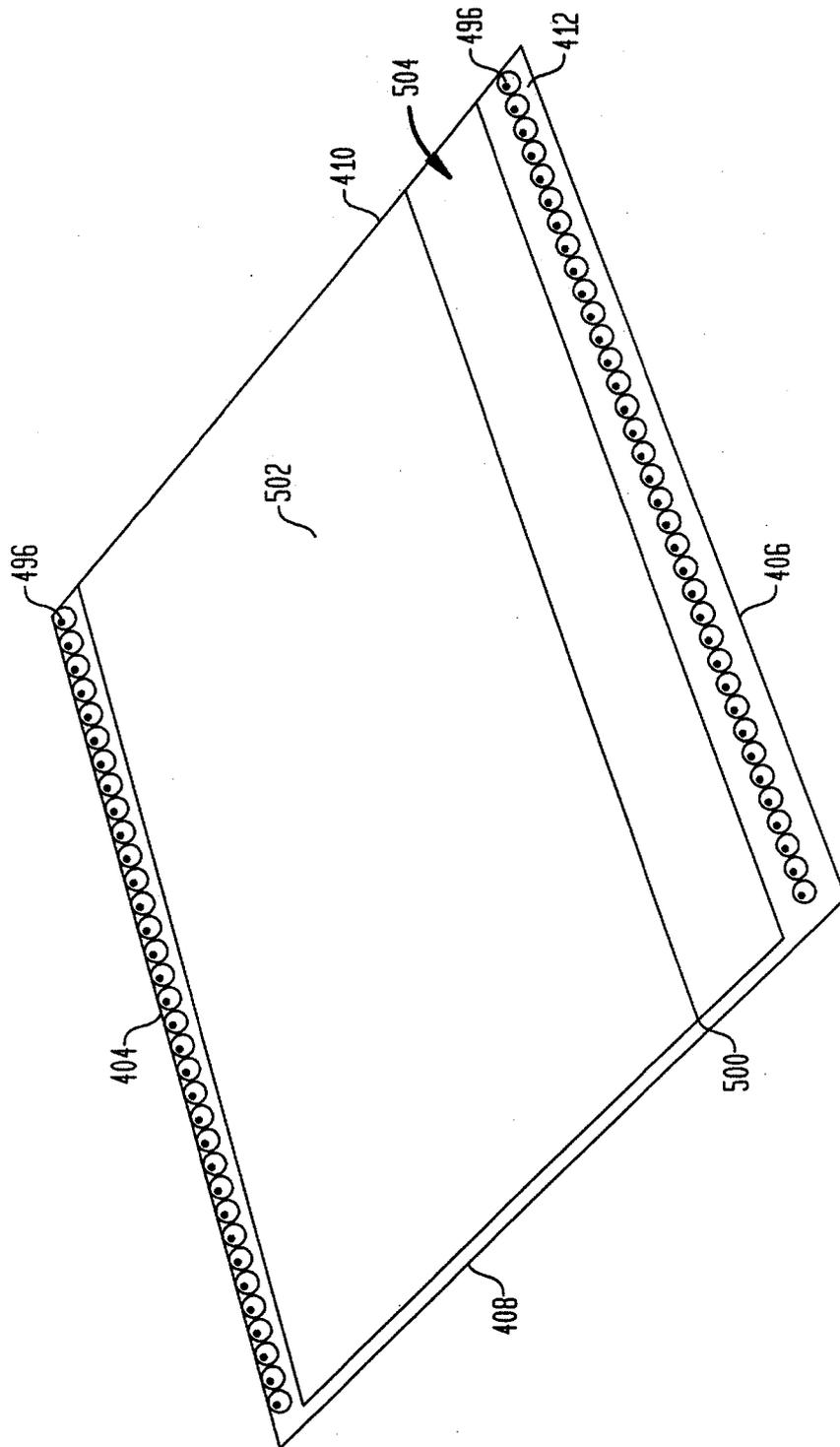


图 14

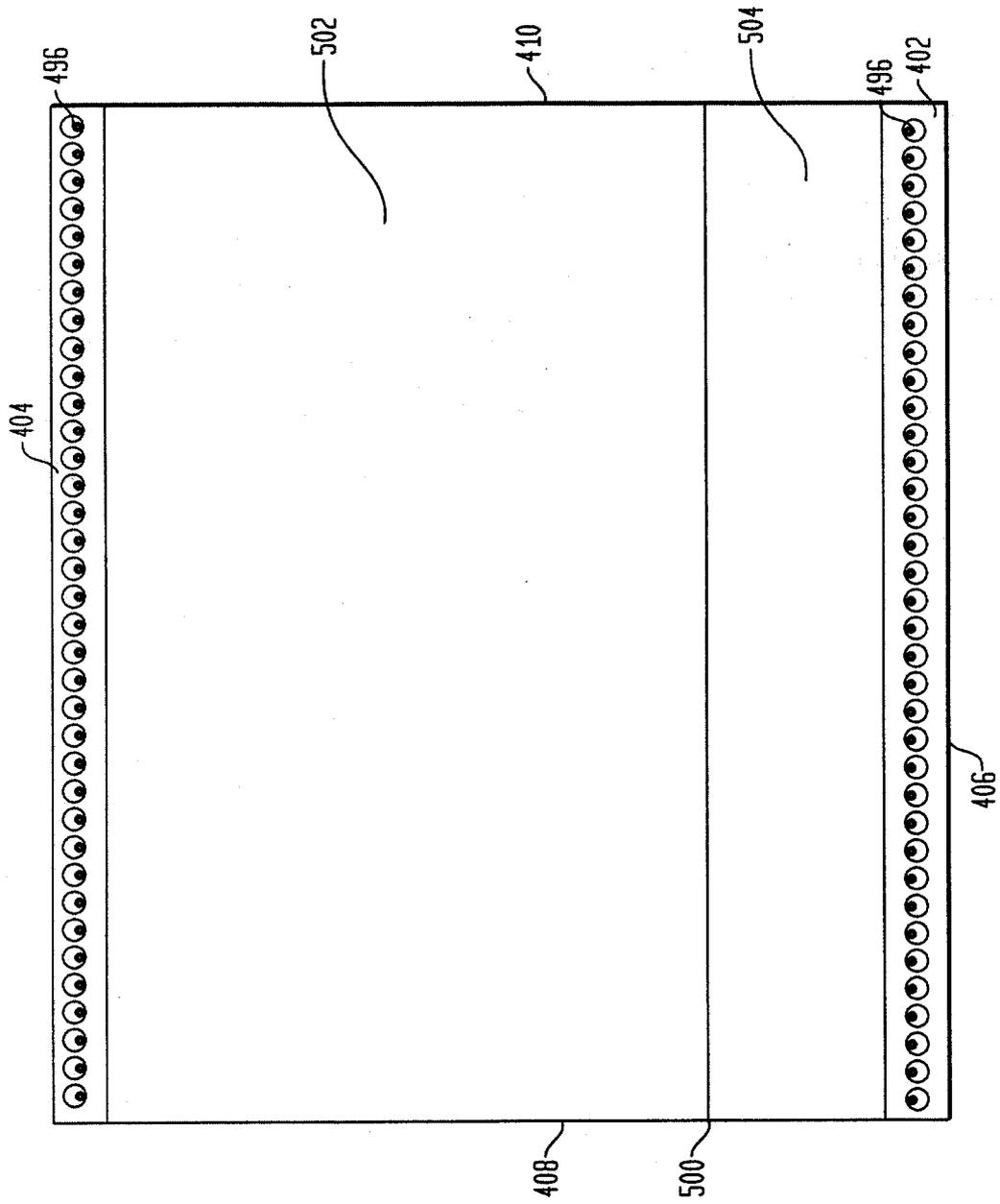


图 15

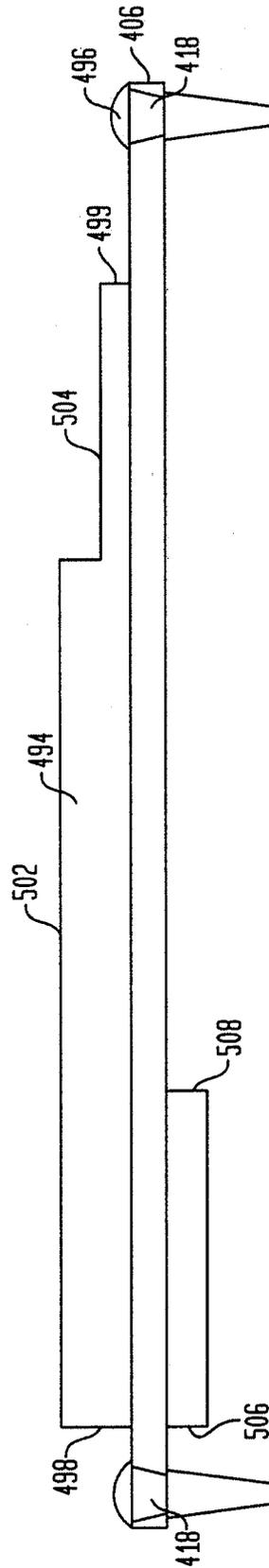


图 16

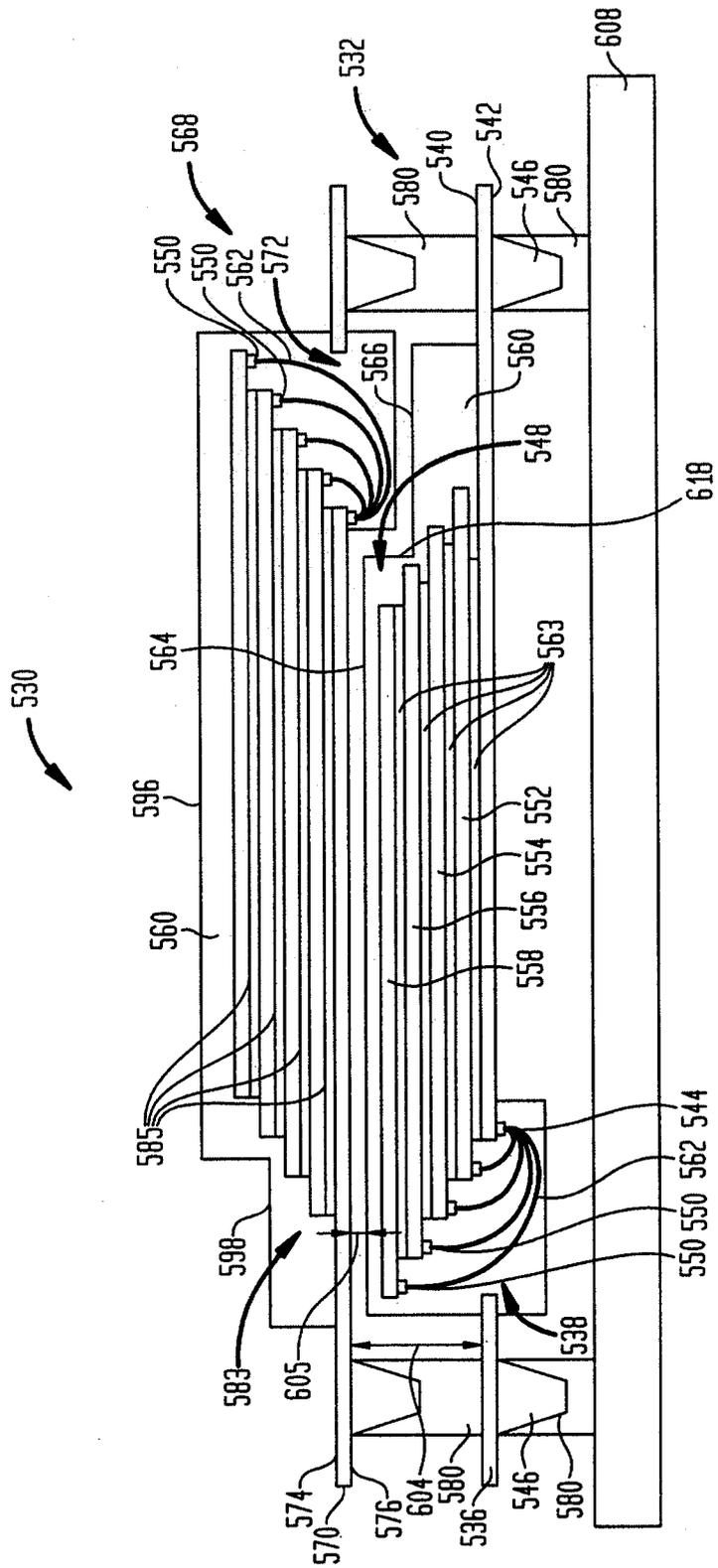


图 17

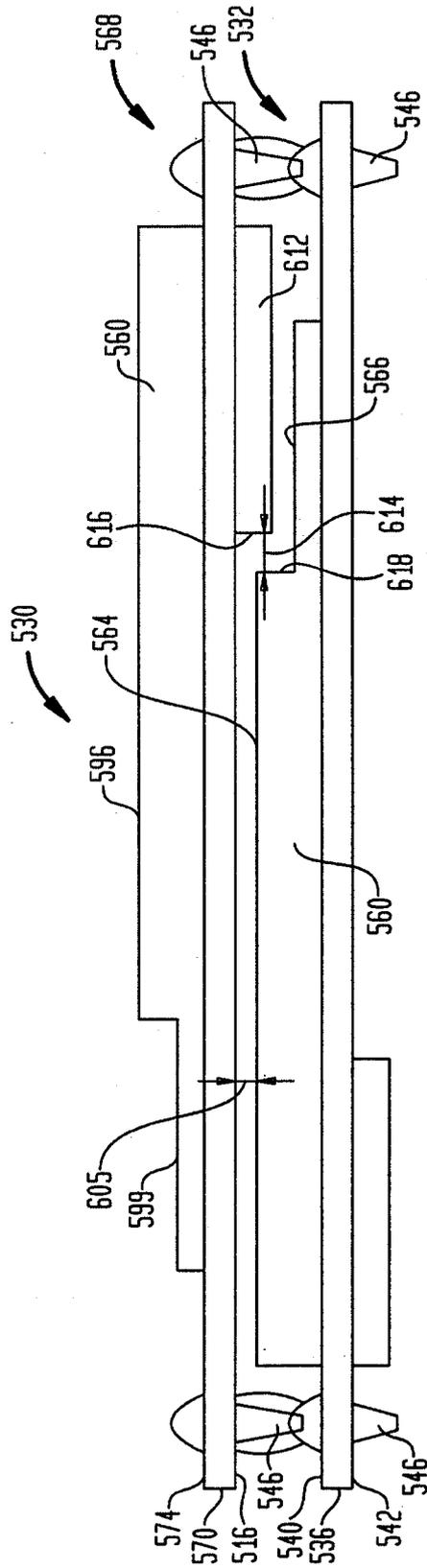


图 18

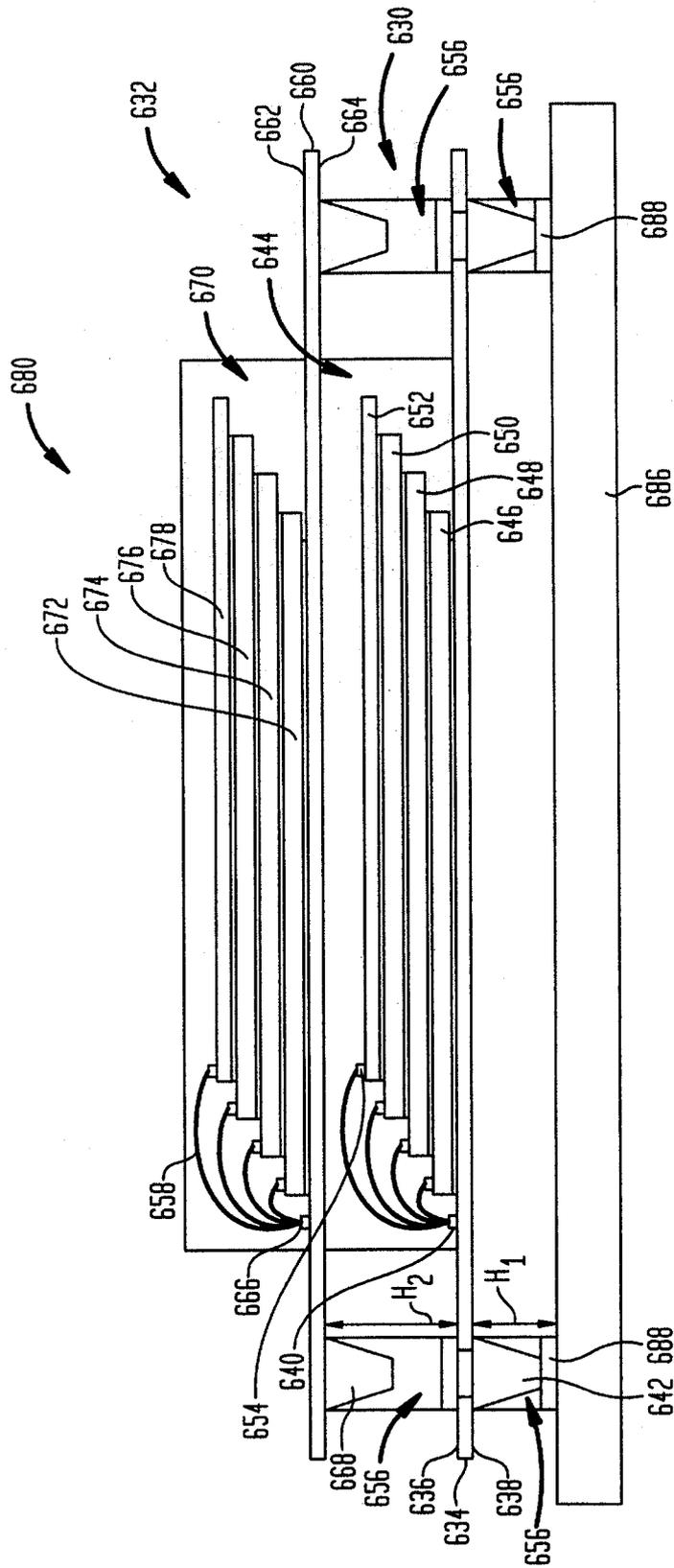


图 19

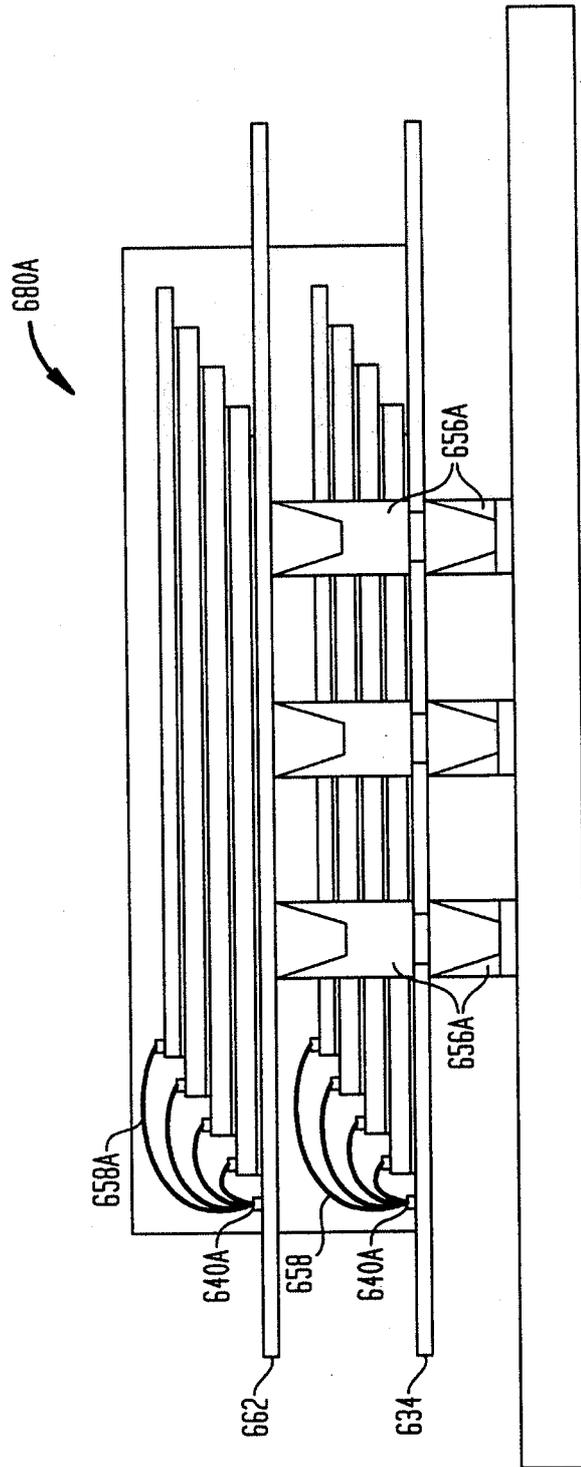


图 19A

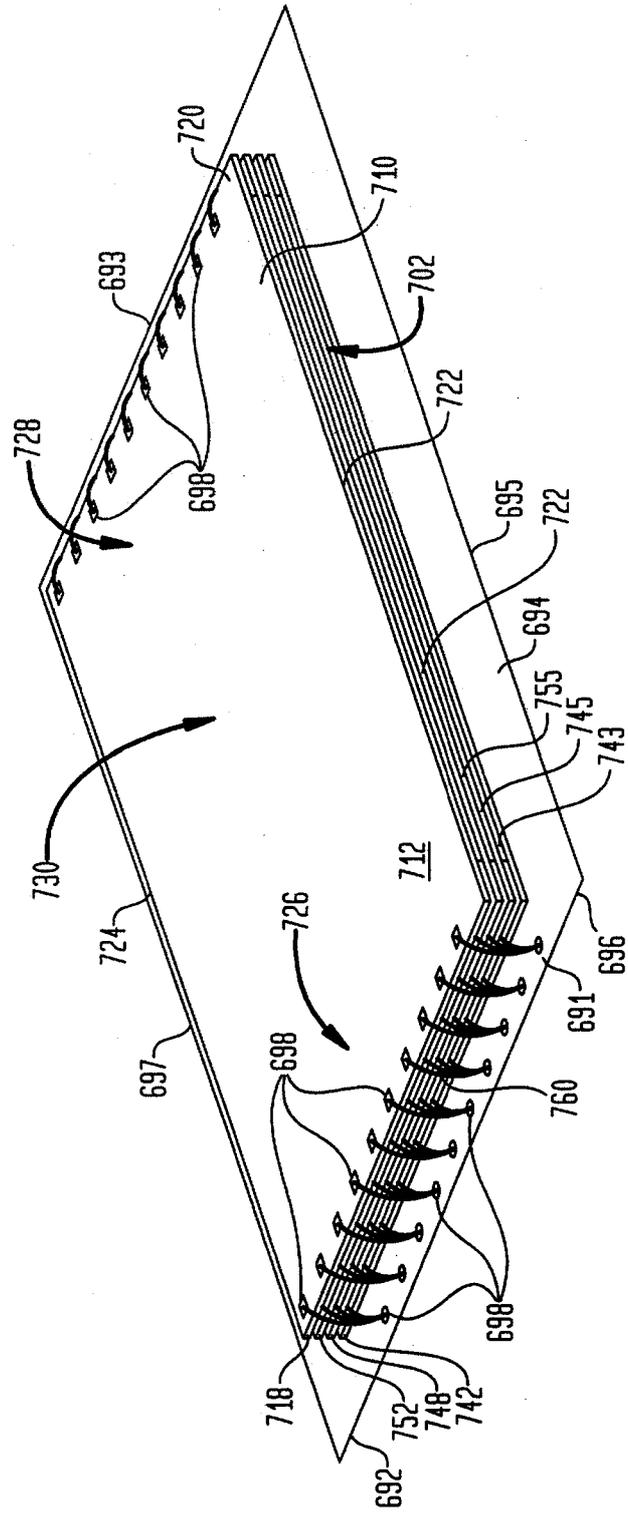


图 20

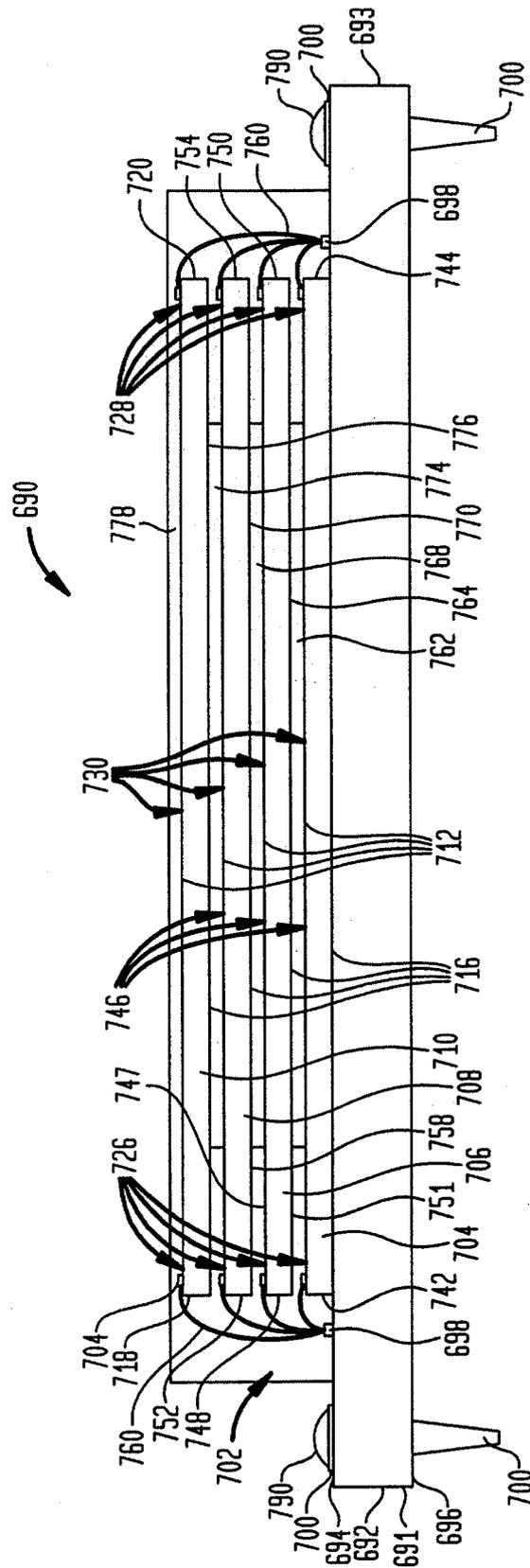


图 21

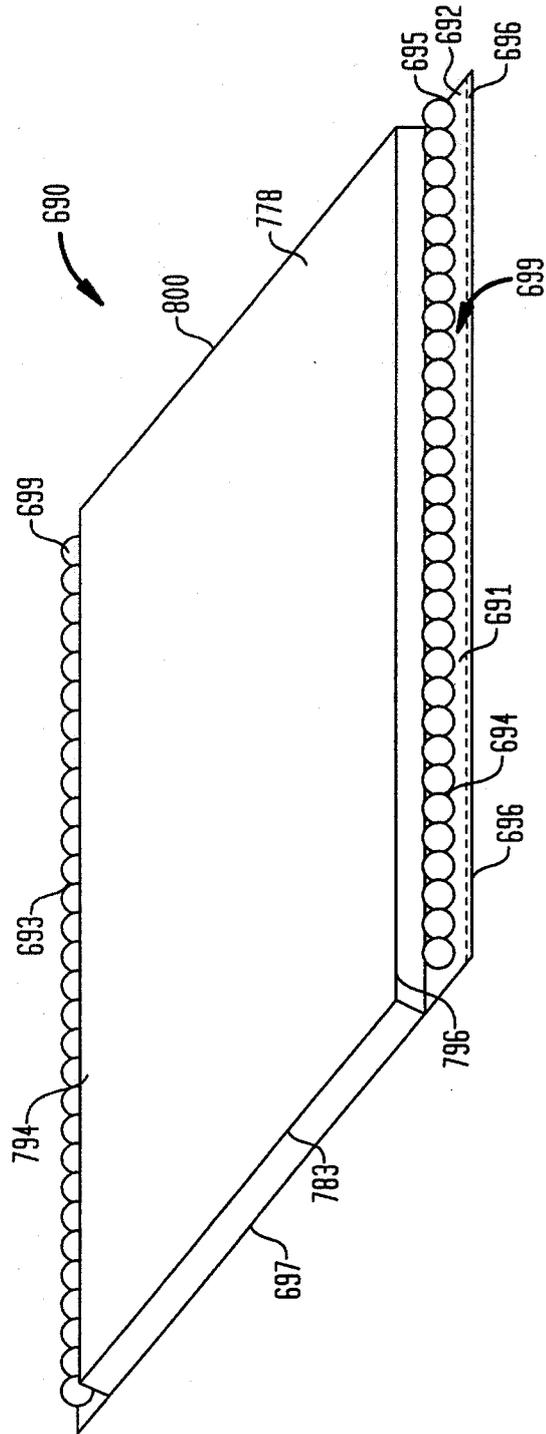


图 22

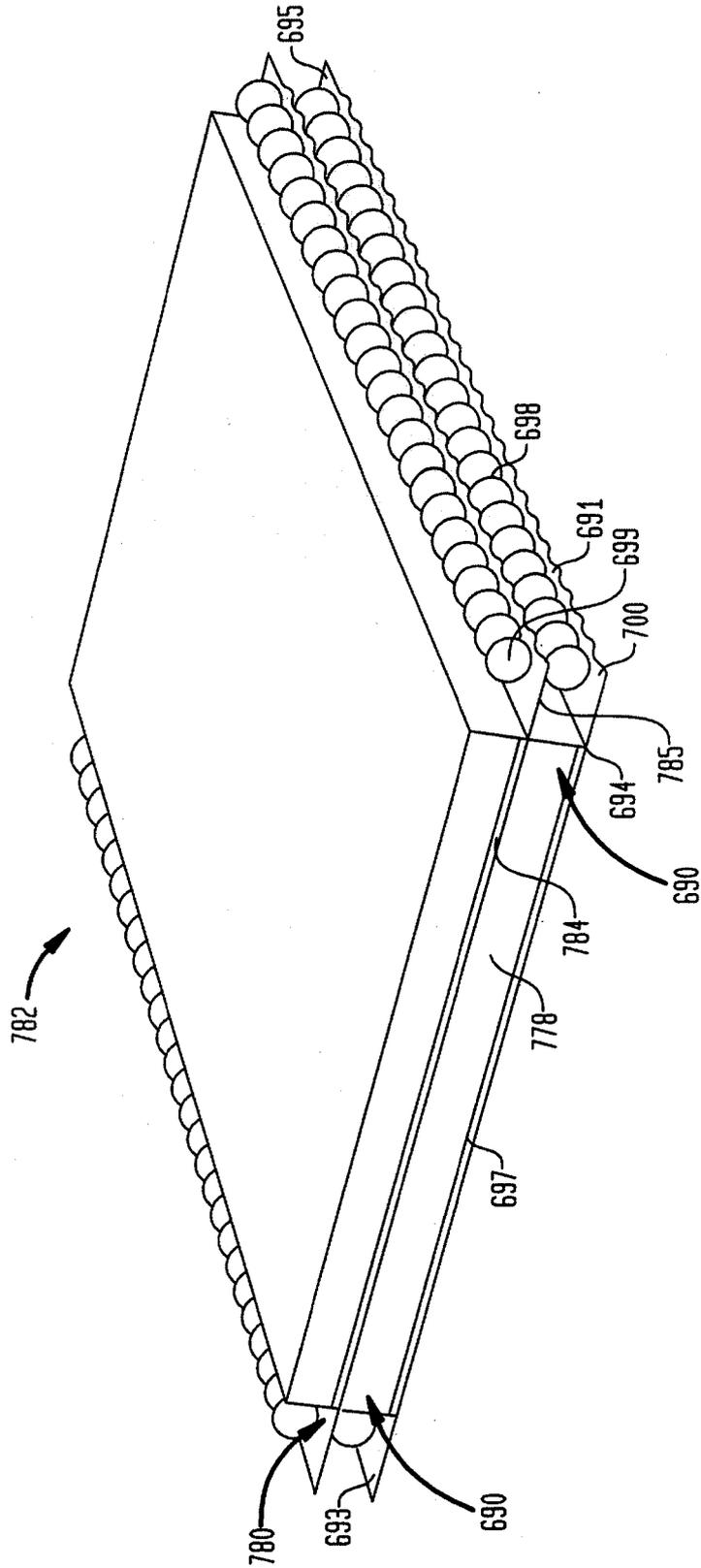


图 23

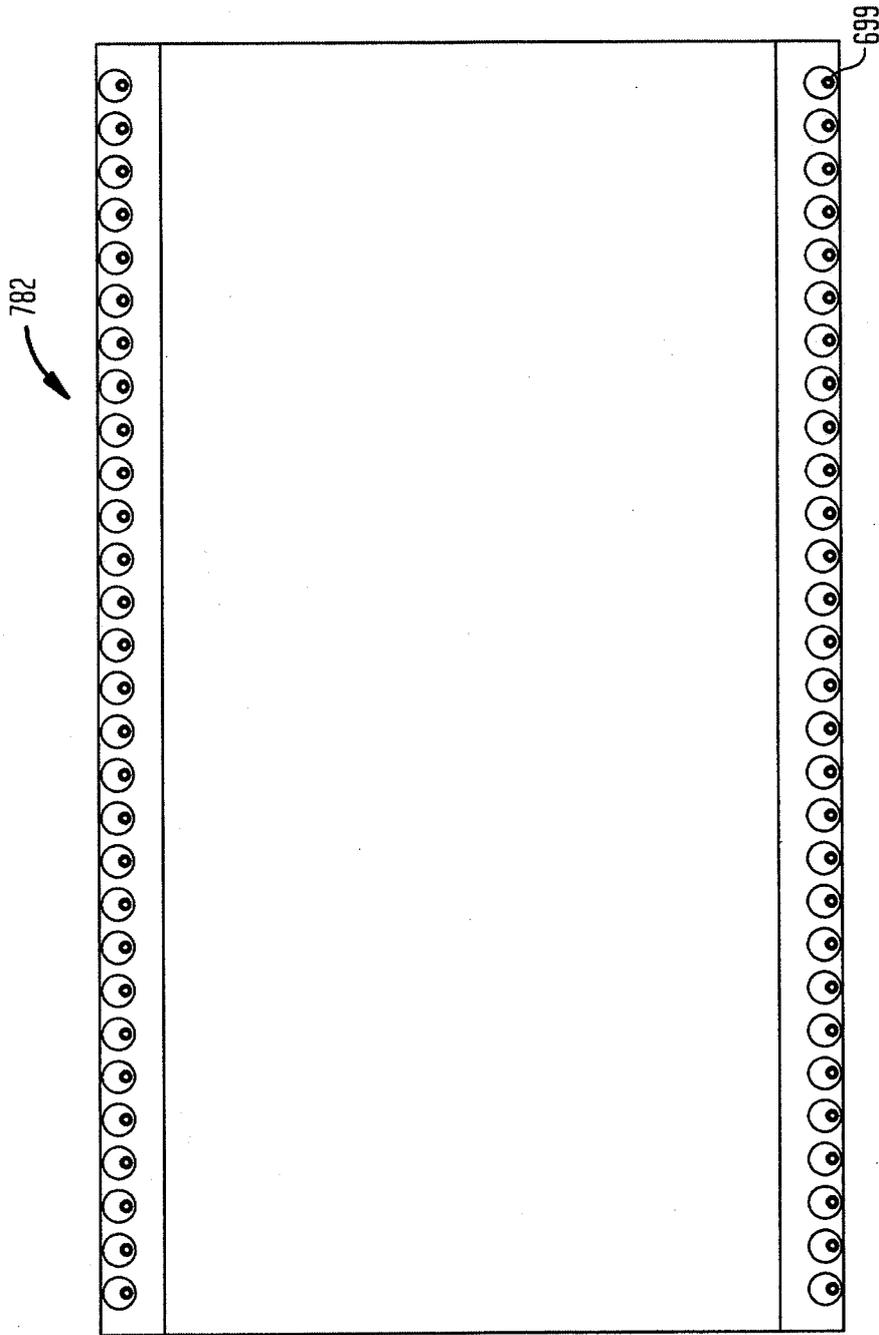


图 24

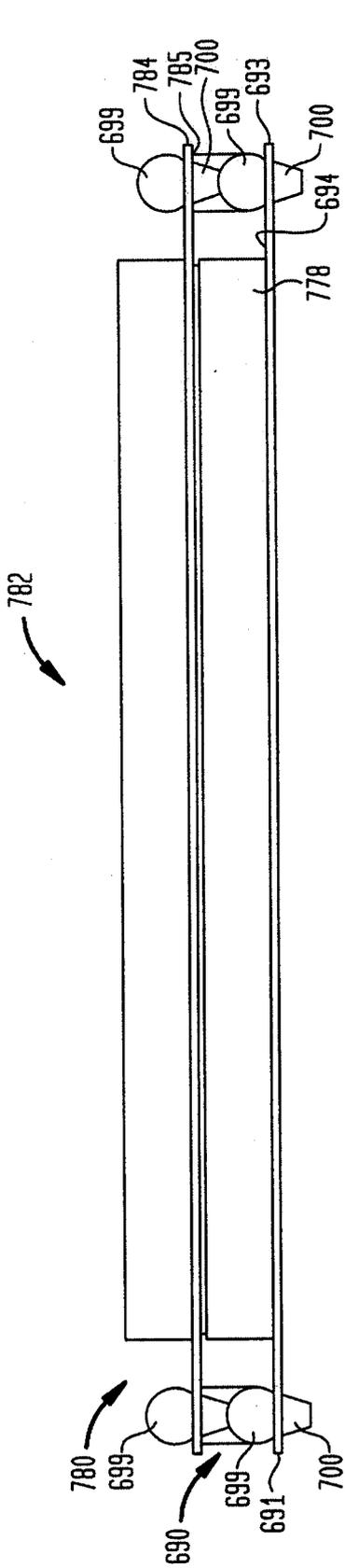


图 25

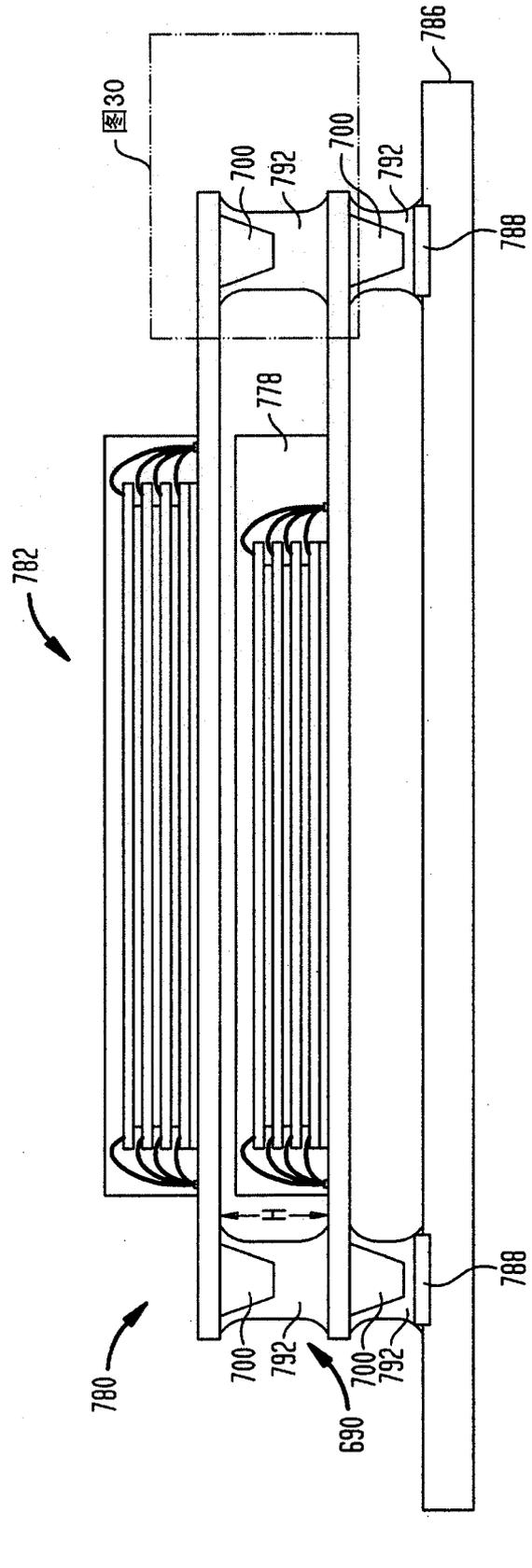


图 26

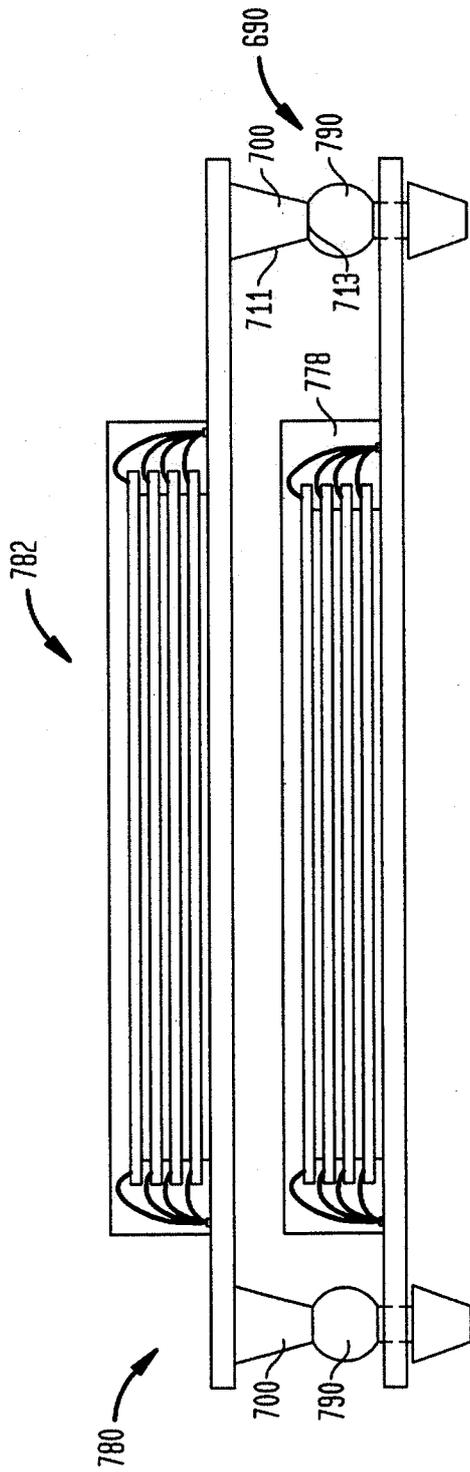


图 26A

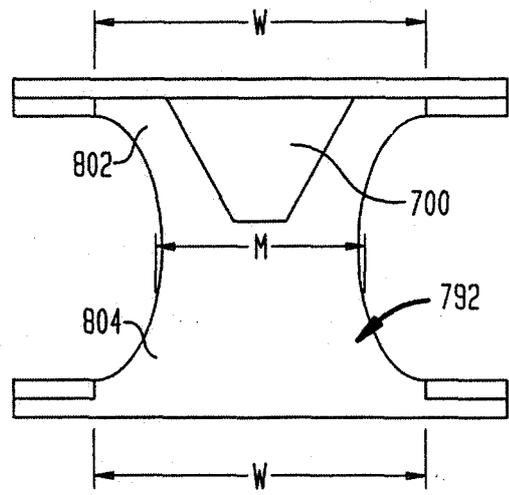


图 27

间距 (mm)	0.3*	0.4	0.5	
焊球直径(mm)	0.200	0.275	0.350	
焊盘直径(mm)	0.160	0.220	0.280	
间隙 (mm)	0.100			
	0.125			
	0.150			
	0.175			
	0.200			
	0.225	0.233		
	0.250			
	0.275			
	0.300			
	0.325		0.335	
	0.350			
	0.375			0.392
	0.400			
	0.425			

- 所有尺寸单位都为mm，除*80 μ m之外，都使用标准的125 μ m管脚
- 假设：间距P，焊球直径D，焊盘直径d为
 $D=0.7P$ （四舍五入到最接近的标准尺寸）
 $d = 0.8D$
- 计算得到的最大间隙值为下述值中较小一个：1) 圆柱形焊料接头（包括管脚体积）的高度或2) 回流前焊球+管脚的高度

图 28

间距 (mm)	0.3	0.4	0.5
焊球直径 (mm)	0.200	0.275	0.350
焊盘直径 (mm)	0.160	0.220	0.280
间隙 (mm)	0.100	0.117	
	0.125		
	0.150		0.169
	0.175		
	0.200		
	0.225		0.220
	0.250		
	0.275		
	0.300		
	0.325		
	0.350		
	0.375		
	0.400		
	0.425		

- 所有尺寸单位为mm
- 假设：间距P，焊球直径D，焊盘直径d为
 $D = 0.7P$ (四舍五入到最接近的标准尺寸)
 $d = 0.8D$
- 计算得到的最大间隙为坍塌后焊球的高度
 (焊盘尺寸顶部和底部相同)

图 29

间距 (mm)	0.3*	0.4	0.5
焊球直径 (mm)	0.200	0.275	0.350
焊盘直径 (mm)	0.150	0.206	0.263
间隙 (mm)	0.100		
	0.125		
	0.150		
	0.175		
	0.200		
	0.225		
	0.250	0.264	
	0.275		
	0.300		
	0.325		0.345
	0.350		
	0.375		
	0.400		
0.425			

- 所有尺寸单位都为mm，除*80 μm之外，都使用标准的125 μm管脚
- 假设：间距P，焊球直径D，焊盘直径d为
 $D = 0.7P$ (四舍五入到最接近的标准尺寸)
 $d = 0.75D$
- 计算得到的最大间隙值为下述值中较小一个：1) 圆柱形焊料接头 (包括管脚体积) 的高度或2) 回流前焊球+管脚的高度

图 30

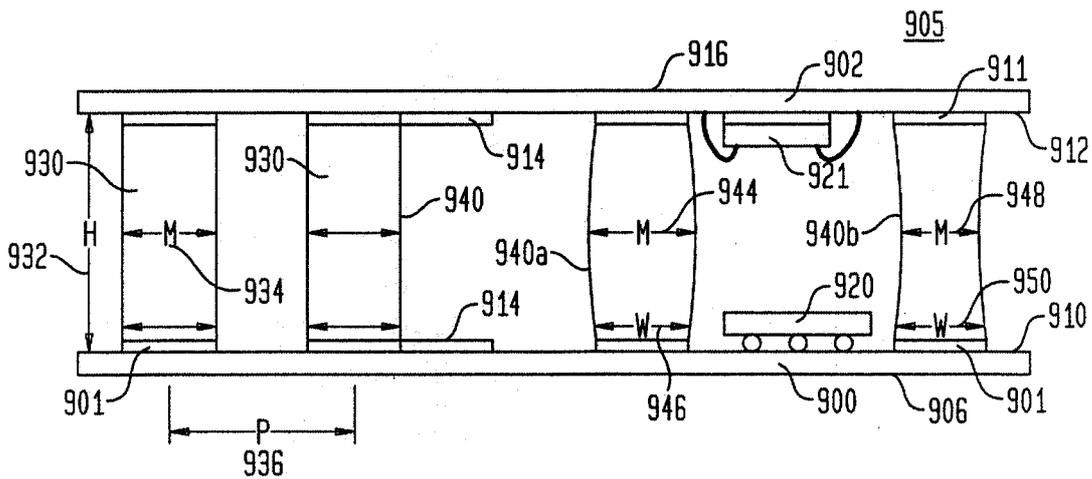


图 31

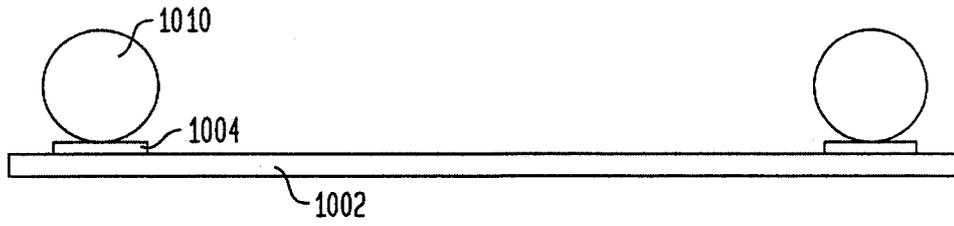


图 32



图 33

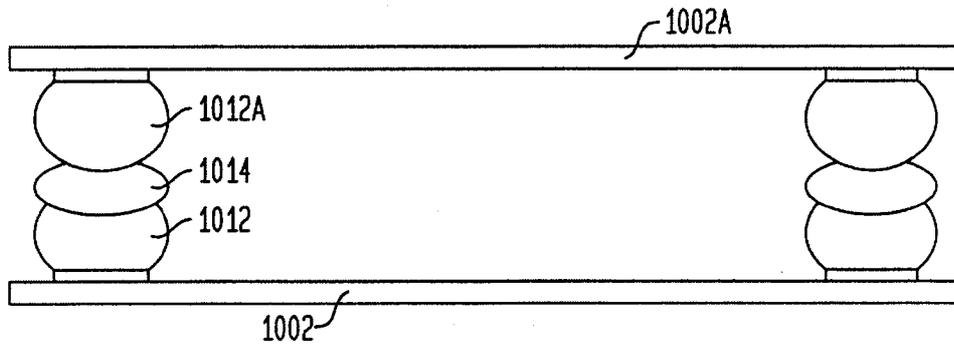


图 34

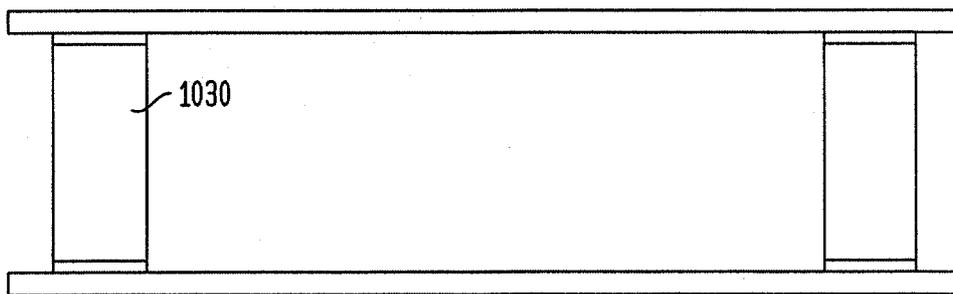


图 35

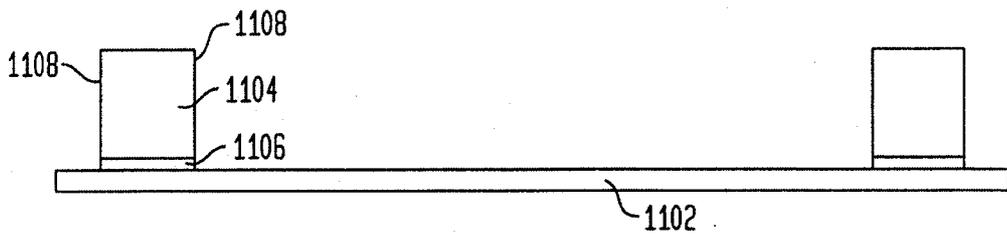


图 36

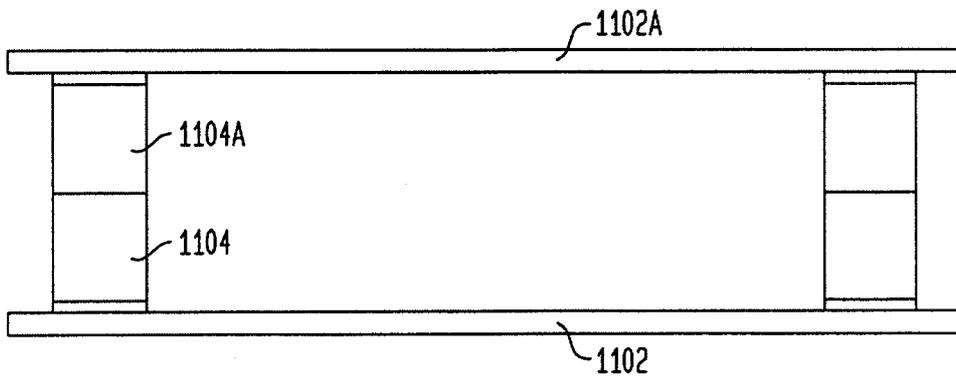


图 37

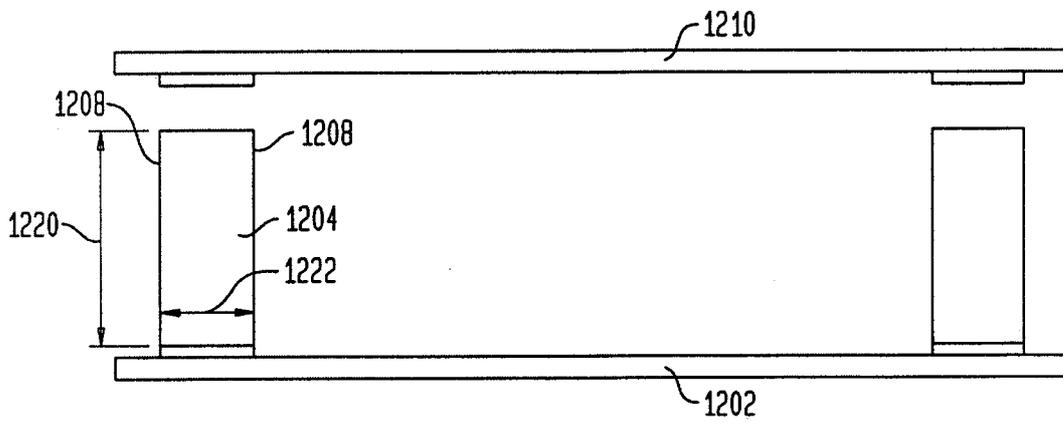


图 38