

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3881150号

(P3881150)

(45) 発行日 平成19年2月14日(2007.2.14)

(24) 登録日 平成18年11月17日(2006.11.17)

(51) Int. Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/00 I O I F

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2000-93760 (P2000-93760)	(73) 特許権者	000005223
(22) 出願日	平成12年3月30日 (2000.3.30)		富士通株式会社
(65) 公開番号	特開2001-285049 (P2001-285049A)		神奈川県川崎市中原区上小田中4丁目1番
(43) 公開日	平成13年10月12日 (2001.10.12)		1号
審査請求日	平成16年4月20日 (2004.4.20)	(74) 代理人	100068755
			弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	伊藤 邦洋
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 出力バッファ回路の制御方法及び出力バッファ回路

(57) 【特許請求の範囲】

【請求項1】

急峻な波形を持つ入力信号にตอบสนองして緩やかな波形を持つ信号を出力端子に出力する第1のドライブ回路と、

前記出力端子に接続され、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路と

を備えた出力バッファ回路の制御方法であって、

前記第1のドライブ回路の出力信号を遅延した遅延信号に基づき、前記第1のドライブ回路が出力信号を充分に変化させた後に前記第2のドライブ回路を駆動するようにしたことを特徴とする出力バッファ回路の制御方法。

10

【請求項2】

急峻な波形を持つ入力信号にตอบสนองして緩やかな波形を持つ信号を出力端子に出力する第1のドライブ回路と、

前記出力端子に接続され、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路と、

前記第1のドライブ回路の出力信号を遅延した遅延信号を出力する遅延回路と、

前記入力信号と前記遅延信号に基づいて、前記第1のドライブ回路が出力信号を充分に変化させた後に前記第2のドライブ回路を駆動するべく制御信号を生成する制御回路と、を備えたことを特徴とする出力バッファ回路。

【請求項3】

20

前記第 1 のドライブ回路は、第 1 の電源と出力端子との間に接続された第 1 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 2 の出力トランジスタとを備え、第 1 及び第 2 の出力トランジスタは入力信号に基づいて制御端子に印加される急峻な波形を持つ信号にตอบสนองして緩やかな波形を持つ信号を出力するように設定され、

前記第 2 のドライブ回路は、第 1 の電源と出力端子との間に接続され第 3 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 4 の出力トランジスタとを備え、第 3 及び第 4 の出力トランジスタは前記第 1 及び第 2 の出力トランジスタよりも低いインピーダンスを持つように設定されたことを特徴とする請求項 2 に記載の出力バッファ回路。

【請求項 4】

前記制御回路は、

前記第 1 の出力トランジスタを前記入力信号に基づいてオン状態に制御し、前記第 3 の出力トランジスタを前記遅延信号に基づいてオン状態に制御し、前記第 1 及び第 3 の出力トランジスタを前記入力信号に基づいてオフ状態に制御し、

前記第 2 の出力トランジスタをオン状態に制御した後、前記第 4 の出力トランジスタをオン状態に制御し、前記第 2 及び第 4 の出力トランジスタを前記入力信号に基づいてオフ状態に制御する

ことを特徴とする請求項 3 に記載の出力バッファ回路。

【請求項 5】

前記第 2 のドライブ回路は、それぞれ異なるインピーダンスに設定された複数の副ドライブ回路から構成され、

前記複数の副ドライブ回路のうちの少なくとも一つを選択して出力インピーダンスを変更可能に構成した、ことを特徴とする請求項 2 に記載の出力バッファ回路。

【請求項 6】

第 1 のドライブ回路と、

前記第 1 のドライブ回路よりも出力インピーダンスが低く設定された第 2 のドライブ回路と、

を備えた出力バッファ回路であって、

前記第 1 のドライブ回路は、入力信号にตอบสนองして第 1 のレベルをもつ第 1 の出力信号を出力し、

前記第 2 のドライブ回路は、前記第 1 の出力信号を遅延させることで生成されたドライブ信号にตอบสนองして、前記第 1 のレベルをもつ第 2 の出力信号を出力すること

を特徴とする出力バッファ回路。

【請求項 7】

入力信号にตอบสนองして第 1 のレベルをもつ第 1 の出力信号を出力する第 1 のドライブ回路と、

前記第 1 のドライブ回路よりも出力インピーダンスが低く設定された第 2 のドライブ回路と、

前記第 2 のドライブ回路から前記第 1 のレベルをもつ第 2 の出力信号を出力させるための制御信号を、前記第 1 の出力信号を遅延させることで生成する制御回路と、

を備えたことを特徴とする出力バッファ回路。

【請求項 8】

第 1 のドライブ回路と該第 1 のドライブ回路よりも出力インピーダンスが低く設定された第 2 のドライブ回路とを備える出力バッファ回路を制御する出力バッファ回路の制御方法であって、

前記第 1 のドライブ回路を使用して、入力信号にตอบสนองして第 1 のレベルを持つ第 1 の出力信号を生成し、

前記第 1 の出力信号を遅延させてドライブ信号を生成し、

前記ドライブ信号にตอบสนองして前記第 2 のドライブ回路に前記第 1 のレベルをもつ第 2 の出力信号を出力させること

10

20

30

40

50

を特徴とする出力バッファ回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は緩やかな立ち上がり・立ち下がり波形を持つ出力信号を出力するとともに、出力インピーダンスが低く設定された出力バッファ回路に関するものである。

【0002】

近年、半導体集積回路装置には、その出力信号の遷移時間（立ち上がり時間・立ち下がり時間）が長い特性を持つ出力バッファ回路が設けられているものがある。例えば、コンピュータとキーボードの接続に用いられるUSB (Universal Serial Bus)等のように、低速なデータ転送を行うインタフェースには、信号波形の立ち上がり・立ち下がり時間を長くすることで、バスケーブルに不要輻射防止用のシールドを不用にしている。この様な出力バッファ回路において、プロセス等の要因による遷移時間のバラツキ低減が望まれている。

10

【0003】

【従来の技術】

図6は、従来の出力バッファ回路の回路図である。

出力バッファ回路11は、ドライブ回路12、第1及び第2制御回路13、14を備えている。

【0004】

20

ドライブ回路12は、高電位電源VDDと出力端子15の間に接続されたPチャンネルMOSトランジスタTP1と、低電位電源VSSと出力端子15の間に接続されたNチャンネルMOSトランジスタTN1とから構成されている。両トランジスタTP1、TN1のゲートはそれぞれ第1及び第2制御回路13、14に接続されている。

【0005】

第1制御回路13は、高電位電源VDDと出力トランジスタTP1のゲートとの間に接続されたPMOSトランジスタTP2と、低電位電源VSSと出力トランジスタTP1のゲートとの間に直列接続された2つのNMOSトランジスタTN2、TN3を備えている。各トランジスタTP2、TN2、TN3のゲートには外部入力信号VINが印加され、それに応答して制御信号VPを出力トランジスタTP1のゲートに供給する。

30

【0006】

第2制御回路14は、高電位電源VDDと出力トランジスタTN1のゲートとの間に直列接続された2つのPMOSトランジスタTP3、TP4と、低電位電源VSSと出力トランジスタTN1のゲートとの間に接続されたNMOSトランジスタTN4を備えている。各トランジスタTP3、TP4、TN4のゲートには外部入力信号VINが印加され、それに応答して制御信号VNを出力トランジスタTN1のゲートに供給する。

【0007】

ドライブ回路12の両トランジスタTP1、TN1は、出力端子15から見て低いインピーダンスを持つように、それぞれ大きなトランジスタサイズ（ゲート幅）に形成されている。従って、出力端子15からの外部出力信号VOUTが極めて緩やかな立ち上がり波形を持つように、第1制御回路13は、直列に接続されたNチャンネルMOSトランジスタTN2、TN3により低電位電源VSSに流れ込む電流量を制御し、緩やかな立ち下がり波形を持つ制御信号VPを生成する。

40

また、外部出力信号VOUTが極めて緩やかな立ち下がり波形を持つように、第2制御回路14は、直列に接続されたPチャンネルMOSトランジスタTP3、TP4により高電位電源VDDから流れ出す電流量を制御し、緩やかな立ち上がり波形を持つ制御信号VNを生成する。

【0008】

即ち、出力信号VOUTの波形を緩やかな遷移とするための手段として、第1及び第2制御回路13、14は、出力トランジスタTP1及びTN1のゲートに印加する制御信号V

50

P, V_Nの波形遷移時間を制御している。

【0009】

【発明が解決しようとする課題】

ところで、出力信号V_{OUT}の波形(立ち上がり時間及び立ち下がり時間)は、規格によりその最小値及び最大値が規定されている。しかしながら、製造プロセスのバラツキによる第1及び第2制御回路13, 14の各トランジスタT_{P2}~T_{P4}, T_{N2}~T_{N4}のサイズ, 第1及び第2制御回路13, 14と出力トランジスタT_{P1}, T_{N2}の間の配線容量のバラツキ、電源電圧源のバラツキ、温度変化等の要因は、制御信号V_P, V_Nの波形に大きな影響を与える。これにより、外部出力信号V_{OUT}の波形(立ち上がり時間及び立ち下がり時間)のバラツキが大きくなり、それらが規格から外れる場合があった。

10

【0010】

本発明は上記問題点を解決するためになされたものであって、その目的は遷移時間のバラツキが少ない信号を出力することのできる出力バッファ回路を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、急峻な波形を持つ入力信号にตอบสนองして緩やかな波形を持つ信号を出力端子に出力する第1のドライブ回路と、前記出力端子に接続され、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路とを備えた出力バッファ回路の制御方法であって、前記第1のドライブ回路の出力信号を遅延した遅延信号に基づき、前記第1のドライブ回路が出力信号を充分に変化させた後に前記第2のドライブ回路を駆動するようにした。これにより、第1ドライブ回路にて緩やかな波形を持つ出力信号を出力するとともに、第2ドライブ回路にて出力信号の静的状態において低インピーダンス特性を実現することができる。

20

【0012】

請求項2に記載の発明は、急峻な波形を持つ入力信号にตอบสนองして緩やかな波形を持つ信号を出力端子に出力する第1のドライブ回路と、前記出力端子に接続され、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路と、前記第1のドライブ回路の出力信号を遅延した遅延信号を出力する遅延回路と、前記入力信号と前記遅延信号に基づいて、前記第1のドライブ回路が出力信号を充分に変化させた後に前記第2のドライブ回路を駆動するべく制御信号を生成する制御回路とを備えている。これにより、第1のドライブ回路にて緩やかな波形を持つ出力信号を出力するとともに、出力信号の静的状態において第2のドライブ回路にて低インピーダンス特性を実現することができる。

30

【0013】

請求項3に記載の発明のように、前記第1のドライブ回路は、第1の電源と出力端子との間に接続された第1の出力トランジスタと、第2の電源と出力端子との間に接続された第2の出力トランジスタとを備え、第1及び第2の出力トランジスタは入力信号に基づいて制御端子に印加される急峻な波形を持つ信号にตอบสนองして緩やかな波形を持つ信号を出力するように設定され、前記第2のドライブ回路は、第1の電源と出力端子との間に接続された第3の出力トランジスタと、第2の電源と出力端子との間に接続された第4の出力トランジスタとを備え、第3及び第4の出力トランジスタは前記第1及び第2の出力トランジスタよりも低いインピーダンスを持つように設定されている。これにより、第1及び第2の出力トランジスタにより出力信号の立ち上がり波形及び立ち下がり波形を緩やかにするとともに、第3及び第4の出力トランジスタにより低インピーダンス特性を実現できる。

40

【0014】

制御回路は、請求項4に記載の発明のように、前記第1の出力トランジスタを前記入力信号に基づいてオン状態に制御し、前記第3の出力トランジスタを前記遅延信号に基づいてオン状態に制御し、前記第1及び第3の出力トランジスタを前記入力信号に基づいてオフ状態に制御し、前記第2の出力トランジスタをオン状態に制御した後、前記第4の出力トランジスタをオン状態に制御し、前記第2及び第4の出力トランジスタを前記入力信号に

50

基づいてオフ状態に制御する。

【0015】

第2のドライブ回路は、請求項5に記載の発明のように、それぞれ異なるインピーダンスに設定された複数の副ドライブ回路から構成され、前記複数の副ドライブ回路のうちの少なくとも一つを選択して出力インピーダンスを変更可能に構成した。

請求項6に記載の発明は、第1のドライブ回路と、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路と、を備えた出力バッファ回路であって、前記第1のドライブ回路は、入力信号に 응답して第1のレベルをもつ第1の出力信号を出力し、前記第2のドライブ回路は、前記第1の出力信号を遅延させることで生成されたドライブ信号に 응답して、前記第1のレベルをもつ第2の出力信号を出力するようにした。

10

請求項7に記載の発明は、入力信号に 응답して第1のレベルをもつ第1の出力信号を出力する第1のドライブ回路と、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路と、前記第2のドライブ回路から前記第1のレベルをもつ第2の出力信号を出力させるための制御信号を、前記第1の出力信号を遅延させることで生成する制御回路と、を備えている。

請求項8に記載の発明は、第1のドライブ回路と該第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路とを備える出力バッファ回路を制御する出力バッファ回路の制御方法であって、前記第1のドライブ回路を使用して、入力信号に 응답して第1のレベルを持つ第1の出力信号を生成し、前記第1の出力信号を遅延させてドライブ信号を生成し、前記ドライブ信号に 응답して前記第2のドライブ回路に前記第1のレベルをもつ第2の出力信号を出力させるようにした。

20

【0016】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図1～図3に従って説明する。

【0017】

図1は、本実施形態の出力バッファ回路21の回路図である。

この出力バッファ回路21は、第1及び第2ドライブ回路22、23、第1及び第2制御回路24、25、及び遅延回路26を備え、入力端子27からの外部入力信号VINに 응답し、所定の規格に対応した緩やかな立ち上がり波形及び立ち下がり波形を持つ外部出力信号VOUTを出力端子28から出力する特性を持つとともに、出力端子28から見て低いインピーダンス特性を持つ。

30

【0018】

第1ドライブ回路22は、所定の規格に対応した緩やかな立ち上がり波形及び立ち下がり波形を持つ外部出力信号VOUTを出力する特性のために設けられ、第2ドライブ回路23は、低いインピーダンス特性のために設けられている。

【0019】

第1ドライブ回路22は、高電位電源VDDと出力端子28との間に接続されたPチャンネルMOSトランジスタよりなる第1出力トランジスタT1と、低電位電源VSSと出力端子28との間に接続されたNチャンネルMOSトランジスタよりなる第2出力トランジスタT2とから構成されている。両出力トランジスタT1、T2は、入力信号の急峻な変化に対応して外部出力信号VOUTが緩やかな立ち上がり波形及び立ち下がり波形となるように、即ち、高いインピーダンスを持つように設定されたそれぞれのトランジスタサイズ(ゲート幅)に形成されている。第1出力トランジスタT1のゲートには第1制御回路24から第1制御信号S1が印加され、第2出力トランジスタT2のゲートには第1制御回路24から第2制御信号S2が印加されている。

40

【0020】

第2ドライブ回路23は、高電位電源VDDと出力端子28との間に接続されたPMOSトランジスタよりなる第3出力トランジスタT3と、低電位電源VSSと出力端子28と

50

の間に接続されたN M O Sトランジスタよりなる第4出力トランジスタT 4とから構成されている。両出力トランジスタT 3, T 4は、外部出力信号V O U Tの静的状態において低いインピーダンス特性のために設定されたそれぞれのトランジスタサイズ(ゲート幅)に形成されている。第3出力トランジスタT 3のゲートには第2制御回路2 5から第3制御信号S 3が印加され、第4出力トランジスタT 4のゲートには第2制御回路2 5から第4制御信号S 4が印加されている。

【0021】

第1制御回路2 4は、2つのインバータ回路3 1, 3 2から構成されている。第1インバータ回路3 1は外部入力信号V I Nにตอบสนองしてその信号V I Nを論理反転した第1制御信号S 1を出力する。第2インバータ回路3 2は、外部入力信号V I Nにตอบสนองしてその信号V I Nを論理反転した第2制御信号S 2を出力する。

10

【0022】

第2制御回路2 5は、ナンド回路3 3とノア回路3 4とから構成されている。ナンド回路3 3は、外部入力信号V I Nと遅延回路2 6から遅延信号S Dが入力され、両信号V I N, S Dを否定論理積演算して生成した第3制御信号S 3を出力する。ノア回路3 4は、外部入力信号V I Nと遅延回路2 6から遅延信号S Dが入力され、両信号V I N, S Dを否定論理和演算して生成した第4制御信号S 4を出力する。

【0023】

遅延回路2 6は、直列接続された偶数段(本実施形態では4段)のインバータ回路3 5 ~ 3 8から構成されている。初段のインバータ回路3 5には外部出力信号V O U Tが入力され、最終段のインバータ回路3 8から遅延信号S Dが出力される。このように構成された遅延回路2 6は、外部出力信号V O U Tをインバータ回路3 5 ~ 3 8の段数に応じて所定時間遅延させ、その遅延信号S Dを出力する。

20

【0024】

インバータ回路3 5 ~ 3 8の段数は、第1ドライブ回路2 2の特性に対応して、第1ドライブ回路2 2が動作してから所定時間遅れて第2ドライブ回路2 3が動作するように設定される。即ち、第1ドライブ回路2 2による外部出力信号V O U Tの波形は、その第1ドライブ回路2 2の出力トランジスタT 1, T 2が高インピーダンス特性であることから、極めて緩やかな立ち上がり及び立ち下がりを示す。この外部出力信号V O U Tが十分に立ち上がり又は立ち下がりしたのちに、第2ドライブ回路2 3を駆動させる。この第2ドライブ回路2 3は、低出力インピーダンス特性を持つ。従って、第1ドライブ回路2 2により外部出力信号V O U Tの波形を極めて緩やかに立ち上がり及び立ち下がりさせ、第2ドライブ回路2 3により低出力インピーダンス特性を満足させる訳である。

30

【0025】

次に、上記のように構成された出力バッファ回路2 1の作用を図2及び図3に従って説明する。

先ず、外部入力信号V I NがLレベル(低電位電源V S Sレベル)からHレベル(高電位電源V D Dレベル)へと立ち上がる場合について説明する。この場合、遅延回路2 6により外部出力信号V O U Tの変化から遅延信号S Dが変化するまでの期間を第1期間(図2の期間A 1)、遅延信号S Dが変化した以降を第2期間(図2の期間B 1)とする。

40

【0026】**[第1期間]**

第1制御回路2 4は、入力信号V I Nの立ち上がりにตอบสนองして第1及び第2制御信号S 1, S 2を立ち下げ、これにより第1ドライブ回路2 2の第1出力トランジスタT 1がオン状態となり、第2出力トランジスタT 2がオフ状態になる。

【0027】

第2制御回路2 5は、Hレベルの第3制御信号S 3を出力し、入力信号V I Nの立ち上がりにตอบสนองして第4制御信号S 4を立ち下げる。これにより、第3出力トランジスタT 3はオフ状態が維持され、第4トランジスタT 4はオフする。

【0028】

50

この結果、外部出力信号 V_{OUT} は、高インピーダンスを持つ第 1 出力トランジスタ T_1 により極めて緩やかに変化して L レベルから H レベルへと立ち上がる。

【 0 0 2 9 】

この第 1 期間において、第 1 及び第 2 出力トランジスタ T_1 , T_2 が同時にオン状態となり得るが、両出力トランジスタ T_1 , T_2 は高インピーダンス特性を持つため、それらを通る電流量は低インピーダンス特性を持つ従来の出力トランジスタ T_{P1} , T_{N1} を流れる電流量よりも極めて少ない。

【 0 0 3 0 】

[第 2 期間]

第 2 制御回路 2 5 は、遅延信号 S_D の立ち上がりに対応して第 3 制御信号 S_3 を立ち下げる。これにより、第 3 出力トランジスタ T_3 がオンする。この結果、オンした第 3 出力トランジスタ T_3 により、出力バッファ回路 2 1 は、低出力インピーダンス特性を持つ。

10

【 0 0 3 1 】

このように、第 3 及び第 4 出力トランジスタ T_3 , T_4 は、先ず第 4 出力トランジスタ T_4 がオフし、所定時間経過した後に第 3 出力トランジスタ T_3 がオンする。従って、第 3 及び第 4 出力トランジスタ T_3 , T_4 が同時にオン状態にならないため、両出力トランジスタ T_3 , T_4 を流れる貫通電流はほとんど 0 (ゼロ) となる。

【 0 0 3 2 】

次に、外部入力信号 V_{IN} が H レベルから L レベルへと立ち下がる場合について説明する。この場合、遅延回路 2 6 により外部出力信号 V_{OUT} の変化から遅延信号 S_D が変化するまでの期間を第 3 期間 (図 2 の期間 A 2)、遅延信号 S_D が変化した以降を第 4 期間 (図 2 の期間 B 2) とする。

20

【 0 0 3 3 】

[第 3 期間]

第 1 制御回路 2 4 は、入力信号 V_{IN} の立ち下がりに対応して第 1 及び第 2 制御信号 S_1 , S_2 を立ち上げ、これにより第 1 ドライブ回路 2 2 の第 1 出力トランジスタ T_1 がオフ状態となり、第 2 出力トランジスタ T_2 がオン状態になる。

【 0 0 3 4 】

第 2 制御回路 2 5 は、入力信号 V_{IN} の立ち下がりに対応して第 3 制御信号 S_3 を立ち上げ、L レベルの第 4 制御信号 S_4 を出力する。これにより、第 3 出力トランジスタ T_3 はオフされ、第 4 トランジスタ T_4 はオフ状態を維持される。

30

【 0 0 3 5 】

この結果、外部出力信号 V_{OUT} は、高インピーダンスを持つ第 2 出力トランジスタ T_2 により極めて緩やかに変化して H レベルから L レベルへと立ち下がる。

【 0 0 3 6 】

[第 4 期間]

第 2 制御回路 2 5 は、遅延信号 S_D の立ち下がりに対応して第 4 制御信号 S_4 を立ち上げる。これにより、第 4 出力トランジスタ T_4 がオンする。この結果、オンした第 4 出力トランジスタ T_4 により、出力バッファ回路 2 1 は、低出力インピーダンス特性を持つ。

【 0 0 3 7 】

このように、第 3 及び第 4 出力トランジスタ T_3 , T_4 は、先ず第 3 出力トランジスタ T_3 がオフし、所定時間経過した後に第 4 出力トランジスタ T_4 がオンする。従って、第 3 及び第 4 出力トランジスタ T_3 , T_4 が同時にオン状態にならないため、両出力トランジスタ T_3 , T_4 を流れる貫通電流はほとんど 0 (ゼロ) となる。

40

【 0 0 3 8 】

図 3 は、本実施形態の出力バッファ回路 2 1 による外部出力信号 V_{OUT} の最小値 (V_{1min}) と最大値 (V_{1max}) と、従来の出力バッファ回路 1 1 による外部出力信号 V_{OUT} の最小値 (V_{2min}) と最大値 (V_{2max}) を示す。尚、最小値は、製造プロセス等のバラツキ要因によって外部出力信号 V_{OUT} の立ち上がり時間及び立ち下がり時間が最も短い値の時の波形を示し、最大値は逆にそれが最も長い値の時の波形を示す。

50

【 0 0 3 9 】

本実施形態の出力バッファ回路 2 1 は、第 1 ドライブ回路 2 2 を構成する第 1 及び第 2 出力トランジスタ T 1 , T 2 を高インピーダンスに形成しているため、それらのゲートに印加する第 1 及び第 2 制御信号 S 1 , S 2 の立ち上がり及び立ち下がり急峻である。このような制御信号 S 1 , S 2 はバラツキ要因の影響を受け難いため、それによる遷移時間のバラツキは従来に比べて少なくなる。

【 0 0 4 0 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 第 1 ドライブ回路 2 2 は、急峻な波形を持つ入力信号 V I N に応答して緩やかな波形を持つ信号 V O U T を出力端子 2 8 に出力し、第 2 ドライブ回路 2 3 は、第 1 ドライブ回路 2 2 よりも出力インピーダンスが低く設定されている。遅延回路 2 6 は、出力信号 V O U T を遅延した遅延信号 S D を出力する。そして、制御回路 2 4 , 2 5 は、入力信号 V I N と遅延信号 S D に基づいて、第 1 ドライブ回路 2 2 が出力信号 V O U T を充分に変化させた後に第 2 ドライブ回路 2 3 を駆動するようにした。第 1 ドライブ回路 2 2 の出力トランジスタ T 1 , T 2 のゲートに印加する制御信号 S 1 , S 2 はバラツキ要因の影響を受け難い。その結果、第 1 ドライブ回路 2 2 にて緩やかな波形を持つ出力信号 V O U T を出力するとともに、出力信号 V O U T の静的状態において第 2 ドライブ回路 2 3 にて低インピーダンス特性を実現し、しかも出力信号 V O U T の遷移時間のバラツキを少なくすることができる。

【 0 0 4 1 】

(2) 制御回路 2 5 は、第 3 出力トランジスタ T 3 がオフ状態に制御した後に第 4 出力トランジスタ T 4 をオン状態に制御し、第 4 出力トランジスタ T 4 をオフ状態に制御した後に第 3 出力トランジスタ T 3 をオン状態に制御するようにした。その結果、第 3 及び第 4 出力トランジスタ T 3 , T 4 が同時にオン状態にならないため、第 3 及び第 4 出力トランジスタ T 3 , T 4 に貫通電流が流れず、それにより消費電流を低減することができる。

【 0 0 4 2 】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図 4 に従って説明する。

尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【 0 0 4 3 】

図 4 は、本実施形態の出力バッファ回路 4 1 の回路図であり、この出力バッファ回路 4 1 は、出力インピーダンス値が変更可能に構成されている。

即ち、出力バッファ回路 4 1 は、第 1 及び第 2 ドライブ回路 2 2 , 4 2、第 1 及び第 2 制御回路 2 4 , 4 3、遅延回路 2 6、3 つのインバータ回路 4 4 , 4 5 , 4 6 を備える。第 2 ドライブ回路 4 2 は複数 (本例では 3 つ) の副ドライブ回路 4 2 a , 4 2 b , 4 2 c から構成され、それに対応して第 2 制御回路 4 3 は 3 つの副制御回路 4 3 a , 4 3 b , 4 3 c から構成されている。

【 0 0 4 4 】

各副ドライブ回路 4 2 a ~ 4 2 c は、少なくとも一つが異なるインピーダンスを持つように設定された P M O S トランジスタよりなる出力トランジスタ T 3 a ~ T 3 c と N M O S トランジスタよりなる出力トランジスタ T 4 a ~ T 4 c により構成されている。

【 0 0 4 5 】

各副制御回路 4 3 a ~ 4 3 c は、各出力トランジスタ T 3 a ~ T 3 c を制御する制御信号 S 3 a ~ S 3 c を生成するためのナンド回路 4 7 a ~ 4 7 c と、各出力トランジスタ T 4 a ~ T 4 c を制御する制御信号 S 4 a ~ S 4 c を生成するためのノア回路 4 8 a ~ 4 8 c とから構成されている。ナンド回路 4 7 a ~ 4 7 c は 3 入力素子であり、外部入力信号 V I N、遅延信号 S D とともに、選択信号 S E L 0 , S E L 1 , S E L 2 がそれぞれ入力される。ノア回路 4 8 a ~ 4 8 c は 3 入力素子であり、外部入力信号 V I N、遅延信号 S D とともに、選択信号 S E L 0 , S E L 1 , S E L 2 をインバータ回路 4 4 , 4 5 , 4 6 に

10

20

30

40

50

より論理反転した信号が入力される。

【 0 0 4 6 】

従って、選択信号 S E L 0 ~ S E L 2 のうちの少なくとも一つを H レベルにすることで、その選択信号 S E L 0 ~ S E L 2 に対応する制御信号 S 3 a ~ S 3 c , S 4 a ~ S 4 c が供給された各副ドライブ回路 4 2 a ~ 4 2 c が活性化し、それにより所望の出力インピーダンス値を持つ。

【 0 0 4 7 】

以上記述したように、本実施の形態によれば、第一実施形態の効果に加えて、以下の効果を奏する。

(1) 第 2 ドライブ回路 4 2 をそれぞれ異なるインピーダンスを持つ 3 つの副ドライブ回路 4 2 a ~ 4 2 c にて構成し、選択信号 S E L 0 ~ S E L 2 に基づいて副ドライブ回路 4 2 a ~ 4 2 c のうちの少なくとも一つを動作させるようにした。その結果、出力信号 V O U T の静的状態における出力インピーダンスを選択することができる。

10

【 0 0 4 8 】

尚、前記実施形態は、以下の態様に変更してもよい。

上記実施形態では、入力信号 V I N と同相の出力信号 V O U T を出力する非反転出力バッファ回路 2 1 , 4 1 に具体化した。入力信号 V I N と逆相の出力信号 V O U T を出力する反転出力バッファ回路に具体化して実施してもよい。その反転出力バッファ回路を図 5 に示す。この出力バッファ回路 5 1 は、第 1 及び第 2 ドライブ回路 2 2 , 2 3、第 1 及び第 2 制御回路 5 2 , 5 3、遅延回路 5 4 を備える。第 1 制御回路 5 2 は 2 つのバッファ回路 5 5 , 5 6 を備え、それらバッファ回路 5 5 , 5 6 により第 1 及び第 2 出力トランジスタ T 1 , T 2 のゲートに印加する入力信号 V I N と同相の第 1 及び第 2 制御信号 S 1 1 , S 1 2 を生成する。第 2 制御回路 5 3 は、第 3 出力トランジスタ T 3 のゲートに印加する第 3 制御信号 S 1 3 を生成するオア回路 5 7 と、第 4 出力トランジスタ T 4 のゲートに印加する第 4 制御信号 S 1 4 を生成するアンド回路 5 8 を備える。遅延回路 5 4 は奇数段のインバータ回路 3 5 , 3 6 , 3 7 から構成され、外部出力信号 V O U T を遅延させるとともに論理反転した信号を出力する。このように構成された出力バッファ回路 5 1 は、上記第一実施形態の出力バッファ回路 2 1 と同様の効果を奏する。

20

【 0 0 4 9 】

尚、この出力バッファ回路 5 1 の構成 (第 1 及び第 2 制御回路 5 2 , 5 3、及び遅延回路 5 4) を第二実施形態の構成に適用してもよい。また、第 1 及び第 2 制御信号 S 1 1 , S 1 2 は入力信号 V I N と同相であるため、その入力信号 V I N を第 1 及び第 2 出力トランジスタ T 1 , T 2 のゲートに印加し、第 1 制御回路 5 2 を省略してもよい。

30

【 0 0 5 0 】

上記各実施形態を、高電位電源 V D D 側の出力トランジスタ T 1 , T 3 のみを備えた出力バッファ回路、又は低電位電源 V S S 側の出力トランジスタ T 2 , T 4 のみを備えた、所謂オープンドレイン型の出力バッファ回路に具体化してもよい。

【 0 0 5 1 】

以上の実施形態をまとめ、本発明の構成に関する以下の事項を開示する。

(1) 前記第 1 のドライブ回路は、第 1 の電源と出力端子との間に接続された第 1 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 2 の出力トランジスタとを備え、第 1 及び第 2 の出力トランジスタは入力信号に基づいて制御端子に印加される急峻な波形を持つ信号に反応して緩やかな波形を持つ信号を出力するように設定され、前記第 2 のドライブ回路は、第 1 の電源と出力端子との間に接続された第 3 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 4 の出力トランジスタとを備え、第 3 及び第 4 の出力トランジスタは前記第 1 及び第 2 の出力トランジスタよりも低いインピーダンスを持つように設定され、前記出力信号を所定時間遅延させた遅延信号と前記入力信号とに基づいて前記第 3 及び第 4 の出力トランジスタの制御端子にそれぞれ印加する制御信号を生成するようにした、ことを特徴とする請求項 1 に記載の出力バッファ回路の制御方法。

40

50

【 0 0 5 2 】

(2) 前記第 1 及び第 3 の出力トランジスタは、前記第 1 の出力トランジスタをオン状態に制御した後、前記第 3 の出力トランジスタをオン状態に制御し、前記第 1 及び第 3 の出力トランジスタを同時にオフ状態に制御し、前記第 2 及び第 4 の出力トランジスタは、前記第 2 の出力トランジスタをオン状態に制御した後、前記第 4 の出力トランジスタをオン状態に制御し、前記第 2 及び第 4 の出力トランジスタを同時にオフ状態に制御することを特徴とする上記 (1) に記載の出力バッファ回路の制御方法。

【 0 0 5 3 】

(3) 前記制御回路は、前記入力信号を反転して前記第 1 及び第 2 の出力トランジスタに印加する第 1 及び第 2 の制御信号を生成する第 1 の制御回路と、前記入力信号と前記遅延信号とに基づいて、前記入力信号と逆相であり前記第 3 及び第 4 の出力トランジスタに印加する第 3 及び第 4 の制御信号を生成する第 2 の制御回路と、から構成されたことを特徴とする請求項 4 に記載の出力バッファ回路。

10

【 0 0 5 4 】

(4) 前記制御回路は、前記入力信号に基づいて前記第 1 及び第 2 の出力トランジスタをオン・オフ制御し、前記入力信号と前記遅延信号とに基づいて前記第 3 及び第 4 の出力トランジスタをオン・オフ制御するようにしたことを特徴とする請求項 4 に記載の出力バッファ回路。

【 0 0 5 5 】

(5) 前記制御回路は、前記入力信号と前記遅延信号と選択信号に基づいて前記各副ドライブ回路に制御信号を供給することを特徴とする請求項 5 に記載の出力バッファ回路。

20

【 0 0 5 6 】

【 発明の効果 】

以上詳述したように、本発明によれば、急峻な信号に応答して緩やかな波形を持つ信号を出力する第 1 のドライブ回路と、低インピーダンスに設定された第 2 のドライブ回路を備え、それらを制御することで、遷移時間のバラツキが少ない信号を出力することのできる出力バッファ回路を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 第一実施形態の出力バッファ回路の回路図である。

【 図 2 】 出力バッファ回路の動作波形図である。

30

【 図 3 】 出力信号の遷移期間の変動量を示す波形図である。

【 図 4 】 第二実施形態の出力バッファ回路の回路図である。

【 図 5 】 別の出力バッファ回路の回路図である。

【 図 6 】 従来 of 出力バッファ回路の回路図である。

【 符号の説明 】

2 2 第 1 のドライブ回路

2 3 , 4 2 第 2 のドライブ回路

2 4 , 5 2 第 1 の制御回路

2 5 , 4 3 , 5 3 第 2 の制御回路

2 6 遅延回路

40

4 2 a ~ 4 2 c 副ドライブ回路

4 3 a ~ 4 3 c 副制御回路

S 1 ~ S 4 制御信号

S E L 0 ~ S E L 2 選択信号

T 1 第 1 出力トランジスタ

T 2 第 2 出力トランジスタ

T 3 第 3 出力トランジスタ

T 4 第 4 出力トランジスタ

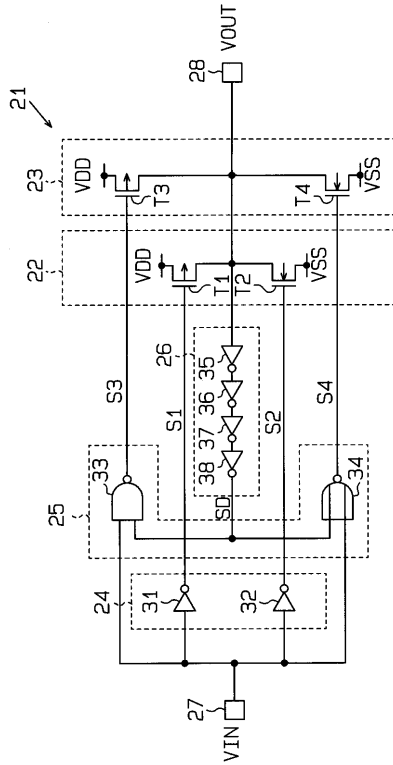
V I N 入力信号

V O U T 出力信号

50

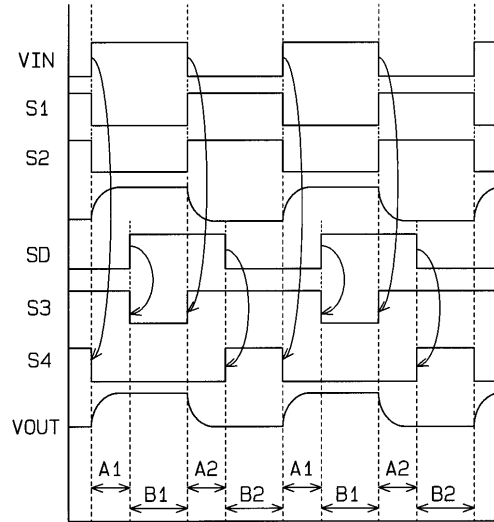
【 図 1 】

第一実施形態の出力バッファ回路の回路図



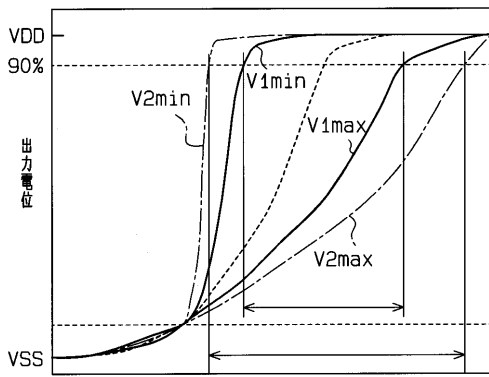
【 図 2 】

出力バッファ回路の動作波形図



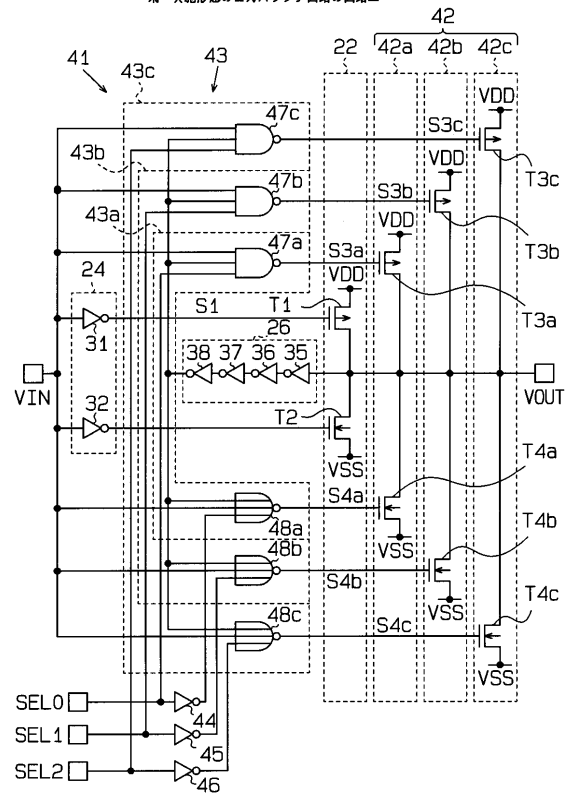
【 図 3 】

出力信号の遅延期間の変動量を示す波形図



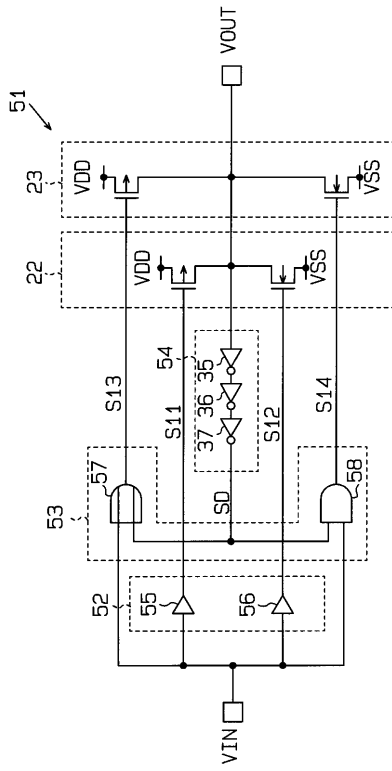
【 図 4 】

第二実施形態の出力バッファ回路の回路図



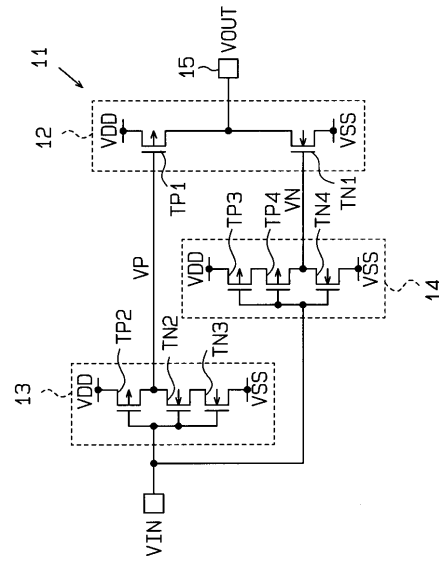
【 図 5 】

別の出力バッファ回路の回路図



【 図 6 】

従来の出力バッファ回路の回路図



フロントページの続き

- (56)参考文献 特開平03 - 048523 (JP, A)
特開平09 - 162719 (JP, A)
特開平05 - 083112 (JP, A)
特開平11 - 251897 (JP, A)
特開平10 - 093415 (JP, A)
特開平09 - 186577 (JP, A)
特開平08 - 288825 (JP, A)
特開平08 - 111636 (JP, A)
特開平05 - 327443 (JP, A)
特開平05 - 206828 (JP, A)
特開平06 - 061762 (JP, A)
特開昭63 - 240207 (JP, A)
特開平11 - 017517 (JP, A)
特開平03 - 242020 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H03K19/00, 19/01-19/082, 19/092-19/096