

**發明專利說明書**

200539541

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94107465

※申請日期： 94.1.27

※IPC 分類：H01S 5/34 , H01L 33/00

**一、發明名稱：**(中文/英文)

具有量子井構造之半導體元件及形成半導體元件之方法

**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

日商住友電氣工業股份有限公司

SUMITOMO ELECTRIC INDUSTRIES, LTD.

代表人：(中文/英文)

松本 正義

MATSUMOTO, MASAYOSHI

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市中央區北濱四丁目 5 番 33 號

5-33, KITAHAMA 4-CHOME, CHUO-KU, OSAKA-SHI, OSAKA

541-0041, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1.京野 孝史

KYONO, TAKASHI

2.上野 昌紀

UENO, MASAKI

3.秋田 勝史

AKITA, KATSUSHI

國 籍：(中文/英文)

1.-3.均日本 JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年02月17日；特願2004-040434

2. 日本；2004年08月11日；特願2004-234811

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種具有量子井構造之半導體元件、以及形成半導體元件之方法。

### 【先前技術】

於文獻1(日本專利特開2001-168471號公報)中,揭示有氮化物半導體雷射元件。氮化物半導體雷射元件中,於具有量子井構造之活性層內,井層與障壁層之間全面形成有中間層。此中間層包含帶隙能量大於障壁層之 $\text{Al}_d\text{Ga}_{1-d}\text{N}$  ( $0.30 \leq d \leq 1$ )。藉由追加中間層,可降低氮化物半導體雷射元件之臨限值電壓以及驅動電壓。

該氮化物半導體雷射元件中,於包含氮化物半導體之井層與障壁層之間,形成有包含 $\text{AlGaIn}$ 的中間層,上述氮化物半導體中含有銦,上述 $\text{AlGaIn}$ 之帶隙能量大於障壁層,由此可改善氮化物半導體發光元件之發光效率。

於文獻2(日本專利特開平10-84132號公報)中,揭示有稱為半導體雷射以及發光二極體之半導體發光元件。該半導體發光元件具備有超格子構造之發光區域,於此發光區域中,緩衝層形成於量子井層與障壁層之間。量子井層與緩衝層間之電位障壁小於無緩衝層之量子井層與障壁層間之電位障壁。緩衝層無法成為實質性障壁層。由於緩衝層之格子常數介於量子井層之格子常數與障壁層之格子常數之間,故而可緩和由於障壁層與量子井層之格子常數差值所造成之應力。於該半導體發光元件中,量子井層包含

$\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 < X$ )，緩衝層包含  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 < Y < X$ )。若將銦添加至障壁層，則量子井層與障壁層間之電位障壁變小，故而障壁層由 GaN 形成。

於文獻 3 (日本專利特開平 6-268257 號公報) 中，揭示有氮化鎵系化合物半導體發光元件。該氮化鎵系化合物半導體發光元件於 n 型氮化鎵系化合物半導體層與 p 型氮化鎵系化合物半導體層之間，具備多層膜層作為發光區域，該多層膜層由 X 值不同之  $\text{In}_x\text{Ga}_{1-x}\text{N}$  (其中，X 為  $0 < X < 1$ ) 層交互疊層而來。構成多層膜層之  $\text{In}_x\text{Ga}_{1-x}\text{N}$  層之各膜厚為 5 埃 ~ 50 埃。藉此，可進一步提高氮化鎵系化合物半導體發光元件之發光輸出。

文獻 4 (日本專利特開 2002-43618 號公報) 中揭示有製造氮化物半導體之方法，其具有以攝氏 750 度之溫度使井層成長之制程，以及於該制程後使障壁層成長之制程。該方法中，障壁層包含於升高溫度之同時成長的第 1 半導體層，及該成長後於固定溫度下立刻成長之第 2 半導體層。

### 【發明內容】

文獻 1 所揭示之半導體發光元件中，稱為中間層之半導體層包含帶隙大於障壁層之 AlGaIn 半導體。將此 AlGaIn 半導體層 (中間層) 形成於 InGaIn 半導體層 (井層) 後，升溫至障壁層之成長溫度為止，從而產生井層內之銦分解。該分解使得具有陡峭界面之量子井構造難以形成。

文獻 2 所揭示之半導體發光元件中，稱為緩衝層之半導體層無法成為實質性障壁層。因緩衝層之格子常數介於量子

井層之格子常數與障壁層之格子常數之間，故而可緩和由於障壁層與量子井層之格子常數差所造成之應力。然而，顯示較大電位障壁之界面形成於量子井層與緩衝層之間以及緩衝層與障壁層之間。由於緩衝層之格子常數介於障壁層之格子常數與井層之格子常數中間，且井層以及緩衝層與其間之井層必須設置於障壁層之間，因此量子井構造中表示較大電位障壁之界面數增加。

文獻3所揭示之半導體發光元件中，藉由於攝氏800度中使不同組成之InGa<sub>N</sub>層重複成長，而形成發光區域。於攝氏800度左右之溫度使InGa<sub>N</sub>層重複成長時，InGa<sub>N</sub>層之平坦性會逐漸惡化，難以獲得具有陡峭界面之InGa<sub>N</sub>層。

之所以需要設置單一或多重量子井構造，目的在於實現井層與障壁層之界面之陡峭性。

因此，本發明之目的在於提供一種可於量子井構造內形成陡峭界面之半導體元件以及形成半導體元件之方法。

本發明之一側面，係關於一種具有量子井構造之半導體元件的形成方法。此方法具備(a)以第1溫度形成包含III-V氮化物半導體之井膜之制程，上述III-V氮化物半導體含有氮、銦以及鎵，(b)於上述井膜上形成包含III-V氮化物半導體之第1障壁膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵，(c)形成上述第1障壁膜後，變更溫度而不進行成膜之製程，以及(d)該溫度變化結束後，以大於上述第1溫度之第2溫度於上述第1障壁膜上形成包含III-V氮化物半導體之第2障壁膜之製程；上述第1障壁膜，係以高於上述第1溫度

且低於上述第2溫度之第3溫度所形成，上述第1障壁膜之銦組成小於上述井膜之銦組成。

依據該方法，於形成第1障壁膜於井膜之製程後，存在變更溫度而不進行成膜之期間。以第1障壁膜覆蓋井膜後，以第2溫度使第2障壁膜形成於第1障壁膜上。因此，不僅量子井構造之平坦性得以提高，並且可於井膜與障壁膜之間形成陡峭界面。

本發明之方法中，於井膜形成後實施之第1障壁膜的形成中，亦可使上述第1障壁膜之至少一部分形成於變更溫度之同時。

於此方法中，第1障壁膜之部分係於溫度自第1溫度升高至第2溫度之同時形成，因此可緩慢提高第1障壁膜之結晶性，並且降低溫度變更時井膜所受到之損害。

本發明之另一側面係關於一種具有量子井構造之半導體元件的形成方法。該方法具備(a)以第1溫度形成包含III-V氮化物半導體之井膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵，(b)於上述井膜形成包含III-V氮化物半導體之第1障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵，(c)形成上述第1障壁膜後，升高溫度而不進行成膜之製程，以及(d)以第2溫度，於上述第1障壁膜形成包含III-V氮化物半導體之第2障壁膜的製程；上述第1障壁膜之至少一部分形成於自上述第1溫度升溫至第3溫度之期間中，於升高溫度之上述製程中，上述溫度以特定期間自上述第3溫度升高至上述第2溫度，上述第1障壁膜之銦組成小於上述井

膜之銦組成，自上述第1溫度升溫至第3溫度之時間短於上述特定期間。

於形成第1障壁膜後升高溫度至第2溫度而不進行成膜之期間中，將對第1障壁膜實施熱處理。於該期間，原子於第1障壁膜上遷移。結果活性區域之結晶性得以提高，並且可提供適宜形成第2障壁膜之半導體面。

本發明之其它側面係關於一種具有量子井構造之半導體元件的形成方法。該方法具備(a)以第1溫度形成包含III-V氮化物半導體之井膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵，(b)於上述井膜形成包含III-V氮化物半導體之第1障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵，(c)形成上述第1障壁膜後，升高溫度而不進行成膜之製程，(d)形成上述第2障壁膜之前，保持上述第2溫度特定期間而不進行成膜之製程，以及(e)以上述第2溫度，於上述第1障壁膜形成包含III-V氮化物半導體之第2障壁膜的製程；上述第1障壁膜之至少一部分形成於自上述第1溫度升溫至小於上述第2溫度之第3溫度期間中，於升高溫度之上述製程中，上述溫度自上述第3溫度升高至上述第2溫度，上述第1障壁膜之銦組成小於上述井膜之銦組成，自上述第1溫度至第3溫度之升溫時間短於上述特定期間。

於第2障壁膜形成前有一段保持第2溫度而不進行成膜之期間，第1障壁膜之熱處理於此期間內進行。於此期間，原子於第1障壁膜上遷移。結果不僅活性區域之結晶性得以提高，並且可提供適宜形成第2障壁膜之半導體面。

本發明之方法中，上述特定期間較好的是為一分鐘以上五分鐘以下。依據此方法，當升高溫度而不進行成膜之期間或保持溫度而不進行成膜之期間較短時，便不會產生充分遷移。當此等期間較長時，由於附著於成長表面之雜質及/或活性層之結晶品質劣化，因而發光元件之發光特性不會得到提高。

本發明之方法中，將第1障壁膜形成於上述井膜上之上述製程可緊接著以第1溫度形成有井膜之上述製程後實施。

於此方法中，由於實質上形成第1障壁膜之製程緊接於形成井膜之製程後實施，因此可防止半導體表面的污染，避免該污染形成為井膜與第1障壁膜界面，又，於之後實施之升溫製程中，可有效降低井膜之劣化。

於本發明之方法中，上述第1障壁膜包含 $\text{In}_{X_1}\text{Ga}_{1-X_1}\text{N}$ 半導體， $X_1$ 大於零小於1，上述第2障壁膜包含 $\text{In}_{X_2}\text{Ga}_{1-X_2}\text{N}$ 半導體， $X_2$ 大於零且小於1，上述井膜包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體， $X_3$ 大於零且小於1， $X_3$ 大於 $X_1$ 。

依據此方法，於包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體之井膜與包含 $\text{In}_{X_1}\text{Ga}_{1-X_1}\text{N}$ 半導體之第1障壁膜之間，可形成陡峭界面。

本發明之其他側面係關於一種具有量子井構造之半導體元件的形成方法。該方法具備(a)形成包含III-V氮化物半導體之第1障壁膜之製程，(b)形成上述第1障壁膜後，變更溫度而不進行成膜之製程，(c)於變化溫度之上述製程後，於上述第1障壁膜上形成包含III-V氮化物半導體之第2障壁膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵，以及

(d)以第1溫度，於上述第2障壁膜上形成包含III-V氮化物半導體之井膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵；上述第1障壁膜以大於上述第1溫度之第2溫度形成，上述第2障壁膜以低於上述第2溫度且高於上述第1溫度之第3溫度形成，上述第2障壁膜之銦組成小於上述井膜之銦組成。

依據此方法，於實施第1障壁膜之形成製程後，存在變更溫度而不進行成膜之期間。之後，於第1障壁膜上形成第2障壁膜，從而於形成井膜之前，以第2障壁膜覆蓋第1障壁膜。故而，於井膜與障壁膜之間，形成陡峭界面。

本發明之方法中，於將第2障壁膜形成於第1障壁膜上之上述製程中，亦可以上述第1溫度形成上述第2障壁膜之至少一部分。

此方法中，由於第2障壁膜之部分係以第1溫度形成，且第2障壁膜之剩餘部分的成長係於用以穩定井膜之成膜溫度的期間中進行，因此可縮短用於變更溫度所需之期間。

於本發明之方法中，將井膜形成於第2障壁膜上之上述製程亦可緊接於以第1溫度形成第2障壁膜於上述第1障壁膜的上述製程實施。

於此方法中，形成井膜之製程實質上緊接於形成第2障壁膜之製程後進行。

於此方法中，由於形成井膜之製程實質上緊接於形成第2障壁膜之製程後進行，因此可防止井膜與第1障壁膜之界面的污染。

於本發明之方法中，上述第1障壁膜包含 $\text{In}_{X_2}\text{Ga}_{1-X_2}\text{N}$ 半導體， $X_2$ 大於零且小於1，上述第2障壁膜包含 $\text{In}_{X_1}\text{Ga}_{1-X_1}\text{N}$ 半導體， $X_1$ 大於零且小於1，上述井膜包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體， $X_3$ 大於零且小於1， $X_3$ 大於 $X_1$ 。

依據該方法，於包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體之井膜與包含 $\text{In}_{X_1}\text{Ga}_{1-X_1}\text{N}$ 半導體之第2障壁膜之間，形成陡峭界面。

本發明之方法具有(e)於上述井膜形成包含III-V氮化物半導體之第3障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵，(f)形成上述第3障壁膜後，變更溫度而不進行成膜之製程，以及於變化溫度之上述製程後，以第2溫度形成第4障壁膜於上述第3障壁膜之製程；上述第3障壁膜以低於上述第2溫度且高於上述第1溫度之第4溫度形成，上述第3障壁膜之銦組成小於上述井膜之銦組成。

依據此方法，於井膜上形成第3障壁膜之製程後，設有變更溫度而不進行成膜之期間。於以第2溫度形成第4障壁膜於第3障壁膜之前，以第3障壁膜覆蓋井膜。因此，井膜與障壁膜間之界面顯示有良好的陡峭性。

本發明之方法中，於形成第3障壁膜於井膜之上述製程中，上述第3障壁膜之至少部分可於變更溫度之同時形成。

於此方法中，第3障壁膜之部分或全部係於溫度升高之同時形成，藉此不僅可逐漸提高第3障壁膜之結晶性，並可降低變更溫度時井膜所受到之損害。

本發明之方法具有(e)於上述井膜形成包含III-V氮化物半導體之第3障壁膜的製程，上述III-V氮化物半導體含有

氮、銦以及鎵，(f)形成上述第3障壁膜後，變更溫度而不進行成膜之製程，以及(g)以上述第2溫度，於上述第3障壁膜形成包含III-V氮化物半導體之第4障壁膜的製程；上述第3障壁膜之至少一部分形成於自上述第1溫度升溫至第4溫度之期間中，於升高溫度之上述製程中，上述溫度以特定期間自上述第4溫度升高至上述第2溫度，上述第3障壁膜之銦組成小於上述井膜之銦組成，自上述第1溫度升溫至第4溫度之時間可短於上述特定期間。

於形成第3障壁膜後，有一段升高溫度至第2溫度而不進行成膜之期間，第3障壁膜之熱處理於此期間內進行。於此期間，原子於第3障壁膜上遷移。結果，不僅活性區域之結晶性得以提高，並且可提供適宜形成第4障壁膜之底層面。

又，本發明之方法具有(e)於上述井膜形成包含III-V氮化物半導體之第3障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵，(f)形成上述第3障壁膜後，升高溫度而不進行成膜之製程，(g)於形成上述第4障壁膜之前，保持上述第2溫度特定期間而不進行成膜之製程，以及(h)以上述第2溫度，於上述第3障壁膜形成包含III-V氮化物半導體之第4障壁膜的製程；上述第3障壁膜之至少一部分形成於自上述第1溫度升溫至小於上述第2溫度之第4溫度期間中，於升高溫度之上述製程中，上述溫度自上述第4溫度升高至上述第2溫度，上述第3障壁膜之銦組成小於上述井膜之銦組成，自上述第1溫度升溫至第4溫度之時間，可短於上述特定期間。

形成第4障壁膜之前，有一段保持第2溫度而不進行成膜

之期間，第3障壁膜之熱處理於此期間內進行。於此期間，原子於第3障壁膜上遷移。結果不僅活性區域之結晶性得以提高，並且可提供適宜形成第4障壁膜之底層面。

本發明之方法中，上述特定期間較好的是為一分鐘以上五分鐘以下。依據該方法，當升高溫度而不進行成膜之期間或保持溫度而不進行成膜之期間較短時，遷移不充分。當此等期間較長時，由於附著於成長表面之雜質及/或活性層之結晶品質劣化，因此發光元件之發光特性不會提高。

於本發明之方法中，於上述井膜形成第3障壁膜之上述製程可緊接於以第1溫度形成井膜於上述第2障壁膜上的上述製程後實施。

於此方法中，由於形成第3障壁膜之製程實質上緊接於形成井膜之製程後，因此可防止井膜與第3障壁膜之界面的污染，並於之後實施之升溫製程中，可有效降低井膜之劣化。

本發明之方法中，上述第4障壁膜包含 $\text{In}_{X5}\text{Ga}_{1-X5}\text{N}$ 半導體， $X5$ 大於零且小於1，上述第3障壁膜包含 $\text{In}_{X4}\text{Ga}_{1-X4}\text{N}$ 半導體， $X4$ 大於零且小於1，亦可設定 $X3$ 大於 $X4$ 。

依據此方法，於包含 $\text{In}_{X3}\text{Ga}_{1-X3}\text{N}$ 半導體之井膜與包含 $\text{In}_{X4}\text{Ga}_{1-X4}\text{N}$ 半導體之第3障壁膜之間，可形成陡峭界面。

依據本發明之進而其他側面，具有量子井構造之半導體元件具有(a)包含III-V氮化物半導體之井區域，上述III-V氮化物半導體含有氮、銦以及鎵，(b)具有第1半導體層以及第2半導體層之第1障壁區域，上述第1半導體層包含III-V氮化物半導體，該III-V氮化物半導體含有氮、銦以及鎵，上述

第2半導體層包含III-V氮化物半導體，該III-V氮化物半導體含有氮以及鎵；上述第1半導體層設置於上述第2半導體層與上述井區域之間，上述第1半導體層之銦組成小於上述井區域之銦組成。

藉由此半導體元件，第1障壁區域之第1半導體層之銦組成小於井區域之銦組成，又，第1半導體層設置於第2半導體層與井區域之間。使用第1半導體層，便可實現障壁區域與井區域之間具有陡峭界面的量子井構造。

本發明之半導體元件中，較好的是由於銦偏析所造成之量子井內的缺陷密度為 $1 \times 10^6 \text{ cm}^{-2}$ 以下。藉由控制In偏析缺陷之產生層，以高於井層之溫度使障壁區域之第2半導體層成長，可提高活性層之結晶性。

本發明之半導體元件，其進而具有(c)具有第3半導體層以及第4半導體層之第2障壁區域，上述第3半導體層包含III-V氮化物半導體，上述III-V氮化物半導體含有氮、銦以及鎵，上述第4半導體層包含III-V氮化物半導體，上述III-V氮化物半導體含有氮以及鎵；上述井區域設置於上述第1障壁區域與上述第2障壁區域之間，上述第3半導體層，其設置於上述第4半導體層與上述井區域之間，上述第3半導體層之銦組成小於上述井區域之銦組成。

藉由此半導體元件，第2障壁區域之第3半導體層的銦組成小於井區域的銦組成，又，第3半導體層設置於第4半導體層與井區域之間。藉由第3半導體層，可實現障壁區域與井區域之間具有陡峭界面的量子井構造。

於本發明之半導體元件中，上述第1半導體層包含 $\text{In}_{X1}\text{Ga}_{1-X1}\text{N}$ 半導體， $X1$ 大於零且小於1，上述第2半導體層包含 $\text{In}_{X2}\text{Ga}_{1-X2}\text{N}$ 半導體， $X2$ 大於零且小於1，上述井區域包含 $\text{In}_{X3}\text{Ga}_{1-X3}\text{N}$ 半導體， $X3$ 大於零且小於1， $X3$ 大於 $X1$ ， $X3-X1$ 大於0.04。

依據本發明，由於包含 $\text{In}_{X1}\text{Ga}_{1-X1}\text{N}$ 半導體之第1半導體層與包含 $\text{In}_{X3}\text{Ga}_{1-X3}\text{N}$ 半導體之井區域間的銦組成差大於0.04，因此即使於井區域與第2半導體層之間設置有含有銦之第1半導體層，第1半導體層亦可發揮井區域之障壁層功能，並將載子限制於井區域。

於本發明之半導體元件之較佳的實施形態中，較好的是上述第1半導體層之厚度為1奈米以上。藉由此範圍之膜厚，當井區域設置於基板並於該井區域上設有第1障壁區域而形成疊層構造時，可於第2半導體層之形成過程中保護井區域之表面。於本發明之半導體元件之較佳的實施形態中，較好的是上述第1半導體層之厚度為5奈米以下。藉由此範圍之膜厚，第2障壁層可具有足夠之厚度，提高第1障壁區域之結晶性。

藉由本發明，上述第4半導體層包含 $\text{In}_{X5}\text{Ga}_{1-X5}\text{N}$ 半導體， $X5$ 大於零且小於1，上述第3半導體層包含 $\text{In}_{X4}\text{Ga}_{1-X4}\text{N}$ 半導體， $X4$ 大於零且小於1。

藉由此半導體元件，由於第3半導體層與井區域間之銦組成差值大於0.04，因此即使於井區域與第4半導體層之間設有含有銦之第3半導體層，第3半導體層係亦可發揮障壁層

之功能，並將載子限制於井區域。

於本發明之半導體元件之較好的實施形態中，較好的是上述第3半導體層之厚度為1奈米以上。藉由此範圍之膜厚，當第2障壁區域設置於基板上並於該第2障壁區域上設有井區域從而形成疊層構造時，可於第4半導體層上之井區域形成適宜之表面。於本發明之半導體元件之較好的實施形態中，較好的是上述第3半導體層之厚度為5奈米以下。藉由此範圍之膜厚，第4半導體層可具有足夠之厚度，提高第2障壁區域之結晶性。

### 【實施方式】

參照例示之附圖，考慮下述詳細說明，可容易理解本發明之見解。接著，一面參照附圖一面說明稱為半導體光元件之半導體元件以及形成半導體元件之方法的實施形態。可能之情形下，同一部分賦予同一符號。

(第1實施形態)

圖1係表示半導體光元件之圖。圖2A~圖2C係表示活性區域之幾個範例的圖。半導體元件1包含具有量子井構造之活性區域3。活性區域3包含井區域5與障壁區域7。井區域5包含III-V氮化物半導體，其含有氮、銦以及鎵。障壁區域7包含III-V氮化物半導體，其含有氮、銦以及鎵。

如圖2A所示，障壁區域7a具有第1半導體層9a以及第2半導體層11a。第1半導體層9a包含III-V化合物半導體，其至少含有氮、銦以及鎵。第2半導體層11a包含III-V化合物半導體，其至少含有氮以及鎵，且可含有銦。第1半導體層9a

設置於第2半導體層11a與井區域5a之間。第1半導體層9a之銦組成小於井區域5a、5b之銦組成。於含有之情形下，第2半導體層11a之銦組成小於第1半導體層9a之銦組成。

藉由此半導體元件1，由於第1障壁區域7a中第1半導體層9a以及井區域均含有銦，又，第1半導體層9a設置於第2半導體層11a與井區域5之間，因此可實現井區域與障壁區域間之界面陡峭的量子井構造。

又，如圖2B所示，障壁區域7b具有第3半導體層13b以及第2半導體層11b。第3半導體層13b包含III-V化合物半導體，其至少含有氮、銦以及鎵。第2半導體層11b包含III-V化合物半導體，其至少含有氮以及鎵，並可含有銦。第3半導體層13b設置於第2半導體層11b與井區域5b之間。於含有之情形下，第2半導體層11b之銦組成小於第3半導體層13b之銦組成。第3半導體層13b之銦組成小於井區域5a、5b之銦組成。

藉由此半導體元件1，由於井區域5b以及第3半導體層13b均含有銦，又，第3半導體層13b設置於第2半導體層11b與井區域5之間，因此可實現井區域與障壁區域間之界面陡峭的量子井構造。

如圖2C所示，障壁區域7c具有第1半導體層9c、第2半導體層11c以及第3半導體層13c。第1半導體層9c包含III-V化合物半導體，其至少含有氮、銦以及鎵。第2半導體層11c包含III-V化合物半導體，其至少含有氮以及鎵，並可含有銦。第3半導體層13c包含III-V化合物半導體，其至少含有

氮、銦以及鎵。第1半導體層9c設置於第2半導體層11c與井區域5a之間。第3半導體層13c設置於第2半導體層11c與井區域5b之間。於含有之情形下，第2半導體層11c之銦組成小於第1半導體層9c以及第3半導體層13c之銦組成。第1以及第3半導體層9c、13c之銦組成小於井區域5a、5b之銦組成。

藉由此半導體元件1，由於第1以及第3半導體層9c、13c以及井區域5a、5b均含有銦，又，第1以及第3半導體層9c、13c設置於第2半導體層11c與井區域5a、5b之間，因此可實現障壁區域7c與井區域5a以及5b間之界面陡峭的量子井構造。

參照圖1，半導體光元件1中，活性區域3設置於支持基體15之主面15a上。作為支持基體15，可使用例如氮化鎵基板，支持基體15可包含氮化鎵基板與設置於該基板上之氮化鎵層。半導體光元件1可包含第1導電型半導體層17以及第2導電型半導體層19。活性區域3設置於第2導電型半導體層19與第1導電型半導體層17之間。半導體光元件1可包含第2導電型接觸層18。第2導電型半導體層19設置於第2導電型接觸層18與活性區域3之間。半導體光元件1中，電極20a覆蓋接觸層18而設，電極20b設置於支持基體15之裏面15b上。

於活性區域3中，如圖2A(以及圖2C)所示，設置有第1半導體層9a(9c)，覆蓋障壁區域7a(7c)之第2半導體層11a(11c)。又，於障壁區域7a(7c)上設置有井區域5a(5a)。

於形成障壁區域7a(7c)之第2半導體層11a(11c)後，形成井區域5a(5a)之前，形成有組成與第2半導體層11a(11c)不同之第1半導體層9a(9c)。又，只要第1半導體層9a(9c)之構成元素與井區域5a(5a)之構成元素實質上相同，第1半導體層9a(9c)即可提供適於形成井區域5a(5a)之底層。

又，於活性區域3中，如圖2B(以及圖2C)所示，於井區域5b(5b)上設有障壁區域7b(7c)。設有第3半導體層13b(13c)覆蓋之井區域5b(5b)。於形成井區域5b(5b)後，形成障壁區域7b(7c)之第2半導體層11b(11c)之前，可形成組成與第2半導體層11b(11c)不同之第3半導體層13b(13c)。只要第3半導體層13b(13c)之構成元素與井區域5b(5b)之構成元素實質相同，就可於第2半導體層11b(11c)之形成過程中，使用第3半導體層13b(13c)保護井區域5b(5b)。

本實施形態之一實施例之半導體光元件中，障壁區域之第2半導體層11a、11b、11c可包含 $\text{In}_{X_2}\text{Ga}_{1-X_2}\text{N}$ 半導體。此處， $X_2$ 大於零且小於1。障壁區域之第1以及第3半導體層9a、9c、13b、13c可包含 $\text{In}_{X_1}\text{Ga}_{1-X_1}\text{N}$ 半導體。此處， $X_1$ 大於零且小於1。井區域5a、5b可包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體。此處， $X_3$ 大於零且小於1。又， $X_3$ 大於 $X_2$ ， $X_1$ 大於 $X_2$ ( $0 \leq X_2 < X_1 < X_3$ )。

較好的實施例中，包含 $\text{In}_{X_1}\text{Ga}_{1-X_1}\text{N}$ 半導體之第1以及第3半導體層9a、9c、13b、13c，與包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體之井區域5a、5b間的鈹組成差值( $X_3-X_1$ )大於0.04。只要處於此範圍內，第1以及第3半導體層即可作為障壁層發揮功

能，並可將載子限制於量子井區域。較好的是 $X1-X2$ 小於0.02，只要處於此範圍內，第1以及第3半導體層即可作為障壁區域發揮功能，可有效將載子限制於量子井區域。

較好的實施例中，較好的是第1以及第3半導體層9a、9c、13b、13c之厚度大於1奈米。藉由此範圍之膜厚，可於第2半導體層11b、11c之形成時保護井區域5b，並於第2半導體層11a上提供適宜形成井區域5a之表面。又，於較好的實施形態中，較好的是第1以及第3半導體層9a、9c、13b、13c之厚度小於5奈米。藉由此範圍之膜厚，第2半導體層11a、11b、11c可具有足夠之厚度，提高障壁區域之結晶性。

又，較好的是障壁區域之厚度為5奈米以上。只要屬於該範圍內，就可形成至少兩層之半導體層。較好的是障壁區域之厚度為30奈米以下。若超過該範圍，則驅動電壓變高從而導致縮短元件壽命。

舉發光二極體作為本實施形態之半導體光元件之一例。  
該發光二極體具有下述構造：

基板：氮化鎵基板

n型覆蓋層：Si摻雜GaN半導體層

障壁A層：不摻雜GaN層15奈米

下述四層，重複五次

障壁B層：不摻雜 $In_{0.01}Ga_{0.99}N$ 層3奈米

井層：不摻雜 $In_{0.15}Ga_{0.85}N$ 層2.5奈米

障壁C層：不摻雜 $In_{0.01}Ga_{0.99}N$ 層3奈米

障壁A層：不摻雜GaN層15奈米

p型覆蓋層：Mg摻雜 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ 半導體層

p型接觸層：Mg摻雜GaN半導體層。

圖4、圖5以及圖6係表示幾個變形例之活性區域之電位障壁的圖。參照圖4可發現，於障壁區域7之第2半導體層11與井區域5之間設置有第3半導體層13。於第3半導體層13與井區域5之間，形成有較大之電位障壁。於井區域5與第2半導體層11間之第3半導體層13中，電位障壁單調變化。於活性區域3中，井區域5、第3半導體層13以及第2半導體層11週期性排列。由於障壁區域具有組成相異之複數個半導體層，因此活性區域3中之週期性得以提高。第2半導體層11之障壁障壁B2，其大於第3半導體層13之障壁障壁B3。

參照圖5可發現，於障壁區域7之第2半導體層11與井區域5之間設置有第3半導體層13，於第2半導體層11與其他井區域5間設有第1半導體層9。於第1以及第3半導體層9、13與井區域5間形成有較大之電位障壁。於井區域5與第2半導體層11間之第1以及第3半導體層9、13中，電位障壁單調變化。於活性區域3中，井區域5、第1半導體層9、第2半導體層11以及第3半導體層13週期性排列。由於障壁區域具有組成相異之複數個半導體層，因此活性區域3中之週期性提高。第2半導體層11之障壁障壁B2大於第1半導體層9之障壁障壁B1。第2半導體層11之障壁障壁B2大於第3半導體層13之障壁障壁B3。

參照圖6可發現，於障壁區域7之第2半導體層11與井區域5之間設有第3半導體層13，於第2半導體層11與其他井區域

5之間設有第1半導體層9。於第1以及第3半導體層9、13與井區域5之間，形成有較大的電位障壁。於井區域與第2半導體層11間之第3半導體層13中，電位障壁單調變化。於井區域與第2半導體層11間之第1半導體層9中，電位障壁大致固定。於活性區域3中，井區域5、第1半導體層9、第2半導體層11以及第3半導體層13週期性排列。由於障壁區域具有組成相異之複數個半導體層，因此活性區域3中之週期性得以提高。第2半導體層11之障壁障壁B2大於第1半導體層9之障壁障壁B1。第2半導體層11之障壁障壁B2大於第3半導體層13之障壁障壁B3。

如上說明，藉由本實施形態之半導體光元件，可於量子井構造內之井區域與障壁區域之間實現陡峭界面。

(第2實施形態)

接著，就具有量子井構造之半導體元件的形成方法，加以說明。圖7A以及圖7B係表示本發明之第2實施形態之半導體元件之形成方法的圖。

如圖7A所示，準備基板。作為基板，例如可使用氮化鎵單晶晶圓。必要時，可於此晶圓上形成氮化鎵膜。該氮化鎵膜、以及後續製造製程中形成之III-V氮化物半導體膜例如使用機金屬氣相成長法所製作。繼而，說明使用氮化鎵基板21形成半導體元件之方法。於氮化鎵基板21上，形成有稱為氮化鎵層23之III-V氮化物半導體膜。氮化鎵膜23具有n導電型。一實施例中，氮化鎵膜23係作為覆蓋層所使用。

參照圖7B可知，於氮化鎵層23上形成有活性區域25，形

成稱為磊晶晶圓之半導體基板生產物 $E_1$ 。活性區域25具有包含井膜以及障壁半導體膜之量子井構造。圖8A係表示用於形成井膜以及障壁半導體膜之溫度分佈的圖。圖8B係表示使用圖8A所示之溫度分佈P所製作之量子井構造的圖。參照圖8B可知，障壁A膜26、障壁B膜27、井膜28以及障壁C膜29形成於氮化鎵層23上。如圖8A所示，於時刻 $t_0$ ，將有機金屬氣相成長裝置之溫度設定為攝氏1000度之溫度 $T_B$ 。為形成障壁A膜，使用原料氣體以溫度 $T_B$ 形成障壁A膜26。障壁A膜26例如可為不摻雜GaN膜或不摻雜InGaN膜之III-V氮化物半導體膜。於時刻 $t_1$ 與時刻 $t_2$ 之間，形成障壁A膜26。於時刻 $t_2$ ，停止供給原料氣體，障壁A膜26之形成結束。於時刻 $t_3$ ，開始變更溫度。於時刻 $t_4$ 溫度為 $T_w$ 。開始變更溫度後，為形成障壁B膜，使用原料氣體形成障壁B膜27。於時刻 $t_4$ 與時刻 $t_5$ 之間，形成井膜28之前形成有障壁B膜27。障壁B膜27例如包含不摻雜InGaN膜，即至少含有氮、銦以及鎵之III-V氮化物半導體。亦可以溫度 $T_w$ 形成障壁B膜27之部分或全部。於較佳實施例中，係以溫度 $T_w$ 形成障壁B膜27。於時刻 $t_5$ ，有機金屬氣相成長裝置之溫度，係適宜形成井膜之溫度 $T_w$ （例如，攝氏820度）。將原料氣體，自用於形成障壁B膜27之原料氣體切換為用於形成井膜28之原料氣體。井膜28以溫度 $T_w$ 形成。井膜28包含III-V氮化物半導體，其至少含有氮、銦以及鎵。於較好的實施例中，形成於障壁B膜27上之製程後緊接著進行井膜28之形成，井層28之形成實質上緊接於障壁B膜27之形成後。

依據此方法，於形成障壁A膜26之製程後，存有變更溫度而不進行成膜之期間。此後，形成井膜28之前，於障壁A膜26上形成有障壁B膜27。故而，於井膜28與障壁B膜27之間形成陡峭界面。障壁A膜26以大於溫度 $T_w$ 之溫度 $T_B$ 形成。障壁B膜27之至少一部分以溫度 $T_w$ 形成。障壁B膜27之銦組成小於井膜28之銦組成。障壁A膜26可係例如不摻雜GaN膜，障壁B膜27可係例如不摻雜 $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$ 膜，井膜28可係例如不摻雜 $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 膜。

於時刻 $t_6$ ，有機金屬氣相成長裝置之溫度 $T_w$ 為攝氏820度，其係適宜形成井膜之溫度。接著，本實施例中，於時刻 $t_6$ 供給用於形成障壁C膜之原料氣體，從而於井膜28上形成障壁C膜29。例如，將用於形成井膜之原料氣體切換為用於形成障壁C膜之原料氣體。障壁C膜29包含III-V氮化物半導體，其含有氮、鎵以及銦。障壁C膜29於溫度 $T_w$ 開始形成。與開始形成障壁C膜29同時或開始形成障壁C膜29後，於某時刻 $t_7$  ( $t_6 \leq t_7$ )開始變更溫度。開始升高溫度後，停止用於形成障壁C膜之原料氣體的供給。於時刻 $t_6$ 與時刻 $t_8$ 之間，形成有障壁C膜29。於時刻 $t_8$ 與時刻 $t_9$ 之間，存有變更溫度而不進行成膜之期間。於時刻 $t_9$ ，有機金屬氣相成長裝置之溫度成為 $T_B$ 。即，以低於溫度 $T_B$ 又高於溫度 $T_w$ 之溫度形成障壁C膜29，障壁C膜29之銦組成小於井膜28之銦組成。障壁C膜29可係例如不摻雜 $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$ 膜。

藉由此方法，形成井膜28後且變更溫度而不進行成膜之製程前，存有形成障壁C膜29之製程。故而，於井膜28與障

壁C膜之間形成陡峭界面。

圖9A係表示用於形成井膜以及障壁半導體膜之溫度分佈的圖。圖9B係表示使用圖9A所示之溫度分佈P所製作之量子井構造的圖。參照圖9B發現，於障壁C膜29上進而形成有障壁A膜30、障壁B膜31、井膜32以及障壁C膜33。為形成有此等氮化物半導體膜，準備如圖9A所示之序列S1，重複該序列所需要之次數。於本實施形態中，序列S1與序列S0實質相同，序列S0中之時刻 $t_1$ 至 $t_9$ 分別對應於序列S1中之時刻 $t_{10}$ 至 $t_{18}$ 。

該等之重複後，於時刻 $t_{19}$ 與 $t_{20}$ 之間形成障壁A膜34於障壁C膜33上。藉此，形成活性區域25。

圖10A以及圖10B係表示本發明之第2實施形態之半導體元件之形成方法的圖。

如圖10A所示，於活性區域25上形成有至少含有氮、鋁以及鎵之III-V氮化物膜35，形成稱為磊晶晶圓之半導體基板生產物 $E_2$ 。III-V氮化物膜35具有p導電型。一實施例中，III-V氮化物半導體膜35係作為覆蓋層而使用，例如包含AlGaIn半導體。接著，如圖10B所示，於III-V氮化物半導體膜35上形成有至少含有氮以及鎵之III-V氮化物半導體膜37，形成稱為磊晶晶圓之半導體基板生產物 $E_3$ 。III-V氮化物半導體膜37具有p導電型。一實施例中，III-V氮化物半導體膜37係作為覆蓋層而使用，包含GaInN半導體。

於此實施形態中，雖然形成有包含障壁A膜、障壁B膜以及障壁C膜之障壁區域，但依據該實施形態之說明，可形成

具有障壁A膜以及障壁B膜之障壁區域，又，可形成具有障壁A膜以及障壁C膜之障壁區域。

由於障壁B膜以及障壁C膜所包含之III-V氮化物不含鋁，因此障壁B膜以及障壁C膜之帶隙不會大於障壁A膜之帶隙。是以，障壁B膜以及障壁C膜之結晶性較之以攝氏800度左右成長之AlGaIn膜之結晶性更佳，又，井膜之畸變亦較小。由於障壁B膜位於井膜之下，因此於溫度自障壁A膜之成膜溫度向井膜之成長溫度變更之途中，產生於障壁A膜表面之污染不會接觸到井膜。因於井膜上側形成有障壁C膜，故而於溫度自井膜之成長溫度向障壁A膜之成膜溫度變更之途中，可防止銻自井膜分解。由於障壁B膜以及障壁C膜之銻組成小於井膜之銻組成，因此變更成膜裝置之溫度時，銻不會自以障壁C膜覆蓋之井膜分解。故而，可獲得優質井層。由於厚度薄於障壁A膜之障壁B膜以及障壁C膜設置於井膜與障壁A膜之間，因此可以形成高溫下顯示良好結晶性之障壁A膜。

稱為氮化鎵層之障壁A膜，其可使用載子氣體 $H_2$ 進行分段流程(step-flow)成長。較好的實施例中，障壁A膜之成長溫度高於攝氏900度。又，較好的是障壁A膜之成長溫度低於攝氏1200度以下。障壁半導體膜之結晶性以及平坦性得以提高。

於較好的實施例中，井膜之成長溫度，相應於所期望之銻組成，較好的是高於攝氏600度，並最好低於攝氏900度。

障壁B膜以及障壁C膜之部分或全部可於溫度變更時形

成。藉此，可縮短形成活性區域所需之時間。結果可縮短井區域置於高於成膜溫度之溫度下的時間。

於包含具有InGaN之井層與具有GaN (或InGaN)之障壁層的量子井構造中，井層以及障壁層係以相同溫度以及相同環境形成。如上說明，障壁層之最佳沉積溫度高於井層之最佳沉積溫度。若以高於井層之堆積溫度之溫度使障壁層成長，障壁層之結晶性可提高。另一方面，若將井層曝曬於比該堆積溫度更高之溫度，則構成元素會自井層分解，構成元素、例如銦自其表面脫離。此脫離導致難以獲得界面陡峭良好之量子井構造，而若以較低溫度形成障壁層則容易產生結晶缺陷。

本實施形態之方法中，由於井膜之成長之前形成有追加之障壁半導體膜，因此井膜之結晶性得以提高。又，由於井膜之成長後形成追加之障壁半導體膜，因此無需損害井膜之結晶性以及井膜與障壁膜間之界面陡峭性，便可提高障壁半導體膜之結晶性。圖3A以及圖3B係表示XRD評估之分佈的圖，圖3A中發現有比圖3B相比高次之衛星峰。藉由該方法形成之稱為發光二極體的半導體發光元件顯示出良好發光特性。

以上係幾個實施形態之說明，圖11A係表示本實施形態之發光二極體的圖。以下說明發光二極體51之製作。於含有氨(NH<sub>3</sub>)以及氫(H<sub>2</sub>)之環境中，以攝氏1050度左右進行10分鐘左右Ga<sub>2</sub>N基板53之前處理(加熱洗淨)。於此前處理後，於Ga<sub>2</sub>N基板53上添加矽並以大約攝氏1150度之溫度使Ga<sub>2</sub>N半

導體成長，形成有例如2微米之n型Ga<sub>0.99</sub>N膜55。接著，以攝氏900度之溫度使InGa<sub>0.99</sub>N半導體成長，獲得例如15奈米之不摻雜(以下，標記為"ud")In<sub>0.01</sub>Ga<sub>0.99</sub>N膜57。此後，變更溫度。於攝氏820度使InGa<sub>0.99</sub>N半導體成長有，獲得例如3奈米之ud-In<sub>0.015</sub>Ga<sub>0.985</sub>N膜59。ud-In<sub>0.01</sub>Ga<sub>0.99</sub>N膜57以及ud-In<sub>0.015</sub>Ga<sub>0.985</sub>N膜59作為下部覆蓋層61動作。

接著，以攝氏820度之溫度使InGa<sub>0.85</sub>N半導體成長，獲得例如2.5奈米之ud-In<sub>0.15</sub>Ga<sub>0.85</sub>N膜65。ud-In<sub>0.15</sub>Ga<sub>0.85</sub>N膜65作為井區域動作。

形成ud-In<sub>0.15</sub>Ga<sub>0.85</sub>N膜65後，將溫度自攝氏820度變更為攝氏900度。InGa<sub>0.85</sub>N半導體於此溫度變更時成長，例如形成3奈米之ud-In<sub>U</sub>Ga<sub>1-U</sub>N膜67。此半導體膜67之銦組成隨著自井膜脫離而逐步減少。ud-In<sub>U</sub>Ga<sub>1-U</sub>N膜67構成有障壁區域73之一部分。一實施例中，係使用攝氏820度中形成In<sub>0.015</sub>Ga<sub>0.985</sub>N膜之氣體流量比。

溫度穩定為攝氏900度後，以該溫度使InGa<sub>0.99</sub>N半導體成長，獲得例如12奈米之ud-In<sub>0.01</sub>Ga<sub>0.99</sub>N膜69。ud-In<sub>0.01</sub>Ga<sub>0.99</sub>N膜69構成有障壁區域73之一部分。

形成ud-In<sub>0.01</sub>Ga<sub>0.99</sub>N膜69後，將溫度自攝氏900度變更為攝氏820度。溫度穩定為攝氏820度後，以該溫度使InGa<sub>0.99</sub>N半導體成長，獲得例如3奈米之ud-In<sub>0.015</sub>Ga<sub>0.985</sub>N膜71。ud-In<sub>0.015</sub>Ga<sub>0.985</sub>N膜71構成有障壁區域73之一部分。

重複此等製程，最終形成有五個井區域65以及四個障壁區域73。形成此等井區域65以及障壁區域73後，形成上部

覆蓋層 63。使溫度自攝氏 820 度變更為攝氏 900 度。於此溫度變更時使 InGa<sub>v</sub>N 半導體成長，形成例如 3 奈米之 ud-In<sub>v</sub>Ga<sub>1-v</sub>N 膜 72。此半導體膜 72 之銦組成隨著自井膜脫離而逐步減少。ud-In<sub>v</sub>Ga<sub>1-v</sub>N 膜 72 構成上部覆蓋層 63 之一部分。一實施例中，係使用於攝氏 820 度中形成 In<sub>0.015</sub>Ga<sub>0.985</sub>N 膜之氣體流量比。溫度穩定為攝氏 900 度後，以該溫度使 InGa<sub>v</sub>N 半導體成長，獲得例如 15 奈米之 ud-In<sub>0.01</sub>Ga<sub>0.99</sub>N 膜 75。ud-In<sub>0.01</sub>Ga<sub>0.99</sub>N 膜 75 構成上部覆蓋層 63 之一部分。

接著，以攝氏 1100 度之溫度使鎂摻雜之 AlGa<sub>v</sub>N 半導體成長，形成例如 20 奈米之 p 型 Al<sub>0.15</sub>Ga<sub>0.85</sub>N 膜 77。p 型 Al<sub>0.15</sub>Ga<sub>0.85</sub>N 膜 77 發揮第 2 覆蓋層之功能。接著，使鎂摻雜之 Ga<sub>v</sub>N 半導體成長，形成例如 50 奈米之 p 型 Ga<sub>v</sub>N 膜 79。p 型 Ga<sub>v</sub>N 膜 79 作為接觸層發揮功能。

接著，於基板 53 之裏面上形成包含 Ti/Al 之陰極電極 81，於接觸層上形成含有 Ni/Au 之半透明電極 83。於半透明電極 83 上形成含有 Ti/Au 之電極 85。

圖 11B 係表示具有其他構造之發光二極體的圖。以下就發光二極體 91 之製作加以說明。發光二極體 91 中，特別是下部覆蓋層 93、井區域 95、障壁區域 97 以及上部覆蓋層 99，該等係以相同溫度例如攝氏 820 度形成。

圖 12A 以及圖 12B 係分別表示圖 11A 以及圖 11B 之構造中之原子間力顯微鏡 (AFM) 影像的圖。此等原子間力顯微鏡照片表示將未有 p-AlGa<sub>v</sub>N 層以及 p-Ga<sub>v</sub>N 層成長之量子井構造之表面攝影之影像 (10 微米 × 10 微米之區域)。圖 12B 所示

之原子間力顯微鏡影像對應於以相同溫度形成井層與障壁層之發光二極體，且表示有由銦偏析造成之四個缺陷。另一方面，圖12A所示之原子間力顯微鏡影像對應於障壁層形成溫度高於井層之成膜溫度之發光二極體，無由於銦偏析所造成之缺陷。於良好MQW表面中，假設缺陷密度為10微米×10微米之範圍中低於一個，較好的是缺陷密度為每平方厘米 $1 \times 10^6$ 個( $1 \times 10^6 \text{ cm}^2$ )以下。圖12B中出現之缺陷起因於In偏析，其容易產生於InGaN之成長溫度較低之情形，InGaN之In組成較高，InGaN成長時[V族氣體之莫耳濃度]/[III族氣體之莫耳濃度]較低之情形等。藉由以高於井層之溫度使障壁層成長，可提高活性層之結晶性，可控制此缺陷產生。

圖13A係表示用於形成圖11A所示之發光二極體之磊晶層表面之螢光顯微鏡影像的圖，圖13B係表示用於形成圖11B所示之發光二極體之磊晶層表面之螢光顯微鏡影像的圖。於此等之觀察時，使用之勵起波長為365奈米。

參照圖13A發現，由於障壁區域之形成溫度與井區域不同，故而障壁膜之結晶性較為良好。發光二極體51大致以均勻強度發光。另一方面，參照圖13B發現，由於障壁區域之形成溫度與井區域相同，故而障壁膜之結晶性不夠好。井區域之膜質不均勻，且於發光二極體91中出現有非發光區域。

當發光波長為450奈米時，發光二極體51之光功率係發光二極體91之光功率的2.5倍。

(第3實施形態)

接著，就具有量子井構造之半導體元件的形成方法加以說明。圖14A以及圖14B係表示本發明之第3實施形態之半導體元件之形成方法的圖。此方法於以下幾點與圖9A以及圖9B所示之實施形態不同。即，於時刻 $t_7$ 與 $t_9$ 之間溫度升高，於時刻 $t_9$ 與時刻 $t_{21}$ （取代時刻 $t_{10}$ ）間之期間 $M_1$ 保持溫度 $T_B$ ，於時刻 $t_{21}$ 與時刻 $t_{11}$ 之間形成障壁A膜30a。於時刻 $t_{16}$ 與時刻 $t_{18}$ 之間溫度升高，於時刻 $t_{18}$ 與時刻 $t_{22}$ （取代時刻 $t_{19}$ ）間之期間 $M_1$ 保持溫度 $T_B$ ，於時刻 $t_{22}$ 與時刻 $t_{20}$ 期間形成障壁A膜34a。

該實施例中，先形成有障壁後，設定有於期間 $M_1$ 保持溫度 $T_B$ 而不進行成膜之製程。於該期間 $M_1$ ，溫度 $T_B$ 高於井膜之成膜溫度以及升溫期間之溫度，已經成膜之障壁膜表面之原子可進行遷移。因此，障壁膜表面之平坦性得以提高，由於活性區域既已成膜，因此半導體膜之結晶性得以提高，又，可提供適宜之後障壁成膜之底層。

圖15A以及圖15B係表示本發明之第3實施形態的半導體元件之形成方法之一變形例的圖。此方法於下述方面與圖9A以及圖9B所示之實施形態有所不同。即，於時刻 $t_7$ 與 $t_{24}$ 之間溫度升高，於時刻 $t_6$ 與時刻 $t_{23}$ （取代時刻 $t_8$ ）之間形成障壁C膜29b。於時刻 $t_{23}$ 與時刻 $t_{24}$ 間之期間 $M_2$ 中升高溫度而不進行成膜，溫度穩定後時刻 $t_{25}$ （取代時刻 $t_{10}$ ）與時刻 $t_{11}$ 期間形成有障壁A膜30b。又，於時刻 $t_{16}$ 與時刻 $t_{27}$ 期間升高溫度，於時刻 $t_{15}$ 與時刻 $t_{26}$ （取代時刻 $t_{17}$ ）之間形成障壁C膜33b。於時刻 $t_{26}$ 與時刻 $t_{27}$ 間之期間 $M_2$ 升高溫度而不進行成

膜，溫度穩定後時刻 $t_{28}$  (取代時刻 $t_{19}$ )與時刻 $t_{20}$ 之間形成障壁A膜34b。

於此變形例中，先形成有障壁後，設有變更溫度而不進行成膜之製程。藉由此製程，所成膜之障壁膜表面之原子能夠遷移。藉此，障壁膜表面之平坦性及既已成膜之活性區域之結晶性得以提高，並可提供適宜形成之後障壁成膜之底層。

圖16A以及圖16B係表示本發明之第3實施形態的半導體元件之形成方法之一變形例的圖。此方法於下述方面與圖9A以及圖9B所示之實施形態有所不同。即，於時刻 $t_6$ 與時刻 $t_{29}$  (取代時刻 $t_8$ )之間形成有障壁C膜29c，於時刻 $t_{29}$ 與時刻 $t_{30}$ 之間升高溫度而不進行成膜，並於時刻 $t_{30}$ 與時刻 $t_{31}$ 之間保持溫度 $T_B$ 。溫度穩定後，於時刻 $t_{31}$  (取代時刻 $t_{10}$ )與時刻 $t_{11}$ 之間形成障壁A膜30c。又，於時刻 $t_{15}$ 與時刻 $t_{32}$  (取代時刻 $t_{17}$ )之間形成障壁C膜33c，於時刻 $t_{32}$ 與時刻 $t_{33}$ 之間升高溫度而不進行成膜，並於時刻 $t_{33}$ 與時刻 $t_{34}$ 之間保持溫度 $T_B$ 。溫度穩定後，於時刻 $t_{34}$  (取代時刻 $t_{19}$ )與時刻 $t_{20}$ 之間形成障壁A膜34c。

於此變形例中，先形成有障壁後，設有變更溫度而不進行成膜，之後保持溫度之製程。藉由該製程，所成膜之障壁膜表面之原子可進行遷移。因此，障壁膜表面之平坦性及既已成膜之活性區域之結晶性得以提高，並可提供適宜形成之後障壁成膜之底層。

又，如上說明，於此等實施例及變形例中，於期間 $M_1$  (例

如，時刻 $t_0$ 與時刻 $t_{21}$ 間之期間)、 $M_2$ 、 $M_3$ 中，向已成長之半導體膜實施熱處理而不進行成膜。於此期間，原子於第3障壁膜上遷移。為產生足夠量之原子遷移，較好的是例如以超過攝氏860度之溫度 $T_M$ 實施熱處理。

較好的是，期間 $M_1$ 、 $M_2$ 、 $M_3$ 為一分鐘以上且五分鐘以下。依據該方法，當升高溫度而不進行成膜之期間或保持溫度而不進行成膜之期間短時，遷移不夠充分。而此期間較長時，由於附著於成長表面之雜質以及/或活性層之結晶品質劣化，因此發光元件之發光特性不會提高。

圖17A以及圖17B係表示發光二極體之發光影像的圖。此等發光二極體之構造與圖11A所示之構造實質相同。於圖17A所示之發光二極體之製作中，以30秒形成變更溫度同時成長之InGa<sub>N</sub>層67與72後，使升溫至攝氏900度為止之時間與用於穩定溫度之保持時間相加合計為2分鐘。於圖17B所示之發光二極體之製作中，形成井膜65、71後，立刻以2分30秒使第1障壁層升溫至攝氏900度為止並同時成長，與圖17A所示之發光二極體之製作有所不同，無「變更溫度而不進行成膜之期間」。於此等之發光二極體中，藉由控制成長速度，從而膜厚與第1障壁層相同。

該等發光元件之發光強度相同。參照圖17A可知，發光元件均勻發光，而參照圖17B則發現於發光面中發現亮點。之所以產生亮點，其原因在於升溫同時進行成膜之障壁層之結晶性。由於障壁層之結晶性於接近井層之區域中惡化，未恢復因而影響下一個井層成長。由於井層包含In組成較

高之InGaN，因此若底層之結晶性不良則品質容易劣化。

於圖17A所示之發光二極體之製作中，於變更溫度而不進行成膜之期間，於第1障壁膜之表面附近產生原子之遷移，第1障壁膜之結晶性以及平坦性得以改善。即，不僅以高於井層之溫度使障壁成長，並設有上述成長中斷，藉此可恢復活性層之結晶性，進一步提高活性層品質。

文獻4中，井膜上存有兩個障壁層，第1障壁層於升溫同時成長，第2障壁層於溫度固定為高溫成長。於第2障壁層形成時變更成長條件，其中包括加大成長速度，增加氫(H<sub>2</sub>)分壓，以及降低V/III莫耳比。文獻4中，係於升溫同時使第1障壁層成長，使第1障壁層以及第2障壁層連續成膜。使用此方法時，第1障壁層之結晶性緩慢提高，而接近井層之區域之結晶性不夠充分。由於接近井層之區域之結晶性不良，因而形成於其上側之膜品質亦不佳，隨著活性層之整體厚度增加，結晶性不充分之影響愈加明顯。因此，對高亮度化最為重要的MQW表面之膜質之提高亦被限制。

於較好的實施形態中，對本發明之原理加以圖示且進行了說明，但業者當瞭解，本發明可於不脫離此原理之範圍內，對配置以及具體內容進行變更。本發明並非限定於本實施形態所揭示之特定構成者。例如，本發明之實施形態中，雖然係就稱為發光二極體之半導體發光元件加以說明，但本發明並非限定於用於發光層之量子井構造，又，本發明不僅可使用於半導體發光元件，亦可使用於具有量子井構造之其他半導體裝置。故而，權利申請以申請專利

範圍以及其精神範圍內的所有修改與變更為對象。

**【圖式簡單說明】**

本發明之上述目的以及其他目的、特徵以及優點透過本發明之較佳實施形態之下述詳細說明，更容易明白，本發明之較佳實施形態參照附圖進行。

圖1係表示半導體光元件之圖式。

圖2A~圖2C係表示活性區域之幾種構造的圖。

圖3A係表示具有以相同溫度形成之5週期井層以及障壁層之量子井構造之(0002)面之測定結果的XRD分佈圖。圖3B係表示包含5週期井層以及障壁層A、B、C之量子井構造之(0002)面之測定結果的XRD分佈圖。

圖4係表示第1實施形態之變形例之活性區域之電位障壁的圖。

圖5係表示第1實施形態之活性區域之電位障壁的圖。

圖6係表示第1實施形態之變形例之活性區域之電位障壁的圖。

圖7A及圖7B係說明本發明第2實施形態之半導體元件之形成方法的圖。

圖8A係表示用以形成井層以及障壁層之溫度分佈的圖。圖8B係表示使用圖8A所示之溫度分佈P所製作之量子井構造的圖。

圖9A係表示用以形成井層以及障壁層之溫度分佈的圖。圖9B係表示使用圖9A所示之溫度分佈P所製作之量子井構造的圖。

圖 10A 及圖 10B 係說明本發明第 2 實施形態之半導體元件之形成方法的圖。

圖 11A 係表示本實施形態之發光二極體的圖。圖 11B 係表示具有其他構造之發光二極體的圖。

圖 12A 以及圖 12B 係分別表示圖 11A 以及圖 11B 之構造中之原子間力顯微鏡 (AFM) 影像的圖。

圖 13A 係表示用於圖 11A 所示之發光二極體的磊晶層表面之螢光顯微鏡影像的圖，圖 13B 係表示用於圖 11B 所示之發光二極體的磊晶層表面之螢光顯微鏡影像的圖。

圖 14A 係表示本發明第 3 實施形態之半導體元件的形成方法中，成膜溫度之分佈的圖。圖 14B 係表示藉由圖 14A 所示之製作方法製作的半導體元件之構造圖。

圖 15A 係表示本發明第 3 實施形態之半導體元件的形成方法之一變形例中成膜溫度之分佈的圖。圖 15B 係表示藉由圖 15A 所示之製作方法製作的半導體元件之構造圖。

圖 16A 係表示本發明第 3 實施形態之半導體元件的形成方法之其他變形例中成膜溫度之分佈的圖。圖 16B 係表示藉由圖 16A 所示之製作方法製作的半導體元件之構造圖。

圖 17A 以及圖 17B 係表示發光二極體之發光影像的圖。

#### 【主要元件符號說明】

1	半導體元件
3	活性區域
5, 5a, 5b	井區域
7, 7a, 7b, 7c	障壁區域

9, 9a, 9c	第1半導體層
11, 11a, 11b, 11c	第2半導體層
13, 13b, 13c	第3半導體層
15	支持基體
15a	支持基體之主面
15b	支持基體之裏面
17	第1導電型半導體層
18	第2導電型接觸層
19	第2導電型半導體層
20a, 20b	電極
21	氮化鎵基板
23	氮化鎵膜
25	活性區域
26, 30, 30a, 30b, 30c,	障壁A膜
34, 34a, 34b, 34c	
27, 31	障壁B膜
28, 32	井膜
29, 29b, 29c, 33, 33c	障壁C膜
35	III-V氮化物膜
37	III-V氮化物半導體膜
51, 91	發光二極體
53	GaN基板
55	n型GaN膜
57	In <sub>0.01</sub> Ga <sub>0.99</sub> N膜

59	ud-In <sub>0.015</sub> Ga <sub>0.985</sub> N膜
61, 93	下部覆蓋層
63, 99	上部覆蓋層
65	ud-In <sub>0.15</sub> Ga <sub>0.85</sub> N膜
67	ud-In <sub>U</sub> Ga <sub>1-U</sub> N膜
69	ud-In <sub>0.01</sub> Ga <sub>0.99</sub> N膜
71	ud-In <sub>0.015</sub> Ga <sub>0.985</sub> N膜
72	ud-In <sub>V</sub> Ga <sub>1-V</sub> N膜
73, 97	障壁區域
75	ud-In <sub>0.01</sub> Ga <sub>0.99</sub> N膜
77	p型 Al <sub>0.15</sub> Ga <sub>0.85</sub> N膜
79	p型 CaN膜
81	含有 Ti/Al 之陰極電極
83	含有 Ni/Au 之半透明電極
85	含有 Ti/Au 之衰減電極
95	井區域
B1	第1半導體層9之障壁
B3	第3半導體層13之障壁
B2	第2半導體層11之障壁
E1, E2, E3	半導體基板生產物
S0, S1	時序
T <sub>B</sub> , T <sub>W</sub> , T <sub>M</sub>	溫度
M1, M2, M3	期間
P	溫度分佈圖

## 五、中文發明摘要：

半導體元件1包含具有量子井構造之活性區域3。活性區域3包含井區域5與障壁區域7。井區域5由含有氮、銦以及鎵之III-V化合物半導體構成。障壁區域7a具有第1半導體層9a以及第2半導體層11a。第1半導體層9a由至少含有氮、銦以及鎵之III-V化合物半導體構成。第2半導體層11a由至少含有氮以及鎵之III-V化合物半導體構成。第1半導體層9a設置於第2半導體層11a與井區域5之間。第1半導體層9a之銦組成小於第2半導體層11a之銦組成。第1半導體層9a之銦組成小於井區域5之銦組成。

## 六、英文發明摘要：

## 十、申請專利範圍：

1. 一種形成具有量子井構造之半導體元件的方法，具有：

以第1溫度形成包含III-V氮化物半導體之井膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；

於上述井膜上形成包含III-V氮化物半導體之第1障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵；

形成上述第1障壁膜後，變更溫度而不進行成膜之製程；及

該溫度變化結束後，以大於上述第1溫度之第2溫度，於上述第1障壁膜上形成包含III-V氮化物半導體之第2障壁膜的製程；

上述第1障壁膜以高於上述第1溫度且低於上述第2溫度之第3溫度形成；

上述第1障壁膜之銦組成小於上述井膜之銦組成。

2. 如請求項1之方法，其中於形成第1障壁膜於上述井膜上之上述製程中，上述第1障壁膜之至少一部分係一面變更溫度一面形成。

3. 一種形成具有量子井構造之半導體元件的方法，具有：

以第1溫度形成包含III-V氮化物半導體之井膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；

於上述井膜上形成包含III-V氮化物半導體之第1障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵；

形成上述第1障壁膜後，升高溫度而不進行成膜之製程；及

以第2溫度，於上述第1障壁膜上形成包含III-V氮化物半導體之第2障壁膜的製程；

上述第1障壁膜之至少一部分係於自上述第1溫度升溫至第3溫度之期間中形成；

於升高溫度之上述製程中，上述溫度係在特定期間自上述第3溫度升高至上述第2溫度；

上述第1障壁膜之銦組成小於上述井膜之銦組成；

自上述第1溫度至第3溫度之升溫時間短於上述特定期間。

4. 一種形成具有量子井構造之半導體元件的方法，具有：

以第1溫度形成包含III-V氮化物半導體之井膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；

於上述井膜上形成包含III-V氮化物半導體之第1障壁膜的製程，上述III-V氮化物半導體含有氮、銦以及鎵；

形成上述第1障壁膜後，升高溫度至第2溫度而不進行成膜之製程；

形成第2障壁膜之前，保持上述第2溫度於特定期間而不進行成膜之製程；及

以上述第2溫度，於上述第1障壁膜上形成包含III-V氮化物半導體之第2障壁膜之製程；

上述第1障壁膜之至少一部分形成於自上述第1溫度升溫至小於上述第2溫度之第3溫度之期間中；

於升高溫度之上述製程中，上述溫度係自上述第3溫度升高至上述第2溫度；

上述第1障壁膜之銦組成小於上述井膜之銦組成；

自上述第1溫度至第3溫度之升溫時間短於上述特定期間。

5. 如請求項3或4之方法，其中上述特定期間為一分鐘以上五分鐘以下。
6. 如請求項1至5中任一項之方法，其中於上述井膜上形成第1障壁膜之上述製程係緊接於以第1溫度形成井膜之上述製程後實施。
7. 如請求項1至6中任一項之方法，其中

上述第1障壁膜包含 $\text{In}_{X1}\text{Ga}_{1-X1}\text{N}$ 半導體， $X1$ 大於零且小於1；

上述第2障壁膜包含 $\text{In}_{X2}\text{Ga}_{1-X2}\text{N}$ 半導體， $X2$ 大於零且小於1；

上述井膜包含 $\text{In}_{X3}\text{Ga}_{1-X3}\text{N}$ 半導體， $X3$ 大於零且小於1， $X3$ 大於 $X1$ 。

8. 一種形成具有量子井構造之半導體元件的方法，具有：  
形成包含III-V氮化物半導體之第1障壁膜之製程；  
形成上述第1障壁膜後，變更溫度而不進行成膜之製程；

於變化溫度之上述製程後，於上述第1障壁膜上形成包含III-V氮化物半導體之第2障壁膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；及

以第1溫度，於上述第2障壁膜上形成包含III-V氮化物半導體之井膜之製程，上述III-V氮化物半導體含有氮、

銦以及鎵；

上述第1障壁膜以大於上述第1溫度之第2溫度形成；

上述第2障壁膜以小於上述第2溫度且高於上述第1溫度之第3溫度形成；

上述第2障壁膜之銦組成小於上述井膜之銦組成。

9. 如請求項8之方法，其中於將第2障壁膜形成於上述第1障壁膜上之上述製程中，上述第2障壁膜之至少一部分以上述第1溫度形成。

10. 如請求項8或9之方法，其中以第1溫度將井膜形成於上述第2障壁膜上之上述製程係緊接於將上述第2障壁膜形成於上述第1障壁膜上之上述製程後實施。

11. 如請求項8至10中任一項之方法，其中

上述第1障壁膜包含 $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{N}$ 半導體， $x_2$ 大於零且小於1；

上述第2障壁膜包含 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 半導體， $x_1$ 大於零且小於1；

上述井膜包含 $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{N}$ 半導體， $x_3$ 大於零且小於1， $x_3$ 大於 $x_1$ 。

12. 如請求項8至11中任一項之方法，其中具備：

於上述井膜上形成包含III-V氮化物半導體之第3障壁膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；

形成上述第3障壁膜後，變更溫度而不進行成膜之製程；及

變化溫度之上述製程後，以第2溫度於上述第3障壁膜

上形成第4障壁膜之製程；

以低於上述第2溫度且高於上述第1溫度之第4溫度，形成上述第3障壁膜；

上述第3障壁膜之銦組成小於上述井膜之銦組成。

13. 如請求項12之方法，其中將第3障壁膜形成於井膜上之上述製程中，上述第3障壁膜之至少一部分係一面變更溫度一面形成。

14. 如請求項8至11中任一項之方法，其中具備：

於上述井膜上形成包含III-V氮化物半導體之第3障壁膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；

形成上述第3障壁膜後，升高溫度而不進行成膜之製程；及

以上述第2溫度，於上述第3障壁膜上形成包含III-V氮化物半導體之第4障壁膜之製程；

上述第3障壁膜之至少一部分形成於自上述第1溫度升溫至小於上述第2溫度之第4溫度之期間中；

於升高溫度之上述製程中，上述溫度係在特定期間自上述第4溫度升高至上述第2溫度；

上述第3障壁膜之銦組成小於上述井膜之銦組成；

自上述第1溫度至第4溫度之升溫時間短於上述特定期間。

15. 如請求項8至11中任一項之方法，其中具備：

於上述井膜上形成包含III-V氮化物半導體之第3障壁膜之製程，上述III-V氮化物半導體含有氮、銦以及鎵；

形成上述第3障壁膜後，升高溫度至上述第2溫度而不進行成膜之製程；

於升高溫度至上述第2溫度而不進行成膜之製程後，保持上述第2溫度於特定期間而不進行成膜之製程；及

以上述第2溫度，於上述第3障壁膜上形成包含III-V氮化物半導體之第4障壁膜之製程；

上述第3障壁膜之至少一部分形成於自上述第1溫度升溫至小於上述第2溫度之第4溫度之期間中；

於升高溫度之上述製程中，上述溫度係自上述第4溫度升高至上述第2溫度；

上述第3障壁膜之銦組成小於上述井膜之銦組成；

自上述第1溫度至第4溫度之升溫時間短於上述特定期間。

16. 如請求項14或15之方法，其中上述特定期間為一分鐘以上五分鐘以下。

17. 如請求項12至16中任一項之方法，其中於上述井膜上形成第3障壁膜之上述製程係緊接於以第1溫度將井膜形成於上述第2障壁膜上之上述製程後實施。

18. 如請求項12至17中任一項之方法，其中

上述第4障壁膜包含 $\text{In}_{X5}\text{Ga}_{1-X5}\text{N}$ 半導體， $X5$ 大於零且小於1；

上述第3障壁膜包含 $\text{In}_{X4}\text{Ga}_{1-X4}\text{N}$ 半導體， $X4$ 大於零且小於1， $X3$ 大於 $X4$ 。

19. 一種半導體元件，其係具有量子井構造者，且具備：

井區域，其包含III-V氮化物半導體，該III-V氮化物半導體含有氮、銦以及鎵；

第1障壁區域，其具有第1半導體層以及第2半導體層，上述第1半導體層包含III-V氮化物半導體，其含有氮、銦以及鎵，上述第2半導體層包含III-V氮化物半導體，其含有氮以及鎵；

上述第1半導體層設置於上述第2半導體層與上述井區域之間；

上述第1半導體層之銦組成小於上述井區域之銦組成。

20. 如請求項19之半導體元件，其中起因於銦偏析之量子井內之缺陷密度為 $1 \times 10^6 \text{cm}^{-2}$ 以下。

21. 如請求項19或20之半導體元件，其中進而具備：

第2障壁區域，其具有第3半導體層以及第4半導體層，上述第3半導體層包含III-V氮化物半導體，其含有氮、銦以及鎵，上述第4半導體層包含III-V氮化物半導體，其含有氮以及鎵；

上述井區域設置於上述第1障壁區域與上述第2障壁區域之間；

上述第3半導體層設置於上述第4半導體層與上述井區域之間；

上述第3半導體層之銦組成小於上述井區域之銦組成。

22. 如請求項19至21中任一項之半導體元件，其中

上述第1半導體層包含 $\text{In}_{X1}\text{Ga}_{1-X1}\text{N}$ 半導體， $X1$ 大於零且小於1；

上述第2半導體層包含 $\text{In}_{X_2}\text{Ga}_{1-X_2}\text{N}$ 半導體， $X_2$ 大於零且小於1；

上述井區域包含 $\text{In}_{X_3}\text{Ga}_{1-X_3}\text{N}$ 半導體， $X_3$ 大於零且小於1；

$X_3$ 大於 $X_1$ ；

$X_3-X_1$ 為0.04以上。

23. 如請求項19至22中任一項之半導體元件，其中

上述第1半導體層之厚度為1奈米以上，上述第1半導體層之厚度為5奈米以下。

24. 如請求項21至23中任一項之半導體元件，其中

上述第4半導體層包含 $\text{In}_{X_5}\text{Ga}_{1-X_5}\text{N}$ 半導體， $X_5$ 大於零且小於1；

上述第3半導體層包含 $\text{In}_{X_4}\text{Ga}_{1-X_4}\text{N}$ 半導體， $X_4$ 大於零且小於1；

$X_3$ 大於 $X_4$ ；

$X_3-X_4$ 為0.04以上。

25. 如請求項21至24中任一項之半導體元件，其中

上述第3半導體層之厚度為1奈米以上，上述第3半導體層之厚度為5奈米以下。

十一、圖式：

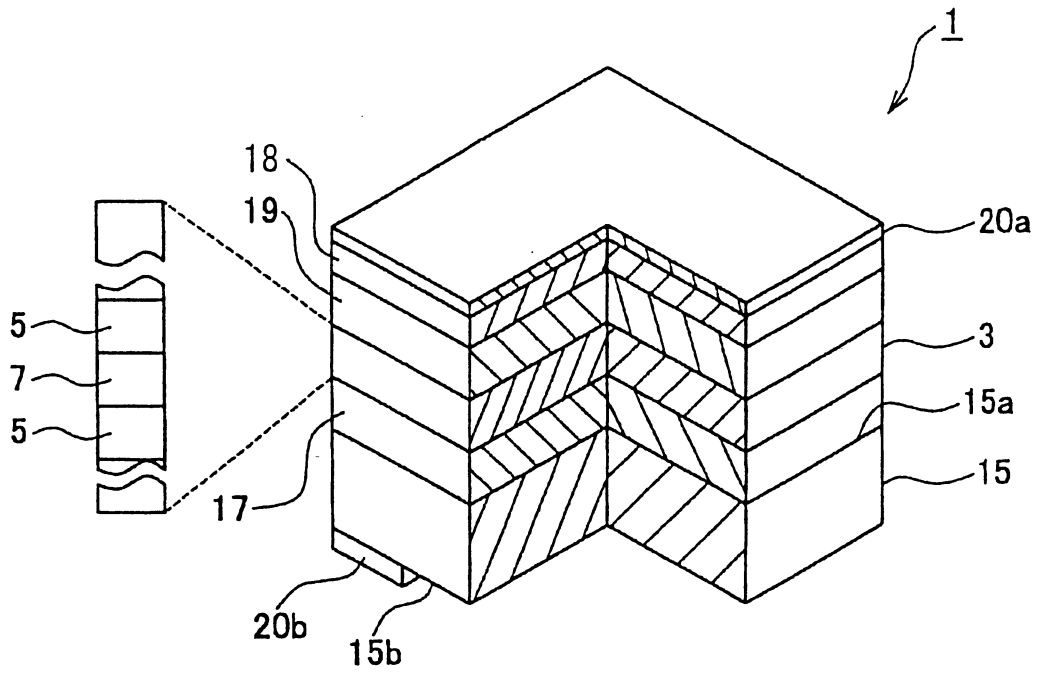


圖 1

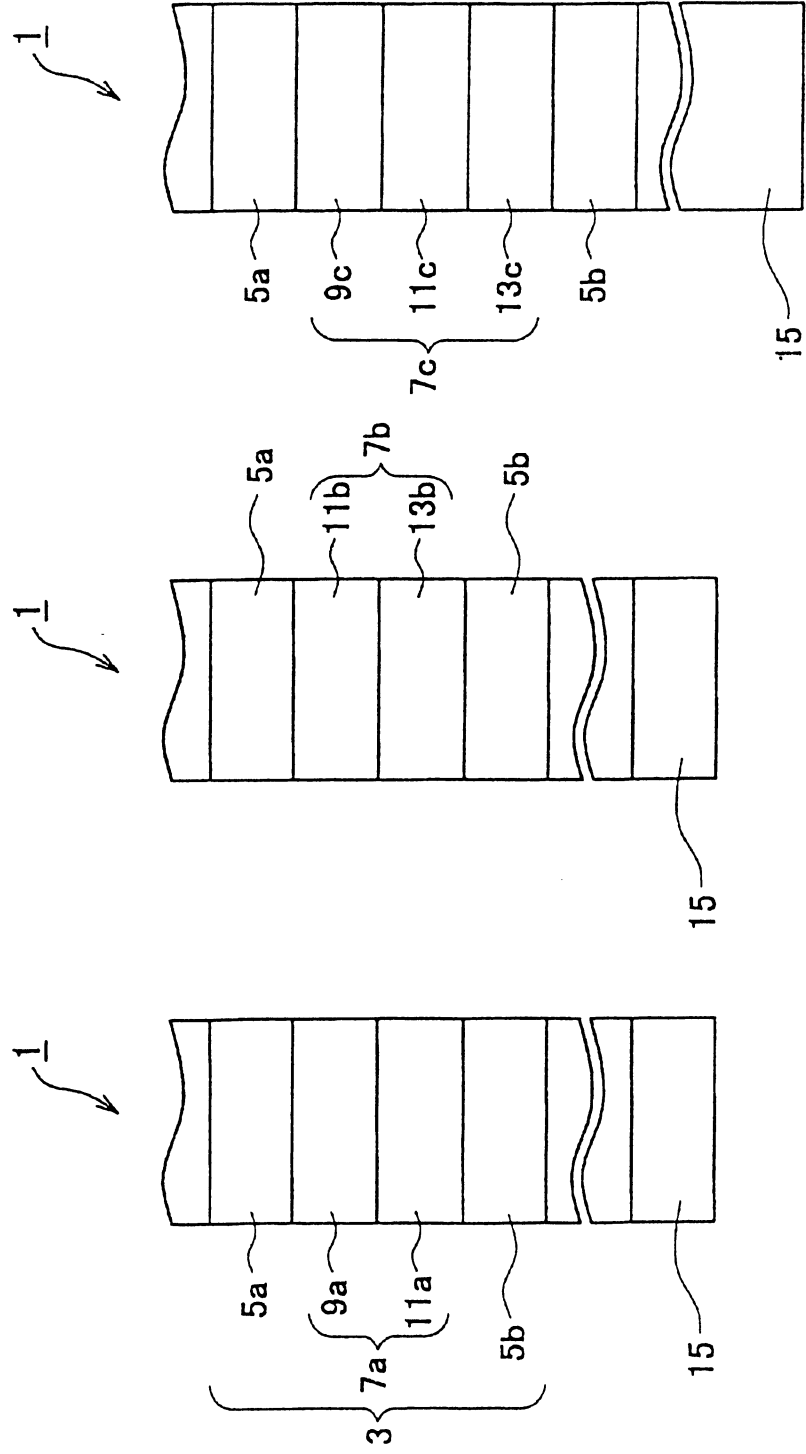


圖 2A

圖 2B

圖 2C

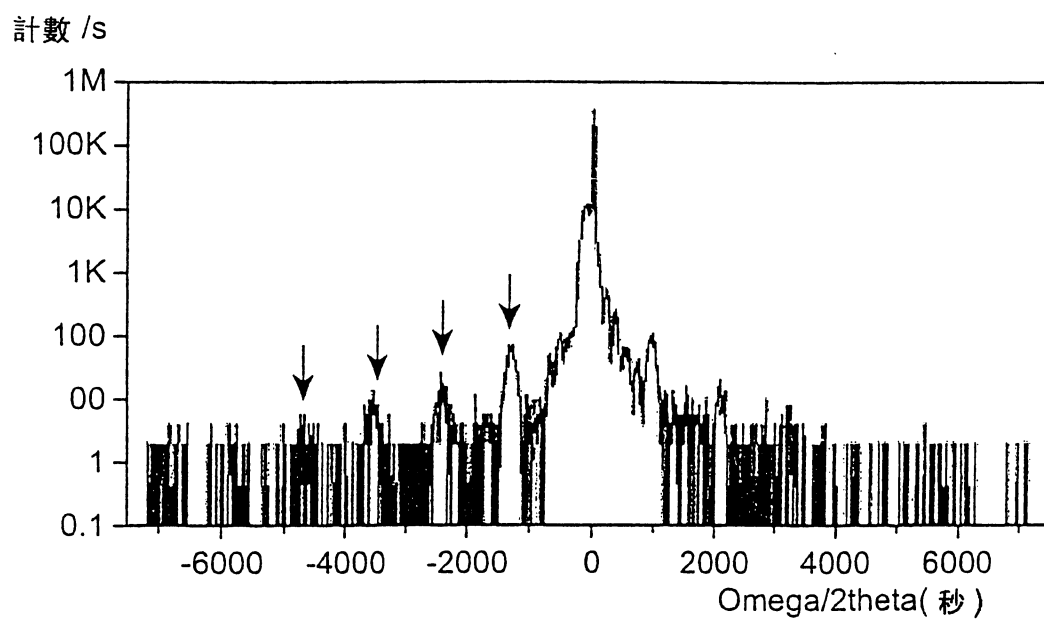


圖 3A

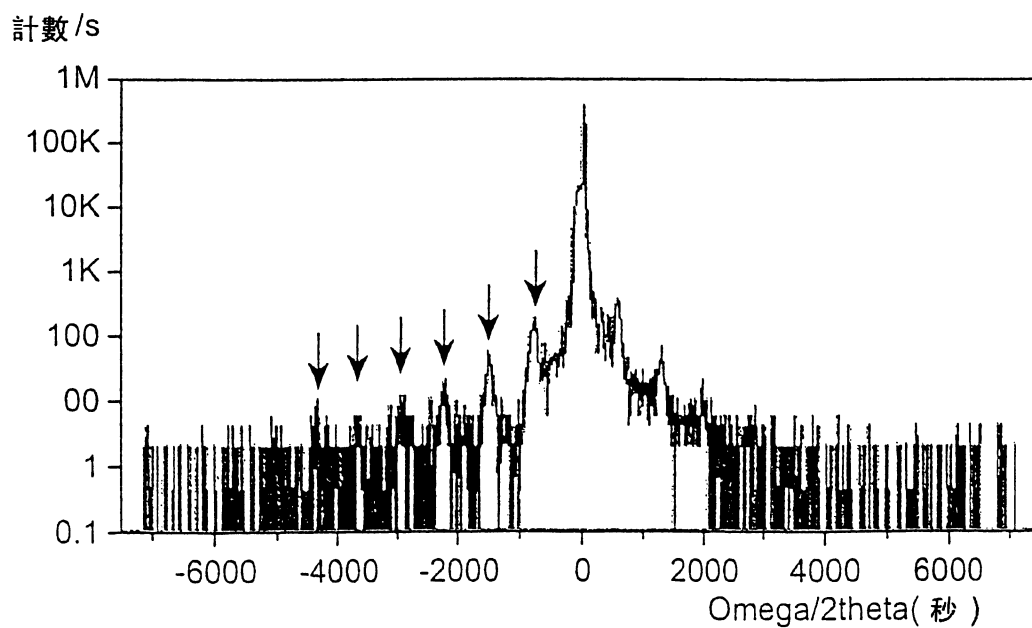


圖 3B

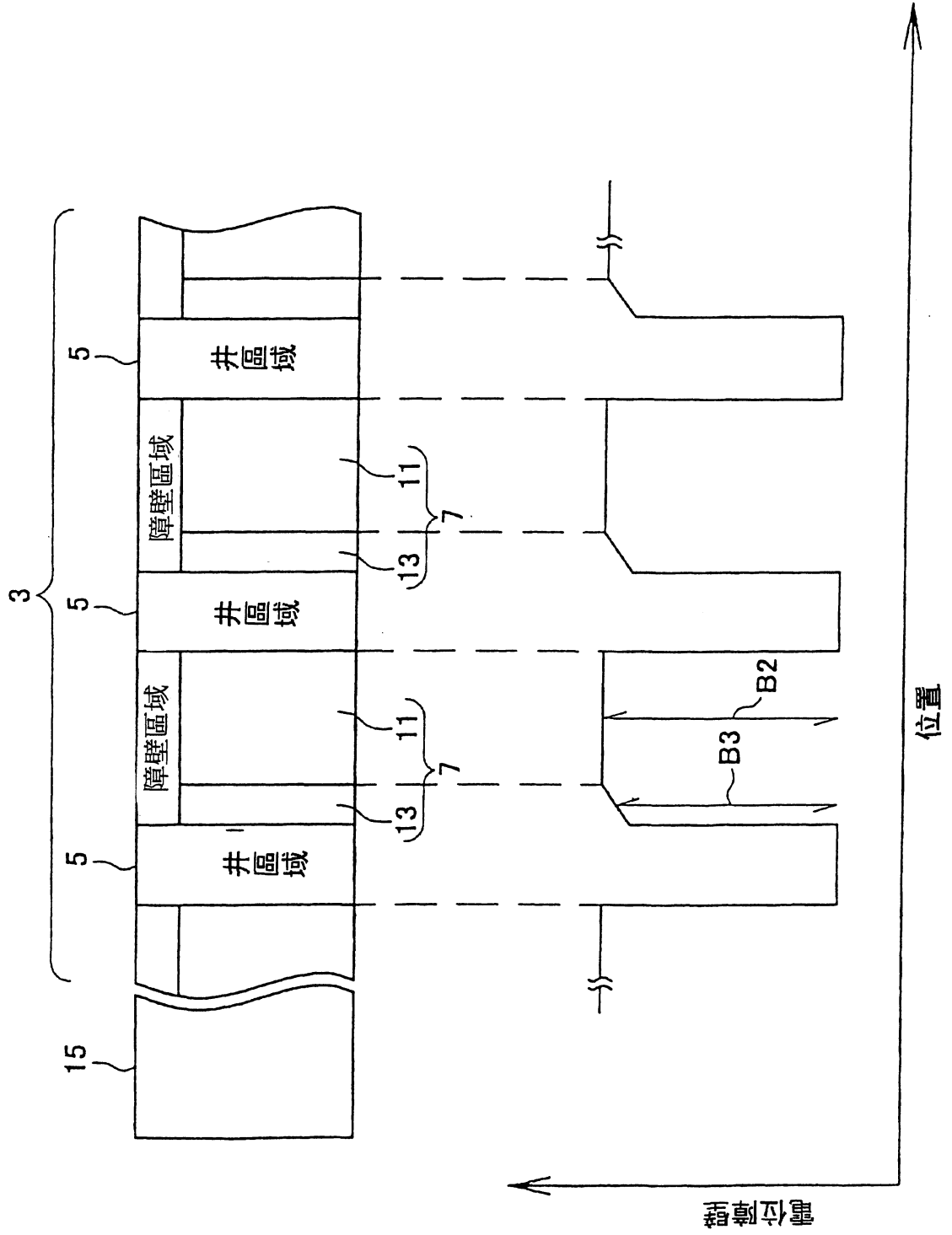


圖 4

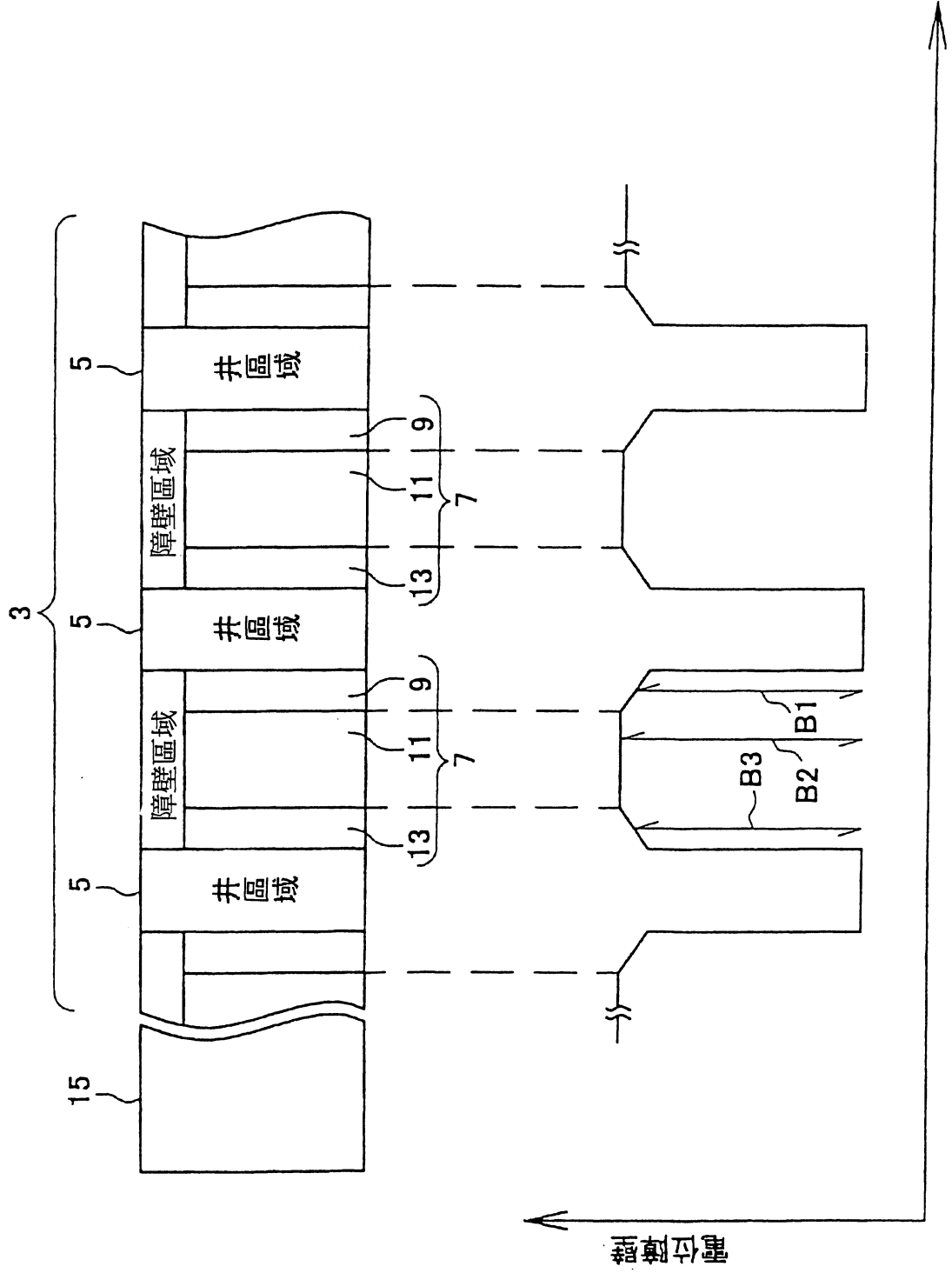
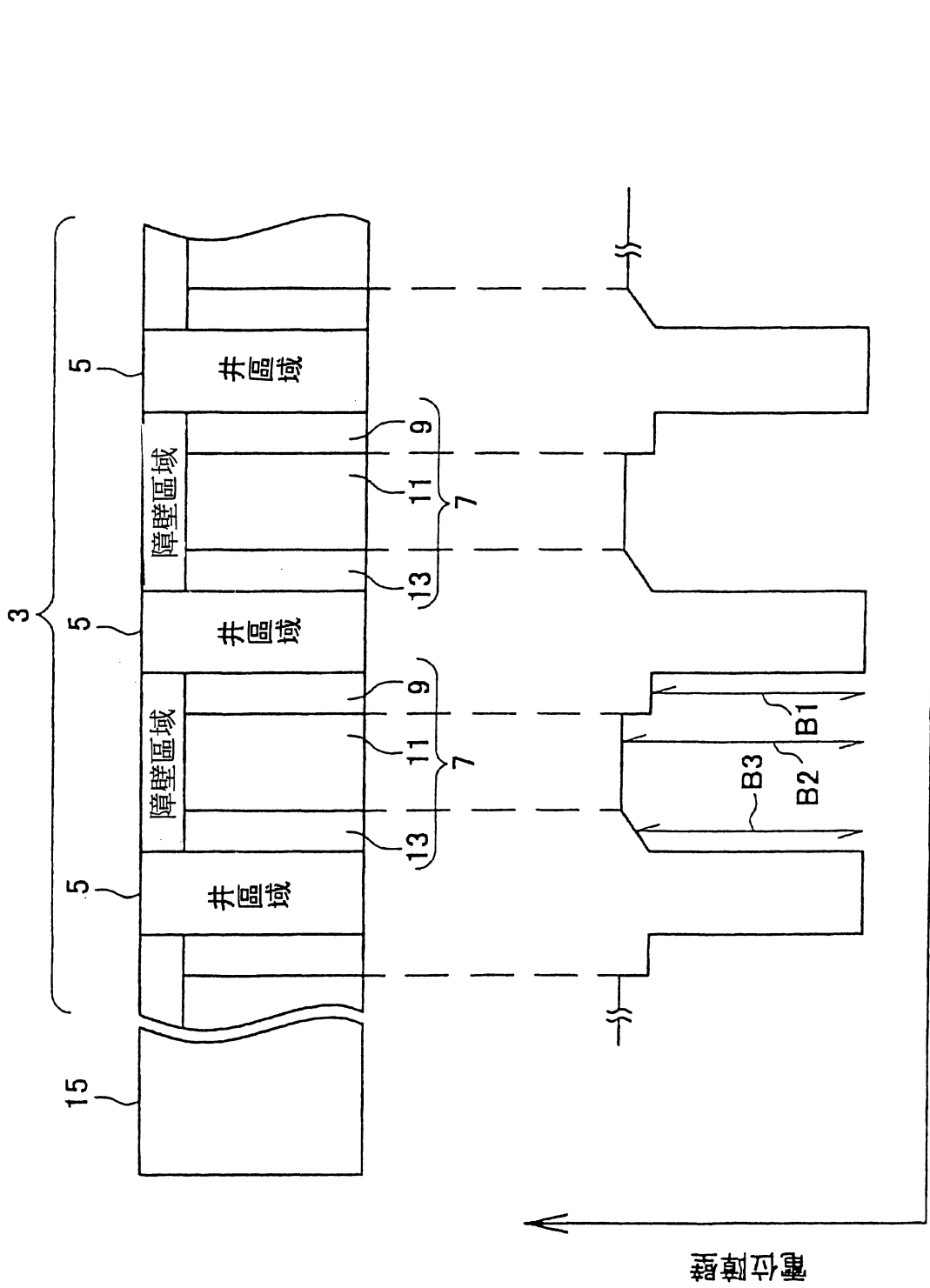


圖 5

位置



障壁位置 圖 6

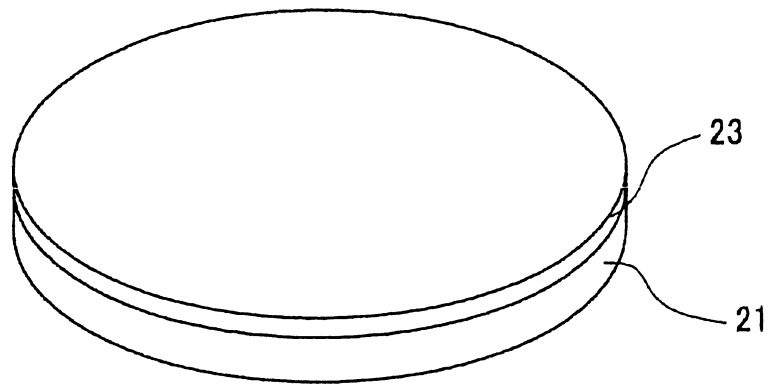


圖 7A

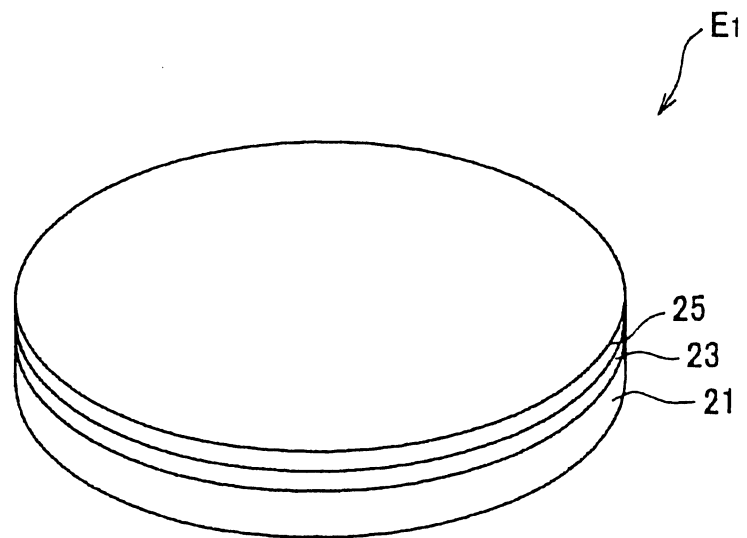


圖 7B

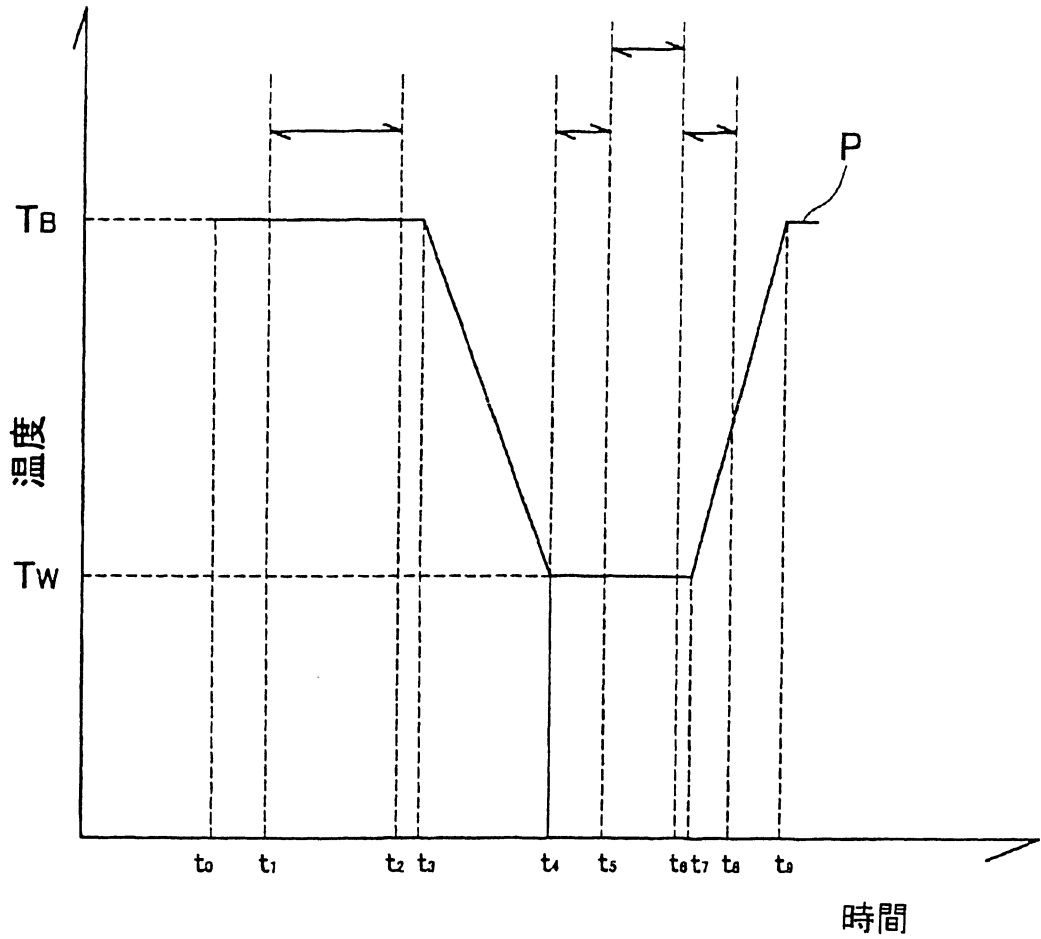


圖 8A

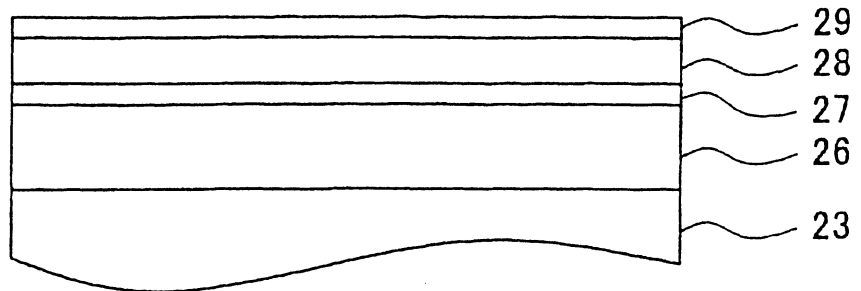


圖 8B

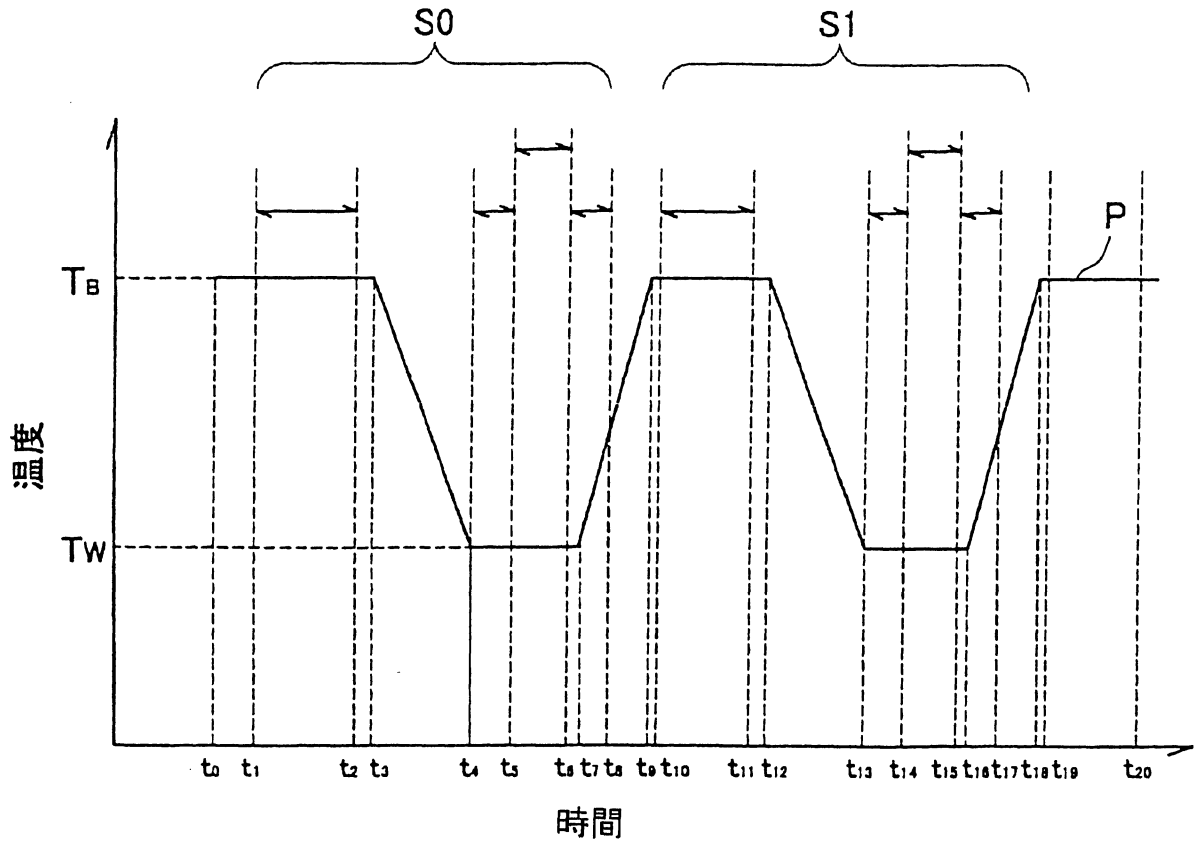


圖 9A

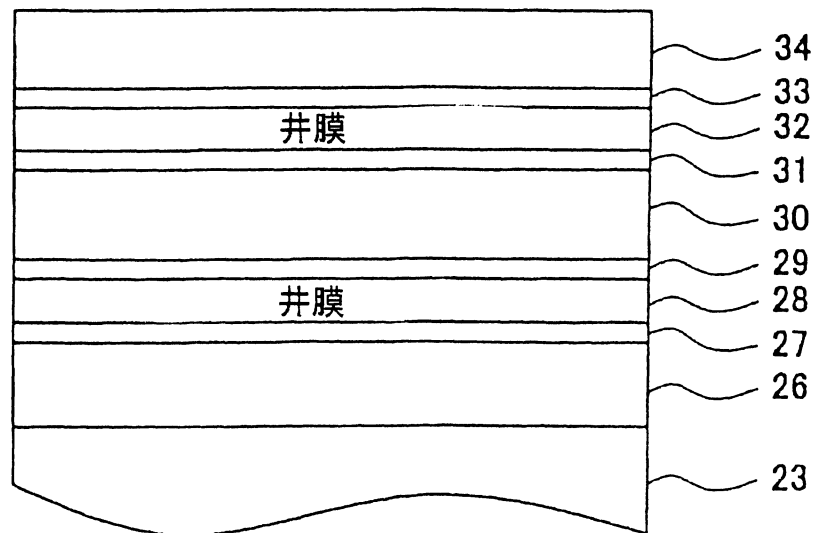


圖 9B

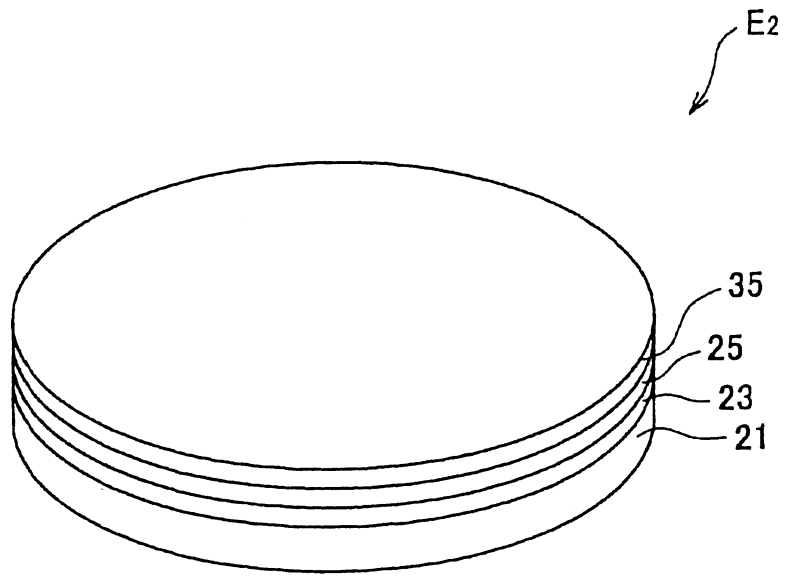


圖 10A

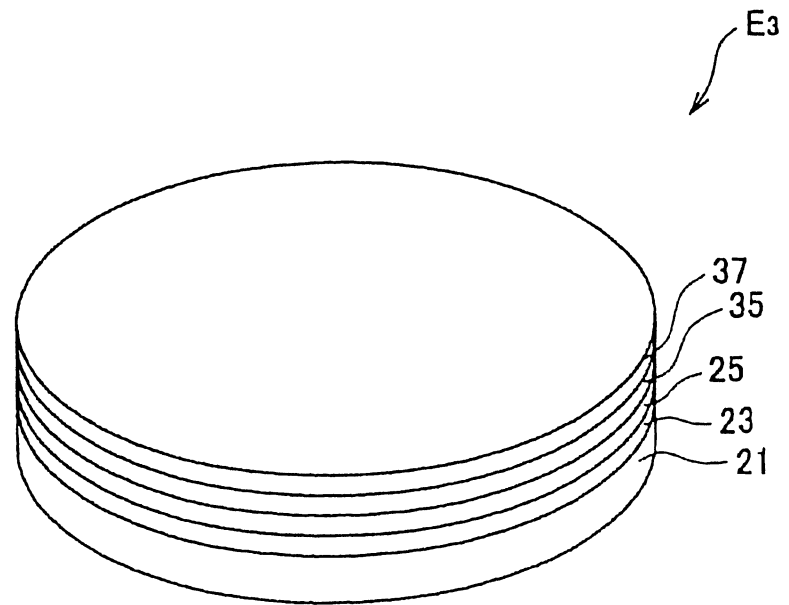


圖 10B

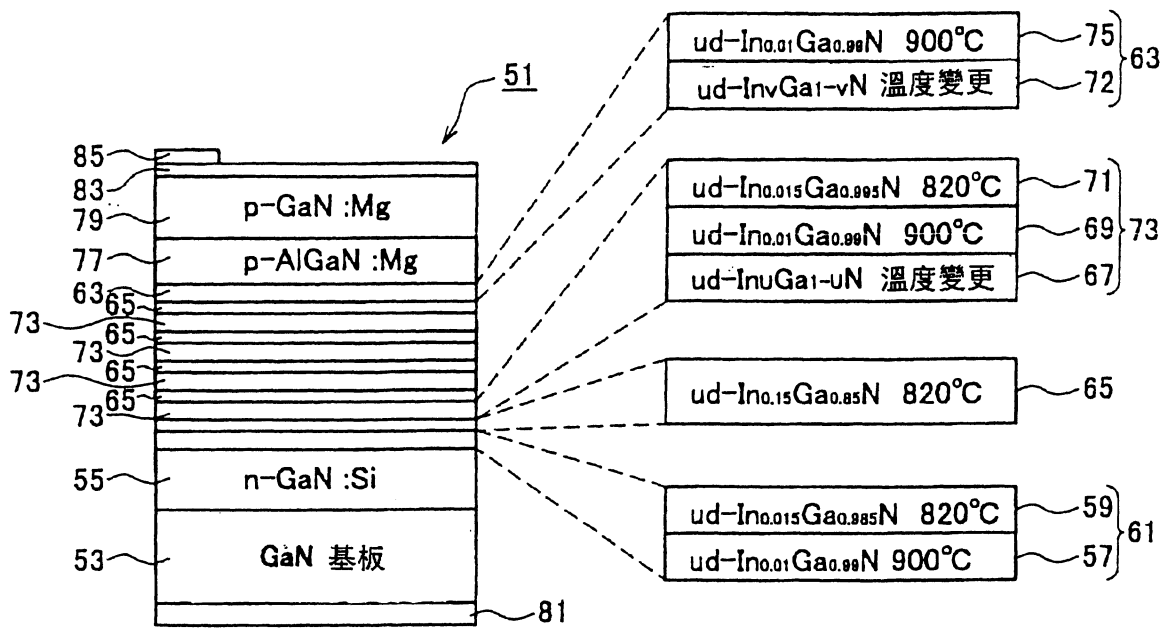


圖 11A

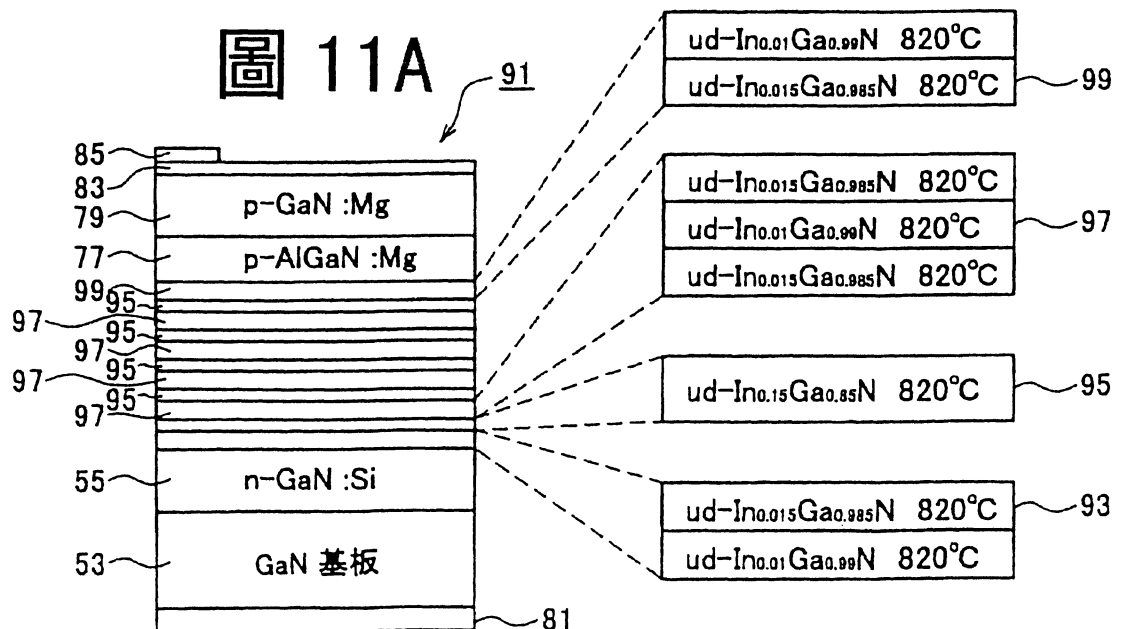


圖 11B

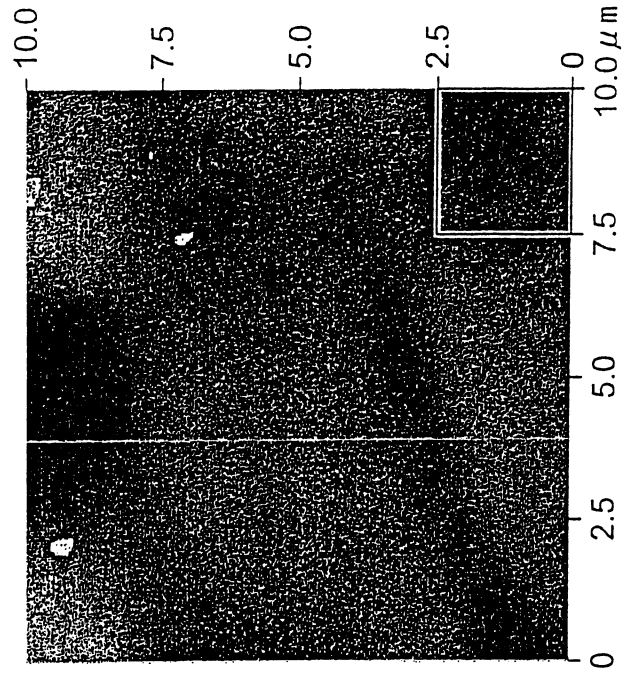


圖 12B

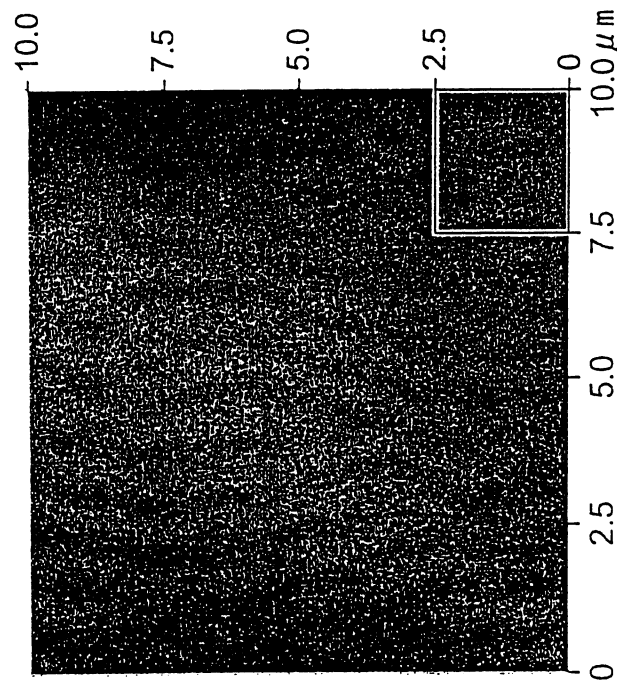


圖 12A

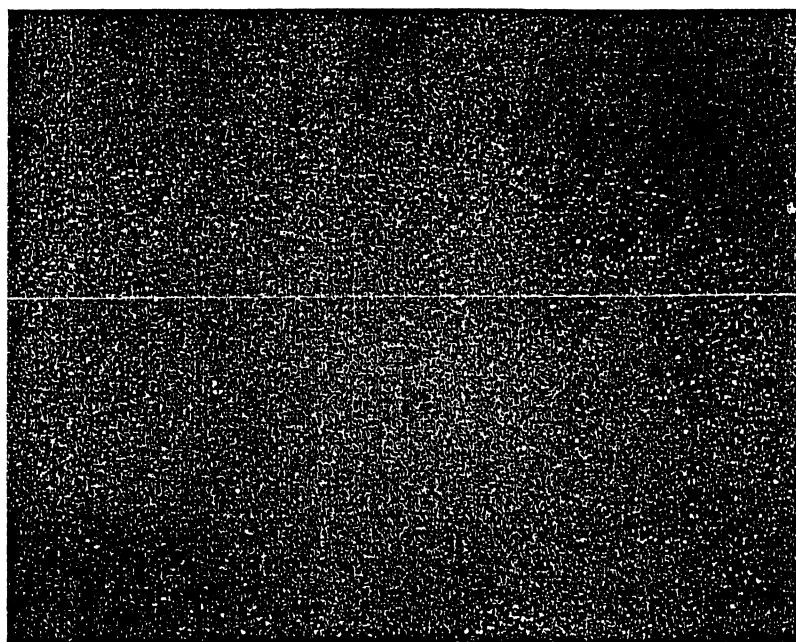


圖 13A

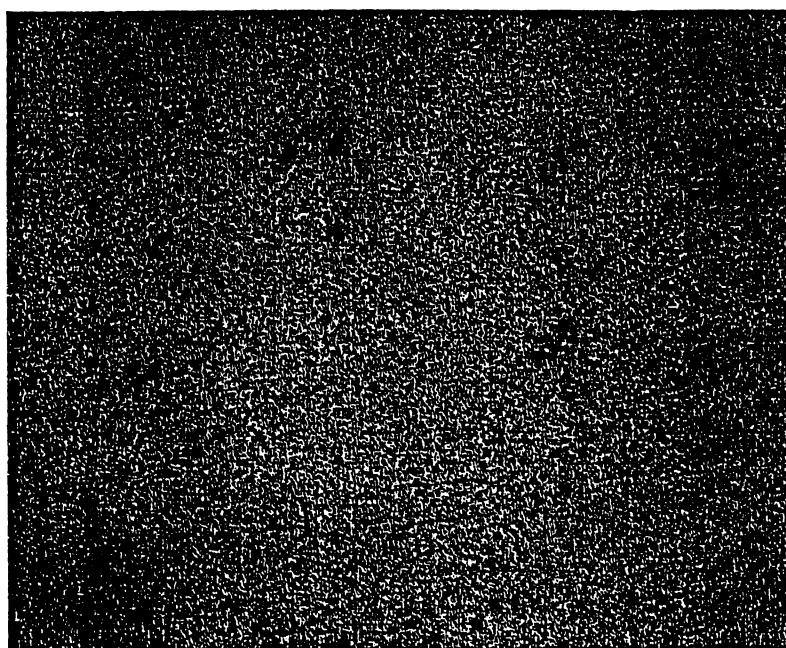


圖 13B

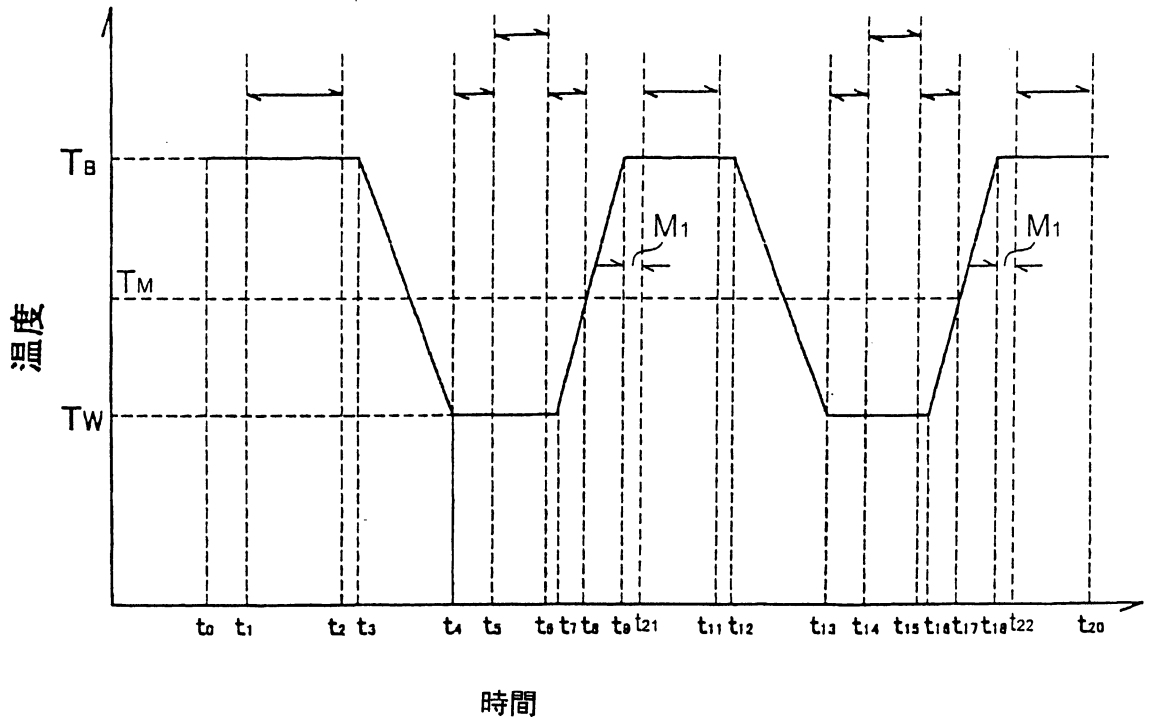


圖 14A

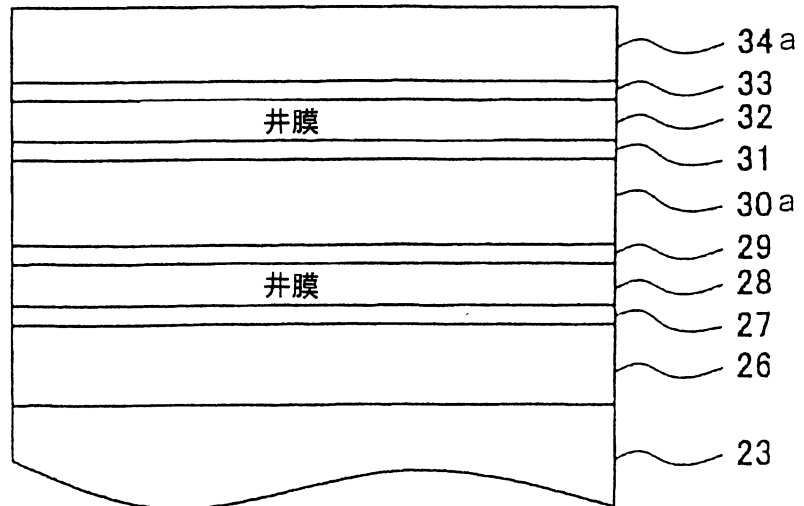


圖 14B

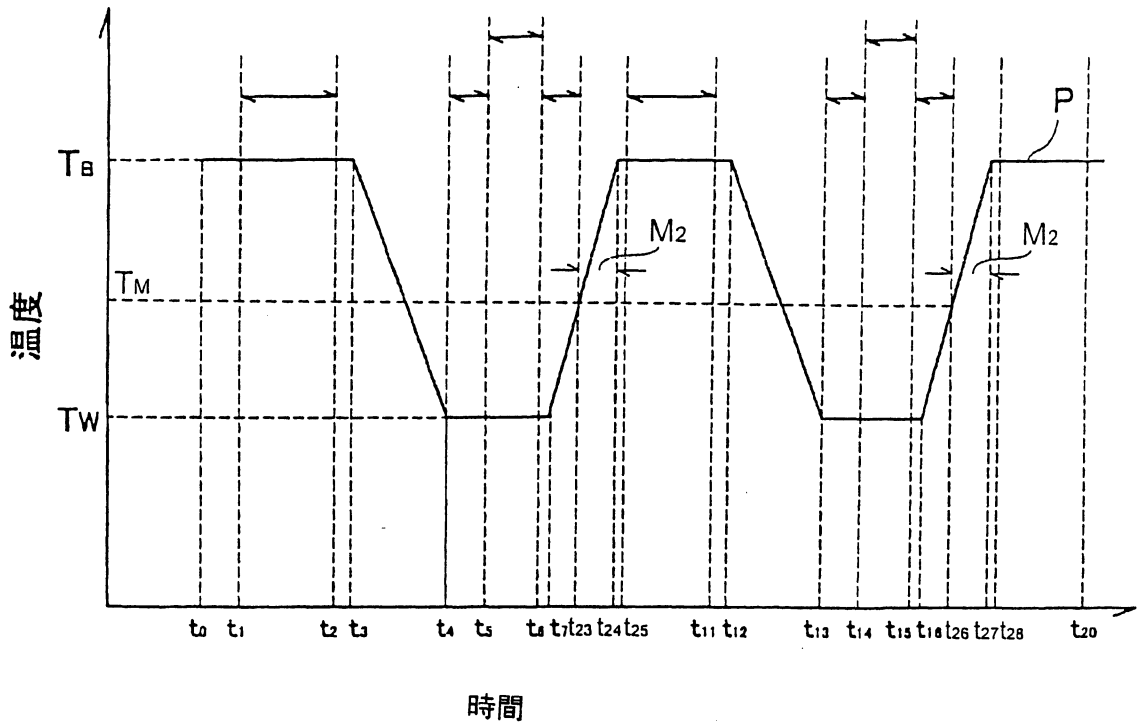


圖 15A

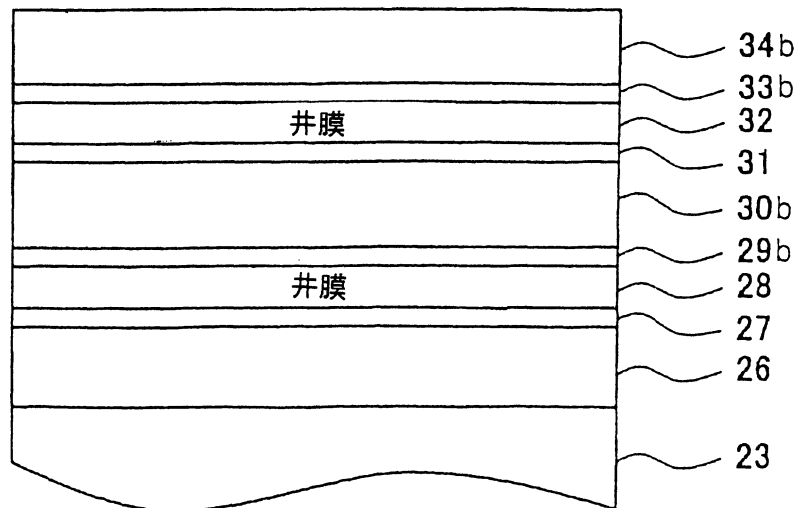


圖 15B

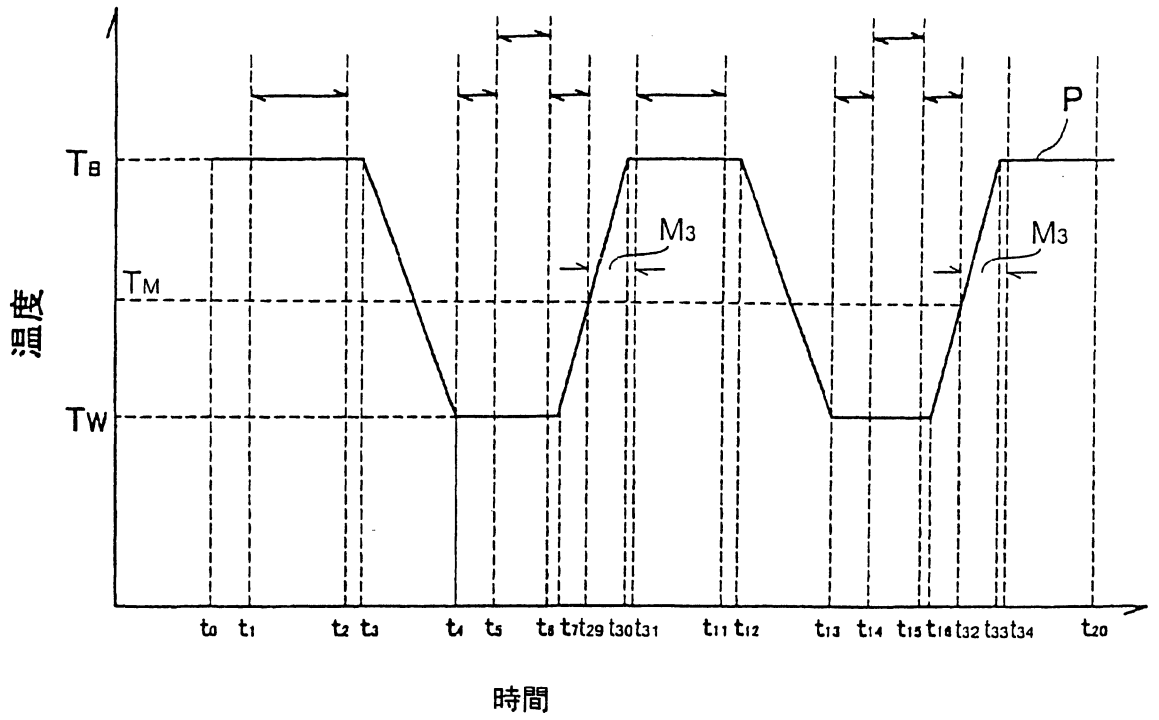


圖 16A

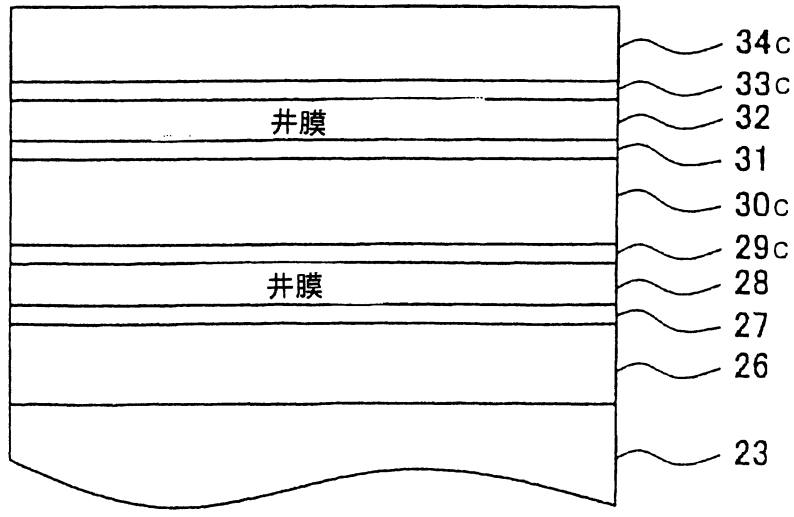


圖 16B

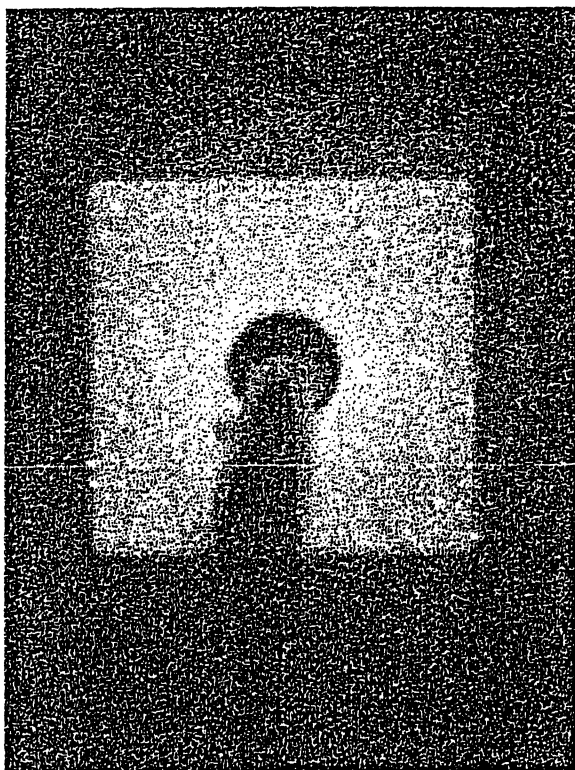


圖 17B

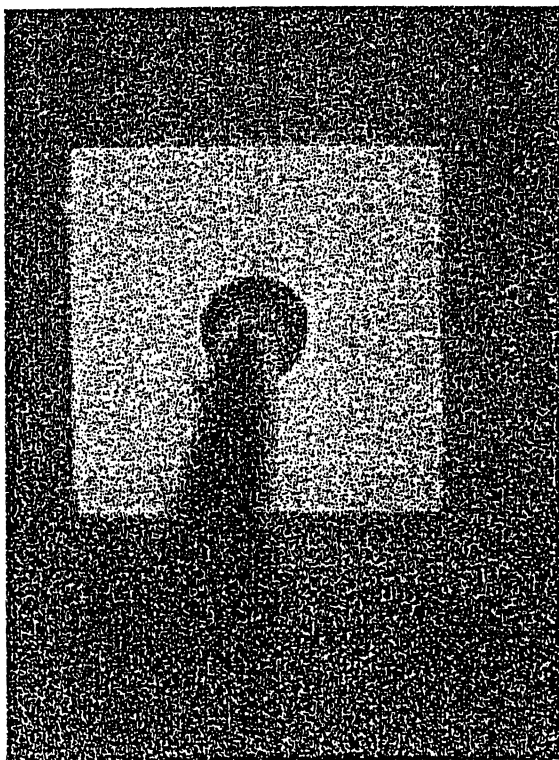


圖 17A

七、指定代表圖：

(一)本案指定代表圖為：第( 2 )圖。

(二)本代表圖之元件符號簡單說明：

1	半導體元件
3	活性區域
5a, 5b	井區域
7a, 7b, 7c	障壁區域
9a, 9c	第1半導體層
11a, 11b, 11c	第2半導體層
13b, 13c	第3半導體層
15	支持基體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)