



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：200915533

(43) 公開日：中華民國98(2009)年4月1日

(21) 申請案號：097137226

(22) 申請日：中華民國97(2008)年9月26日

(51) Int. Cl. : H01L25/10 (2006.01)

H01L25/065 (2006.01)

H01L21/50 (2006.01)

(30) 優先權主張：2007/09/27 日本

2007-250804

(71) 申請人：新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.  
日本

(72) 發明人：山野孝治 TAKAHARU YAMANO

(72) 代理人：賴經臣；宿希成

申請實體審查：無 申請專利範圍項數：10 項 圖式數：24 共 63 頁

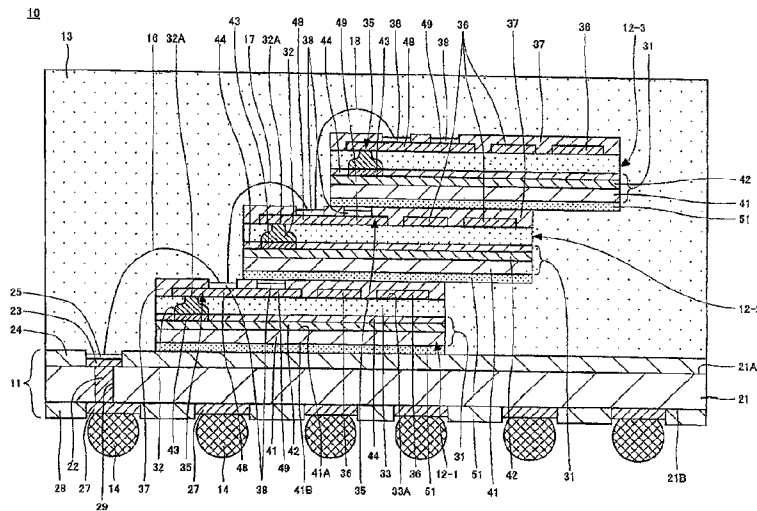
(54) 名稱

電子裝置及其製造方法

ELECTRONIC APPARATUS AND MANUFACTURING METHOD THEREOF

(57) 摘要

提供在電性及功能方面被判定為良好品目之複數個半導體裝置，同時具有在半導體晶片之電極墊上所配置之內部連接端；在該等半導體晶片之形成有該等電極墊之表面上所配置且暴露該等內部連接端之樹脂層；及在該等樹脂層上所配置且連接至該等內部連接端之佈線圖案；一上面階梯式地堆疊有該複數個半導體裝置之佈線基板，該佈線基板電性連接至該複數個半導體裝置；以及一用以密封該複數個半導體裝置之密封樹脂。



10：電子裝置

11：佈線基板

12-1：半導體裝置

12-2：半導體裝置

12-3：半導體裝置

13：密封樹脂

14：外部連接端

16：金屬線

17：金屬線

18：金屬線

21：核心基板

21A：上表面

21B：下表面

22：貫穿介層

23：焊墊

24：防焊層

25：防擴散膜

27：外部連接墊

28：防焊層

29：通孔

31：半導體晶片  
32：內部連接端  
32A：上表面  
33：樹脂層  
33A：上表面  
35：佈線圖案  
36：虛設圖案  
37：防焊層  
38：防擴散膜  
41：半導體基板  
41A：上表面  
41B：下表面  
42：半導體積體電路  
43：電極墊  
44：保護膜  
48：連接部  
49：檢查墊  
51：黏著片(帶)



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200915533

(43)公開日：中華民國98(2009)年4月1日

(21)申請案號：097137226

(22)申請日：中華民國97(2008)年9月26日

(51)Int. Cl. : H01L25/10 (2006.01)

H01L25/065 (2006.01)

H01L21/50 (2006.01)

(30)優先權主張：2007/09/27 日本

2007-250804

(71)申請人：新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.  
日本

(72)發明人：山野孝治 TAKAHARU YAMANO

(72)代理人：賴經臣；宿希成

申請實體審查：無 申請專利範圍項數：10 項 圖式數：24 共 63 頁

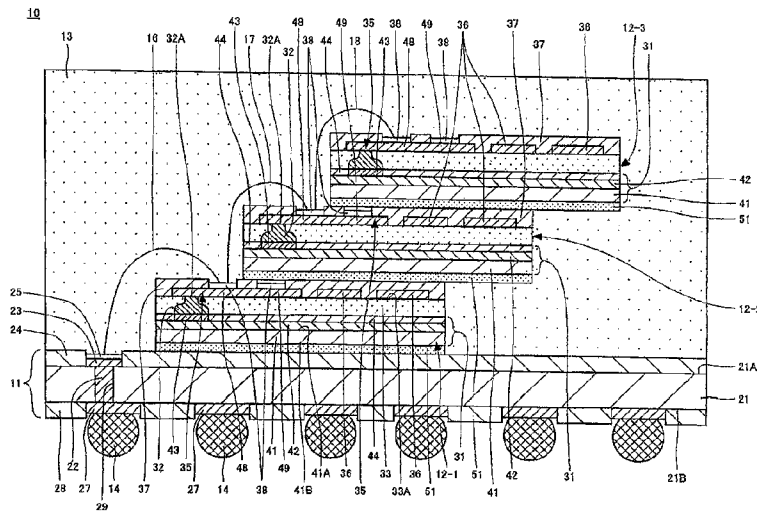
(54)名稱

電子裝置及其製造方法

ELECTRONIC APPARATUS AND MANUFACTURING METHOD THEREOF

(57)摘要

提供在電性及功能方面被判定為良好品目之複數個半導體裝置，同時具有在半導體晶片之電極墊上所配置之內部連接端；在該等半導體晶片之形成有該等電極墊之表面上所配置且暴露該等內部連接端之樹脂層；及在該等樹脂層上所配置且連接至該等內部連接端之佈線圖案；一上面階梯式地堆疊有該複數個半導體裝置之佈線基板，該佈線基板電性連接至該複數個半導體裝置；以及一用以密封該複數個半導體裝置之密封樹脂。



10：電子裝置

11：佈線基板

12-1：半導體裝置

12-2：半導體裝置

12-3：半導體裝置

13：密封樹脂

14：外部連接端

16：金屬線

17：金屬線

18：金屬線

21：核心基板

21A：上表面

21B：下表面

22：貫穿介層

23：焊墊

24：防焊層

25：防擴散膜

27：外部連接墊

28：防焊層

29：通孔

## 六、發明說明：

### 【發明所屬之技術領域】

本揭露係有關於一種電子裝置及其製造方法，以及係有關於一種包括複數個在一佈線基板上所堆疊之半導體晶片及一用以密封該複數個半導體晶片之密封樹脂的電子裝置及其製造方法。

### 【先前技術】

圖 1 係一相關技藝電子裝置之剖面圖。

參考圖 1，一相關技藝電子裝置 200 具有一佈線基板 201、半導體晶片 202~204、一密封樹脂 205 及外部連接端 206。

該佈線基板 201 具有一核心基板 211、貫穿介層 212、焊墊 213、216 以及防焊層 214、217。

該核心基板 211 係一成為板狀之基板且具有通孔 219。該等貫穿介層 212 係配置在該等通孔 219 中。該貫穿介層 212 之上端係連接至該焊墊 213 及該貫穿介層 212 之下端係連接至該焊墊 216。該焊墊 213 係配置在該核心基板 211 之上表面 211A 上。該焊墊 213 係連接至該貫穿介層 212 之上端。該焊墊 213 係連接至一電性連接至該半導體晶片 202 之金屬線 222。

該防焊層 214 係配置在該核心基板 211 之上表面 211A 上，以便暴露該焊墊 213。該焊墊 216 係配置在該核心基板 211 之下表面 211B 上。該焊墊 216 係連接至該貫穿介層 212 之下端。該外部連接端 206 係配置在該焊墊 216 上。該防焊層 217 係配

置在該核心基板 211 之下表面 211B 上，以便暴露該焊墊 216。

該半導體晶片 202 具有一半導體基板 226、一半導體積體電路 227、電極墊 228 及一保護膜 229。該半導體積體電路 227 係配置在該半導體基板 226 之上表面側。該電極墊 228 係配置在該半導體積體電路 227 上且電性連接至該半導體積體電路 227。連接至該佈線基板 201 之焊墊 213 的該金屬線 222 係連接至該電極墊 228。結果，該半導體晶片 202 電性連接至該佈線基板 201。該保護膜 229 係配置在該半導體積體電路 227 上，以便暴露該等電極墊 228。上面所構成之半導體晶片 202 係一通過短路-開路測試之晶片。然而，該半導體晶片 202 係一未實施功能檢查(具體上，在該半導體晶片 202 中所配置之半導體積體電路 227 的動作檢查(例如，讀取錯誤之存在或不存在的檢查))之晶片。亦即，該半導體晶片 202 不是一 KGD(已知良好晶粒)。該半導體晶片 202 係由一在該半導體基板 226 之下表面上所黏貼之黏著層 232 黏著在該佈線基板 201 之防焊層 214 上。

該半導體晶片 203 具有一半導體基板 234、一半導體積體電路 235、電極墊 236 及一保護膜 237。該半導體積體電路 235 係配置在該半導體基板 234 之上表面側。該電極墊 236 係配置在該半導體積體電路 235 上且電性連接至該半導體積體電路 235。一連接至該半導體晶片 202 之該電極墊 228 的金屬線 223 及一連接至該半導體晶片 204 之一電極墊 244 的金屬線 224 係

連接至該電極墊 236。結果，該半導體晶片 203 電性連接至該等半導體晶片 202、204。該保護膜 237 係配置在該半導體積體電路 235 上，以便暴露該等電極墊 236。上面所構成之半導體晶片 203 係一通過短路-開路測試之晶片。然而，該半導體晶片 203 係一未實施功能檢查(具體上，在該半導體晶片 203 中所配置之半導體積體電路 235 的動作檢查(例如，讀取錯誤之存在或不存在的檢查))之晶片。亦即，該半導體晶片 203 不是一 KGD(已知良好晶粒)。該半導體晶片 203 係由一在該半導體基板 234 之下表面上所黏貼之黏著層 232 來黏著在該半導體晶片 202 之保護膜 229 上。

該半導體晶片 204 具有一半導體基板 242、一半導體積體電路 243、電極墊 244 及一保護膜 245。該半導體積體電路 243 係配置在該半導體基板 242 之上表面側。該電極墊 244 係配置在該半導體積體電路 243 上且電性連接至該半導體積體電路 243。連接至該半導體晶片 203 之該電極墊 236 的該金屬線 224 係連接至該電極墊 244。結果，該半導體晶片 204 電性連接至該半導體晶片 203。該保護膜 245 係配置在該半導體積體電路 243 上，以便暴露該等電極墊 244。上面所構成之半導體晶片 204 係一通過短路-開路測試之晶片。然而，該半導體晶片 204 係一未實施功能檢查(具體上，在該半導體晶片 204 中所配置之半導體積體電路 243 的動作檢查(例如，讀取錯誤之存在或不存在的檢查))之晶片。亦即，該半導體晶片 204 不是一

KGD(已知良好晶粒)。該半導體晶片 204 係以一在該半導體基板 242 之下表面上所黏貼之黏著層 232 來黏著在該半導體晶片 203 之保護膜 237 上。可使用例如 NAND 型快閃記憶體做為該等半導體晶片 202~204。

該密封樹脂 205 係配置在該佈線基板 201 上，以便密封該等堆疊半導體晶片 202~204 及該等金屬線 222~224。可使用例如一具有熱固特性之成型樹脂做為該密封樹脂 205。

該外部連接端 206 係配置在該佈線基板 201 之該焊墊 216 上。該外部連接端 206 係一電性連接至一像母板之安裝基板(未顯示)的端子。可使用例如一焊料凸塊做為該外部連接端 206。

圖 2 至 7 係顯示該相關技藝電子裝置之製造步驟的示圖。在圖 2 至 7 中，相同元件符號係分配至相同於該相關技藝電子裝置 200 之組件的組件。

首先，在圖 2 所示之步驟中，由一熟知技術製造一佈線基板 201。接下來，在圖 3 所示之步驟中，準備複數個半導體晶片 202~204。該複數個半導體晶片 202~204 為不是 KGD(已知良好晶粒)之半導體晶片。

然後，在圖 4 所示之步驟中，在該等半導體晶片 202~204 中所配置之半導體基板 226、234、242 的下表面上黏貼黏著層 232。接著，在圖 5 所示之步驟中，在該佈線基板 201 上依序堆疊上面形成有該等黏著層 232 之該等半導體晶片 202~204

及之後，使用金屬線 222~224 實施該佈線基板 201 與該等半導體晶片 202~204 間之打線接合連接。

接著，在圖 6 所示之步驟中，以一密封樹脂 205(例如，一成型樹脂)密封該等半導體晶片 202~204 及該等金屬線 222~224。具體上，例如，在一部分硬化狀態中形成該密封樹脂 205，同時使用一金屬模具施加一高壓(例如，5MPa 至 10MPa)及之後，在該部分硬化狀態中加熱該密封樹脂 205(例如，180°C)及硬化該密封樹脂 205。

然後，在圖 7 所示之步驟中，在該佈線基板 201 之焊墊 216 上形成外部連接端 206(例如，焊料凸塊)。結果，製造該電子裝置 200(例如，見專利參考資料 1)。

[專利參考資料 1]日本專利未審查申請案公開第 2007-5800 號。

然而，在該相關技藝電子裝置 200 中，在該佈線基板 201 上堆疊不是 KGD(已知良好晶粒)之該等半導體晶片 202~204，使得會有降低該電子裝置 200 之產量的問題。

並且，藉由在該佈線基板 201 上堆疊該等半導體晶片 202~204 及之後在一部分硬化狀態中形成該密封樹脂 205，同時使用一金屬模具施加一高壓(例如，5MPa 至 10MPa)及之後在該部分硬化狀態中加熱(例如，180°C)該密封樹脂 205，以硬化該密封樹脂 205 及實施封裝處理。結果，由於在該密封樹脂 205 之形成的步驟中之高壓或高溫等的影響，使該等半導體晶

片 202~204 破裂及降低該電子裝置 200 之產量。

【發明內容】

本發明之示範性具體例提供一種電子裝置，其能藉由在一密封樹脂形成步驟前事先實施複數個半導體晶片之每一半導體晶片的 WLP 封裝處理及形成一 KGD 後，在一佈線基板上堆疊該等半導體晶片以改善該電子裝置之產量，以及提供一種電子裝置之製造方法。

依據本發明之一態樣，提供一種電子裝置，包括：

複數個半導體裝置，每一半導體裝置具有一有一電極墊之半導體晶片、一在該電極墊上所配置之內部連接端、一在該半導體晶片之形成有該電極墊的表面上所配置且暴露該內部連接端之樹脂層、及一在該樹脂層上所配置且連接至該內部連接端之佈線圖案；

一佈線基板，在該佈線基板上堆疊該複數個半導體裝置，該佈線基板經由該等佈線圖案電性連接至該複數個半導體裝置；以及

一密封樹脂，以該密封樹脂密封在該佈線基板上所堆疊之該複數個半導體裝置，

其中在該佈線基板上堆疊該複數個半導體裝置前，該複數個半導體裝置係在電性及功能檢查方面被判定為良好品目之半導體裝置。

依據本發明，在一佈線基板上堆疊複數個半導體裝置

(KGD(已知良好晶粒))，其中該複數個半導體裝置在被堆疊在該佈線基板上前被判定在電性及功能檢查方面為良好品目，同時具有在半導體晶片之形成有電極墊的表面上所配置且暴露內部連接端之樹脂層及在該等樹脂層上所配置且連接至該等內部連接端之佈線圖案，藉此可改善一電子裝置之產量。

並且，在形成一密封樹脂前，將在形成該佈線圖案及該樹脂層時之高壓或高溫等施加至在被判定為良好品目之該複數個半導體裝置中所配置的該等半導體晶片。結果，在該複數個半導體裝置中所配置之該等半導體晶片變成可防止因在形成該密封樹脂時之壓力或溫度等的影響(一封裝處理製程所造成之影響)所造成之破裂，以致於可改善該電子裝置之產量。

依據本發明之另一態樣，提供一種電子裝置之製造方法，該電子裝置包括複數個半導體裝置、一上面堆疊有該複數個半導體裝置之佈線基板、及一用以密封在該佈線基板上所堆疊之該複數個半導體裝置的密封樹脂，該方法包括：

一半導體裝置形成步驟，形成該複數個半導體裝置；

一良好品目半導體裝置獲得步驟，實施該複數個半導體裝置之電性及功能檢查及獲得被判定為良好品目之複數個半導體裝置；

一半導體裝置堆疊步驟，堆疊該被判定為良好品目之複數個半導體裝置於該佈線基板上；

一電性連接步驟，在該半導體裝置堆疊步驟後，實施在該佈

線基板與該被判定為良好品目之複數個半導體裝置間之電性連接；以及

一密封樹脂形成步驟，在該電性連接步驟後，以該密封樹脂密封該被判定為良好品目之複數個半導體裝置。

依據本發明，實施複數個半導體裝置之電性及功能檢查，其中該複數個半導體裝置具有在半導體晶片之形成有電極墊的表面上所配置且暴露內部連接端之樹脂層及在該等樹脂層上所配置且連接至該等內部連接端之佈線圖案，以及獲得該被判定為良好品目之複數個半導體裝置及在該佈線基板上堆疊該被判定為良好品目之複數個半導體裝置(KGD(已知良好晶粒))及然後實施在該佈線基板與該堆疊複數個半導體裝置間之電性連接及之後以一密封樹脂密封該複數個半導體裝置，以及藉此可改善一電子裝置之產量。

並且，在形成該密封樹脂前，將在形成該佈線圖案及該樹脂層時之高壓或高溫等施加至在該被判定為良好品目之複數個半導體裝置中所配置的該等半導體晶片。結果，在該複數個半導體裝置中所配置之該等半導體晶片變成可防止因在形成該密封樹脂時之壓力或溫度等的影響(一封裝處理製程所造成之影響)所造成之破裂，以致於可改善該電子裝置之產量。

依據本發明，可藉由在一封裝處理製程(包括一密封樹脂形成步驟)中防止一半導體晶片之破裂來改善一電子裝置之產量。

從下面詳細敘述、所附圖式及申請專利範圍可以明顯易知其  
它特徵及優點。

### 【實施方式】

接下來，將根據圖式描述本發明之一具體例。

(具體例)

圖 8 係依據本發明之一具體例之一電子裝置之剖面圖。

參考圖 8，本具體例之一電子裝置 10 具有一佈線基板 11、  
半導體裝置 12-1 至 12-3(複數個半導體裝置)、一密封樹脂 13  
及外部連接端 14。

該佈線基板 11 具有一核心基板 21、一貫穿介層 22、一焊墊  
23、防焊層 24、28、一防擴散膜 25 及外部連接墊 27。該核心  
基板 21 係一形成為板狀之基板且具有一通孔 29。可使用例如  
一玻璃環氧樹脂或一 FR-4 做為該核心基板 21 之材料。該貫穿  
介層 22 係配置在該通孔 29 中。該貫穿介層 22 之上端係連接  
至該焊墊 23 及該貫穿介層 22 之下端係連接至該外部連接墊  
27。該貫穿介層 22 係一用以實施在該焊墊 23 與該外部連接墊  
27 間之電性連接的介層。

該焊墊 23 係配置在該貫穿介層 22 之上表面及該核心基板  
21 之上表面 21A 上。該焊墊 23 係連接至該貫穿介層 22 且亦  
經由一金屬線 16 及該防擴散膜 25 電性連接至該半導體裝置  
12-1。

該防焊層 24 係配置成覆蓋該核心基板 21 之上表面 21A。該

防焊層 24 具有一用以暴露該焊墊 23 之上表面的開口部。

該防擴散膜 25 係配置成覆蓋該焊墊 23 之上表面。該防擴散膜 25 係連接至電性連接至該半導體裝置 12-1 之該金屬線 16。可使用例如一鎳/金膜做為該防擴散膜 25，其中在該焊墊 23 上依序提供一鎳層及一金層。

該外部連接墊 27 係配置在該貫穿介層 22 之下表面及該核心基板 21 之下表面 21B 上。結果，該外部連接墊 27 係連接至該貫穿介層 22。

該防焊層 28 係配置成覆蓋該核心基板 21 之下表面 21B。該防焊層 28 具有一用以暴露該外部連接墊 27 之下表面的開口部。

該半導體裝置 12-1 具有一半導體晶片 31、一內部連接端 32、一樹脂層 33、一佈線圖案 35、虛設圖案 36、一防焊層 37 及一防擴散膜 38。

該半導體晶片 31 具有一半導體基板 41、一半導體積體電路 42、一電極墊 43 及一保護膜 44。該半導體基板 41 係一形成為板狀之基板。可使用例如一矽基板做為該半導體基板 41。在使用該矽基板做為該半導體基板 41 之情況中，該半導體基板 41 之厚度可設定為例如  $50\ \mu\text{m}$  至  $100\ \mu\text{m}$ 。

該半導體積體電路 42 係配置在該半導體基板 41 之上表面 41A 側上。該半導體積體電路 42 係一由擴散層、絕緣膜、介層及佈線(未顯示)所構成之電路。

該電極墊 43 係配置在該半導體積體電路 42 上。該電極墊 43 係電性連接至在該半導體積體電路 42 中所配置之擴散層、介層及佈線(全部未顯示)。

該保護膜 44 係配置在該半導體積體電路 42 上，以便暴露該電極墊 43。該保護膜 44 係一用以保護半導體積體電路 42 之膜。可使用例如氮化矽(SiN)膜或磷矽玻璃(PSG)膜做為該保護膜 44。並且，可以在一像該氮化矽(SiN)膜或該磷矽玻璃(PSG)膜之膜上形成一聚醯亞胺膜。

該內部連接端 32 係配置在該電極墊 43 上。該內部連接端 32 係經由該電極墊 43 電性連接至該半導體積體電路 42。該內部連接端 32 之上表面 32A 係實質上形成為平坦表面且係連接至該佈線圖案 35。該內部連接端 32 之高度可設定為例如 10  $\mu\text{m}$  至 60  $\mu\text{m}$ 。可使用例如一金凸塊或一由一以無電鍍法所形成之鎳膜與一覆蓋該鎳膜之金膜所構成之金屬凸塊來做為該內部連接端 32。該金凸塊可藉由例如一接合法或一電鍍法來形成。

在形成該樹脂層 33 以便覆蓋該內部連接端 32 後，可藉由例如由一被施加有高壓之平板施壓該內部連接端 32 及該樹脂層 33 之上端，以實質上形成該內部連接端 32 之平坦上表面 32A。

該樹脂層 33 係配置在該保護膜 44 上，以便覆蓋該內部連接端 32 之上表面 32A。該樹脂層 33 之上表面 33A 係形成實質上與該內部連接端 32 之上表面 32A 齊平。可使用例如一具有熱

固特性之片狀樹脂(例如，NCF(非導電膜))、一糊狀樹脂(例如，NCP(非導電膠))或一各向異性導電樹脂(例如，ACF(各向異性導電膜))做為該樹脂層 33。該樹脂層 33 之厚度可設定為例如  $10\ \mu\text{m}$  至  $60\ \mu\text{m}$ 。在使用該具有熱固特性之片狀樹脂的情況中，可使用例如  $180^\circ\text{C}$  做為在硬化該樹脂層 33 之情況中的加熱溫度。

該佈線圖案 35 係配置在該內部連接端 32 之上表面 32A 及該樹脂層 33 之上表面 33A 上。結果，該佈線圖案 35 係電性連接至該內部連接端 32。該佈線圖案 35 具有一連接部 48 及一檢查墊 49。該連接部 48 係經由該防擴散膜 38 電性連接至金屬線 16、17。該檢查墊 49 係位於與該連接部 48 隔開之位置。該檢查墊 49 係一測試墊，在使用一探測裝置(未顯示)檢查該半導體裝置 12-1 之情況中，一在該探測裝置中所配置之探針鄰接該測試墊，其中該探測裝置係一用以實施電性及功能檢查之檢查裝置。此外，該功能檢查係關於像在該半導體晶片 31 中所配置之半導體積體電路 42 的動作檢查(例如，讀取錯誤之存在或不存在的檢查)之檢查。

因此，藉由在電性連接至該內部連接端 32 之該佈線圖案 35 中配置該檢查墊 49(在實施該半導體裝置 12-1 之電性檢查的情況中，該探測裝置之探針鄰接該檢查墊 49)，該探針不會損壞該連接部 48，以致於可改善該佈線圖案 35 與金屬線 16~18 間之電性連接的可靠性。

可使用例如一銅膜做為上述所構成之佈線圖案 35 的材料。在使用銅做為該佈線圖案 35 之材料的情況中，該佈線圖案 35 之厚度可設定為例如  $5\mu\text{m}$  至  $15\mu\text{m}$ 。

該虛設圖案 36 係配置在該樹脂層 33 之沒有配置有該佈線圖案 35 之部分的上表面 33A 上。該虛設圖案 36 係構成具有相同於該佈線圖案 35 之材料且實質上成為相同於該佈線圖案 35 之厚度。

因此，藉由在該樹脂層 33 之沒有配置有該佈線圖案 35 的部分上配置由相同於該佈線圖案 35 之材料所構成之虛設圖案 36 且實質上設定成具有相同於該佈線圖案 35 之厚度的虛設圖案 36 的厚度，可減少在該半導體裝置 12-1 中發生彎曲。結果，有助於將該半導體裝置 12-1 堆疊至該佈線基板 11。

該防焊層 37 係配置在該樹脂層 33 之上表面 33A，以便覆蓋該虛設圖案 36 及該佈線圖案 35 之不包括該連接部 48 及該檢查墊 49 的部分。該防焊層 37 具有一用以暴露該連接部 48 之上表面的開口部及一用以暴露該檢查墊 49 之上表面的開口部。

該防擴散膜 38 係配置在該連接部 48 及該檢查墊 49 上。電性連接至該佈線基板 11 之焊墊 23 的該金屬線 16 及電性連接至該半導體裝置 12-2 之該金屬線 17 係連接至該防擴散膜 38。結果，在該半導體裝置 12-1 中實施對該半導體裝置 12-2 與該佈線基板 11 之打線接合連接。可使用例如一鎳/金膜做為該防

擴散膜 38，其中在該連接部 48 及該檢查墊 49 上依序提供一鎳層及與一金層。在使用該鎳/金膜做為該防擴散膜 38 之情況中，該鎳層之厚度可設定為例如  $2\mu\text{m}$  至  $5\mu\text{m}$ 。在此情況中，該金層之厚度可設定為例如  $1\mu\text{m}$ 。

上述所構成之半導體裝置 12-1 係由一在該半導體基板 41 之下表面 41B 上所黏貼之黏著片 51 (具體上，例如，一晶粒附著膜) 來黏著在該佈線基板 11 之防焊層 24 上。該半導體裝置 12-1 係一在黏著至該佈線基板 11 前被判定在電性及功能檢查方面為良好品目之半導體裝置 (KGD (已知良好晶粒))。

該半導體裝置 12-2 具有相似於該半導體裝置 12-1 之配置。該半導體裝置 12-2 係由一在該半導體基板 41 之下表面上所黏貼之黏著片 51 來黏著在該半導體裝置 12-1 之防焊層 37 上。該半導體裝置 12-2 係階梯式地放置在該半導體裝置 12-1 上，以便暴露在該半導體裝置 12-1 之連接部 48 上所配置之防擴散膜 38。一在該半導體裝置 12-2 之一連接部 48 上所配置之防擴散膜 38 係經由該等金屬線 17、18 電性連接至該等半導體裝置 12-1、12-3。亦即，實施該半導體裝置 12-2 與該等半導體裝置 12-1、12-3 間之打線接合連接。

上述所構成之半導體裝置 12-2 係一在黏著至該半導體裝置 12-1 前被判定在電性及功能檢查方面為良好品目之半導體裝置 (KGD (已知良好晶粒))。

該半導體裝置 12-3 具有相似於該半導體裝置 12-1 之配置的

配置。該半導體裝置 12-3 係由一在一半導體基板 41 之下表面上所黏貼之黏著片 51 來黏著在該半導體裝置 12-2 之一防焊層 37 上。該半導體裝置 12-3 係階梯式地放置在該半導體裝置 12-2 上，以便暴露在該半導體裝置 12-2 之連接部 48 上所配置之防擴散膜 38。一在該半導體裝置 12-3 之一連接部 48 上所配置之防擴散膜 38 係經由該金屬線 18 電性連接至該半導體裝置 12-2。亦即，實施該半導體裝置 12-3 與該半導體裝置 12-2 間之打線接合連接。

上述所構成之半導體裝置 12-3 係一在黏著至該半導體裝置 12-2 前被判定在電性及功能檢查方面為良好品目之半導體裝置(KGD(已知良好晶粒))。該等半導體裝置 12-1 至 12-3 係以階梯方式來堆疊。

因此，藉由在該佈線基板 11 上階梯式地堆疊該等事先判定為良好品目之半導體裝置 12-1 至 12-3，同時具有在該等半導體晶片 31 之形成有該等電極墊 43 的表面上所配置且暴露在該等電極墊 43 上所放置之內部連接端 32 的樹脂層 33 及在該等樹脂層 33 上所配置且連接至該等內部連接端 32 之佈線圖案 35，可改善該電子裝置 10 之產量。

並且，因為在形成該密封樹脂 13 前，將在形成該佈線圖案 35 及該樹脂層 33 時之高壓或高溫等的封裝處理所造成的負荷施加至在該事先判定為良好品目之複數個半導體裝置 12-1 至 12-3 中所配置的半導體晶片 31，所以在該判定為良好品目之

複數個半導體裝置 12-1 至 12-3 中所配置之半導體晶片 31 變成可防止破裂，以致於可改善該電子裝置 10 之產量。

該密封樹脂 13 係配置在該佈線基板 11 上，以便密封該等金屬線 16~18 及該等堆疊半導體裝置 12-1 至 12-3。可使用例如一具有熱固特性之成型樹脂(例如，一環氧樹脂)做為該密封樹脂 13。

該外部連接端 14 係配置在該佈線基板 11 之外部連接墊 27 上。該外部連接端 14 係一電性連接至一像母板之安裝基板(未顯示)之端子。可使用例如一焊料凸塊做為該外部連接端 14。

依據該具體例之電子裝置，藉由在該佈線基板 11 上階梯式地堆疊該等事先判定為良好品目之半導體裝置 12-1 至 12-3，同時具有在該等半導體晶片 31 之形成有該等電極墊 43 的表面上所配置且暴露在該等電極墊 43 上所放置之內部連接端 32 的樹脂層 33 及在該等樹脂層 33 上所配置且連接至該等內部連接端 32 之佈線圖案 35，可改善該電子裝置 10 之產量。

並且，因為在形成該密封樹脂 13 前，將在形成該佈線圖案 35 及該樹脂層 33 時之高壓或高溫等的封裝處理所造成的負荷施加至在該事先判定為良好品目之複數個半導體裝置 12-1 至 12-3 中所配置的半導體晶片 31，所以在該事先判定為良好品目之複數個半導體裝置 12-1 至 12-3 中所配置的半導體晶片 31 變成可防止因在形成該密封樹脂 13 時之壓力或溫度的影響所造成之破裂，以致於可改善該電子裝置 10 之產量。

圖 9 至 24 係顯示依據本發明之該具體例的電子裝置之製造步驟的示圖。在圖 9 至 24 中，相同元件符號係分配至相同於該具體例之電子裝置 10 的組件。並且，在圖 9 至 17 中，B 表示一切塊機或一切片機切割一半導體基板 61 之位置(以下稱為"切割位置 B")。

首先，在圖 9 所示之步驟中，準備具有複數個半導體裝置形成區域 A 之半導體基板 61，以及由一已知技術在該半導體基板 61 之對應於該半導體裝置形成區域 A 的上表面 61A 側上形成一具有一半導體積體電路 42、一電極墊 43 及一保護膜 44 之半導體晶片 31。該半導體裝置形成區域 A 係一用以形成一半導體裝置 12 之區域。該半導體裝置 12 係一具有相似於上述半導體裝置 12-1 至 12-3(見圖 8)之配置的半導體裝置。該半導體基板 61 藉由在下述步驟中形成為薄板及在該切割位置 B 處切割而導致上述半導體基板 41(見圖 8)。

可使用例如一矽晶圓做為該半導體基板 61。該半導體基板 61 之厚度可設定為例如  $500\ \mu\text{m}$  至  $775\ \mu\text{m}$ 。可使用例如鋁做為該電極墊 43 之材料。並且，可使用例如氮化矽(SiN)膜或一磷矽玻璃(PSG)膜做為該保護膜 44。

接下來，在圖 10 所示之步驟中，在所有電極墊 43 上分別形成一內部連接端 32。可使用例如一金凸塊或一由一以無電鍍法所形成之鎳膜與一覆蓋該鎳膜之金膜所構成之金屬凸塊做為該內部連接端 32。該金凸塊可藉由例如一接合法來形成。

此外，在圖 10 所示之步驟中所形成之複數個內部連接端 32 中可能呈現各種不同高度。

然後，在圖 11 所示之步驟中，形成一樹脂層 33，以便覆蓋該等內部連接端 32 及該複數個半導體晶片 31 之配置有該等內部連接端 32 之側(該複數個半導體晶片 31 之上表面側)。可使用一具有熱固特性及黏著特性之片狀樹脂(例如，NCF(非導電膜))、一具有熱固特性之糊狀樹脂(例如，NCP(非導電膠))或一各向異性導電樹脂(例如，ACF(各向異性導電膜))做為該樹脂層 33。在使用該具有熱固特性及黏著特性之片狀樹脂的情況中，藉由在圖 10 所示之結構體的上表面側上黏貼該片狀樹脂，以形成該樹脂層 33。並且，在使用該糊狀樹脂做為該樹脂層 33 之情況中，由一印刷法等，在圖 10 所示之結構體的上表面側上形成一糊狀樹脂及之後預烤該糊狀樹脂及部分硬化該樹脂。此部分硬化樹脂具有黏著特性。該樹脂層 33 之厚度可設定為例如  $20\ \mu\text{m}$  至  $100\ \mu\text{m}$ 。

接著，在圖 12 所示之步驟中，在該樹脂層 33 之上表面 33A 上形成一金屬層 63。在下述圖 14 所示之步驟中，蝕刻該金屬層 63，以導致一佈線圖案 35 及一虛設圖案 36。具體上，藉由準備銅箔做為該金屬層 63 及黏貼此銅箔於該樹脂層 33 之上表面 33A 上，以在該樹脂層 33 之上表面 33A 上形成該金屬層 63。該金屬層 63 之厚度可設定為例如  $5\ \mu\text{m}$  至  $15\ \mu\text{m}$ 。

然後，在圖 13 所示之步驟中，在加熱圖 12 所示之結構體的

狀態(加熱溫度為例如 180°C)中，將一平板(未顯示)放置在該金屬層 63 上及從該金屬層 63 之上表面 63A 側經由該平板施壓該金屬層 63(壓力為例如 1.5MPa 至 3.0MPa)及使該金屬層 63 之下表面 63B 與該複數個內部連接端 32 之上表面 32A 接觸及在該等內部連接端 32 上阻擋該金屬層 63。並且，藉由加熱圖 12 所示之結構體以硬化該樹脂層 33。該樹脂層 33 之厚度在阻擋後可設定為例如 10  $\mu\text{m}$  至 60  $\mu\text{m}$ 。

接著，在圖 14 所示之步驟中，藉由蝕刻來圖案化該金屬層 63 及同時形成佈線圖案 35 及虛設圖案 36，以及之後，實施該等佈線圖案 35 及該等虛設圖案 36 之粗化處理。具體上，在該金屬層 63 上形成一圖案化光阻膜及然後使用此光阻膜做為一罩幕，蝕刻該金屬層 63 及形成該等佈線圖案 35 及該等虛設圖案 36。

因此，相較於個別形成該等佈線圖案 35 及該等虛設圖案 36 之情況，藉由同時形成該等佈線圖案 35 及該等虛設圖案 36，可簡化該等製造步驟。

可藉由黑化處理或粗化蝕刻處理之任何方法實施該等佈線圖案 35 及該等虛設圖案 36 之粗化處理。該粗化處理係用以改善該等佈線圖案 35 及該等虛設圖案 36 與一在該等佈線圖案 35 及該等虛設圖案 36 之側面及上表面上所形成之防焊層 37 間之黏著的處理。

然後，在圖 15 所示之步驟中，在該樹脂層 33 之上表面 33A

上配置該防焊層 37，以便覆蓋該等虛設圖案 36 及該等佈線圖案 35 之不包括連接部 48 及檢查墊 49 的部分及之後，在該等連接部 48 及該等檢查墊 49 上形成一防擴散膜 38。該防擴散膜 38 可藉由例如一電鍍法來形成。可使用例如一鎳/金膜做為該防擴散膜 38，其中在該等連接部 48 及該等檢查墊 49 上依序提供一鎳層及一金層。在使用該鎳/金膜做為該防擴散膜 38 之情況中，該鎳層之厚度可設定為例如  $2\mu\text{m}$  至  $5\mu\text{m}$ 。在此情況中，該金層之厚度可設定為例如  $1\mu\text{m}$ 。

接著，在圖 16 所示之步驟中，從該半導體基板 61 之下表面 61B 側拋光或研磨該半導體基板 61 及該半導體基板 61 係形成為薄板。在該半導體基板 61 之薄板形成中，例如，可使用一品背研磨機(back side grinder)。該半導體基板 61 之厚度在該薄板形成後可設定為例如  $50\mu\text{m}$  至  $100\mu\text{m}$ 。

然後，在圖 17 所示之步驟中，沿著該切割位置 B 切割該成為薄板之半導體基板 61。結果，製造複數個半導體裝置 12(圖 9 至 17 所示之步驟對應於一半導體裝置形成步驟)。該複數個半導體裝置 12 係具有相似於上述半導體裝置 12-1 至 12-3 之配置的半導體裝置且係在電性及功能檢查實施前之半導體裝置。此外，在個別化該等半導體裝置 12 前，可以實施該等半導體裝置 12 之電性及功能檢查。

接著，在圖 18 所示之步驟中，使用一探測裝置(未顯示)，使一探針與圖 17 所示之半導體裝置 12 的檢查墊 49 上所配置

之防擴散膜 38 接觸及實施該複數個半導體裝置 12 之電性及功能檢查及獲得該等判定為良好品目之半導體裝置 12-1 至 12-3(KGD(已知良好晶粒))(一良好品目半導體裝置獲得步驟)。

然後，在圖 19 所示之步驟中，將黏著帶 51 黏貼在圖 18 所示之步驟中判定為良好品目之半導體裝置 12-1 至 12-3 中所配置之半導體裝置 41 的下表面 41B 上。可使用例如一晶粒附著膜做為該黏著帶 51。可以在個別化前，將該黏著帶 51 黏貼在該半導體裝置 12 中所配置之半導體基板 41 的下表面 41B 上。在此情況中，一起切割該黏著帶 51 與該成為薄板之半導體基板 61。

接著，在圖 20 所示之步驟中，由一已知技術形成一佈線基板 11。然後，在圖 21 所示之步驟中，在圖 20 所示之佈線基板 11 上依序階梯式地堆疊該等判定為良好品目之半導體裝置 12-1 至 12-3(一半導體裝置堆疊步驟)。

此時，使在該半導體裝置 12-1 上所階梯式堆疊之半導體裝置 12-2 放置成暴露在該半導體裝置 12-1 之連接部 48 上所配置之防擴散膜 38，以及使在該半導體裝置 12-2 上所階梯式堆疊之半導體裝置 12-3 放置成暴露在該半導體裝置 12-2 之連接部 48 上所配置之防擴散膜 38。

然後，在圖 22 所示之步驟中，由金屬線 16~18 實施圖 21 所示之佈線基板 11 與該等判定為良好品目之半導體裝置 12-1 至

12-3 間之電性連接(打線接合連接)(一電性連接步驟)。

接著，在圖 23 所示之步驟中，形成一用以密封圖 22 所示之金屬線 16~18 及判定為良好品目之半導體裝置 12-1 至 12-3 的密封樹脂 13(一密封樹脂形成步驟)。可使用一具有熱固特性之成型樹脂(例如，一環氧樹脂)做為該密封樹脂 13。具體上，在使用該具有熱固特性之成型樹脂做為該密封樹脂 13 的情況中，在一金屬模具內部容納圖 22 所示之結構體及將被施加有壓力(例如，5MPa 至 10MPa)之該成型樹脂引入該金屬模具中及之後加熱(加熱溫度為例如 180°C)及硬化該成型樹脂，以及藉此形成該密封樹脂 13。因為在上述圖 13 所示之步驟中已施加高溫及高壓至該等判定為良好品目之半導體裝置 12-1 至 12-3，所以在一封裝處理製程(包括該隨後密封樹脂形成步驟)中不會使該等判定為良好品目之半導體裝置 12-1 至 12-3 中所配置之半導體晶片 31 破裂。

然後，在圖 24 所示之步驟中，在圖 23 所示之結構體的外部連接墊 27 上形成外部連接端 14。結果，製造該具體例之電子裝置 10。可使用例如一焊料凸塊做為該外部連接端 14。

依據該具體例之電子裝置的製造方法，實施該複數個半導體裝置 12 之電性及功能檢查，其中該複數個半導體裝置 12 具有在該等半導體晶片 31 之形成有該等電極墊 43 的表面上所配置且暴露該等內部連接端 32 之樹脂層 33 及在該等樹脂層 33 上所配置且連接至該等內部連接端 32 之佈線圖案 35，因而獲得

該判定為良好品目之複數個半導體裝置 12-1 至 12-3(KGD(已知良好晶粒))，以及在該佈線基板 11 上堆疊該等事先判定為良好品目之半導體裝置 12-1 至 12-3 及然後實施該佈線基板 11 與該等堆疊半導體裝置 12-1 至 12-3 間之電性連接及之後以該密封樹脂 13 密封該等半導體裝置 12-1 至 12-3，以及藉此可改善該電子裝置 10 之產量。

並且，因為在形成該密封樹脂 13 前，將在形成該佈線圖案 35 及該樹脂層 33 時之高壓或高溫等施加至在該事先判定為良好品目之複數個半導體裝置 12-1 至 12-3 中所配置之半導體晶片 31，所以在該事先判定為良好品目之複數個半導體裝置 12-1 至 12-3 中所配置之半導體晶片 31 變成可防止因在形成該密封樹脂 13 時之壓力或溫度的影響所造成之破裂，以致於可改善該電子裝置 10 之產量。

上面已詳述本發明之較佳具體例，然而，本發明並非侷限於這樣的特定具體例及可在申請專利範圍中所述之本發明的主旨內實施各種修改及變更。例如，在該具體例中，已由範例描述在該佈線基板 11 上堆疊包括相同種類之半導體晶片 31 之半導體裝置 12-1 至 12-3 之情況，然而，可以在該佈線基板 11 上堆疊包括不同種類之半導體晶片的複數個半導體裝置及可以該密封樹脂 13 密封該複數個半導體裝置。

又，在該具體例中，已由範例描述在該佈線基板 11 上堆疊三個半導體裝置(半導體裝置 12-1 至 12-3)之情況，然而，在

該佈線基板 11 上所堆疊之半導體裝置的數目可以是兩個或三個或更多。

並且，如圖 11 所示，在該電子裝置 10 中配置該等半導體裝置 12-1 至 12-3(其中暴露該等內部連接端 32 之上端及之後在該等樹脂層 33 上形成該等佈線圖案 35 及該等虛設圖案 36)之情況中，可獲得相似於該具體例之效果。亦即，在該電子裝置 10 中所配置之半導體裝置 12-1 至 12-3 的製造方法並非侷限於圖 9 至 17 所示之步驟。

本發明可應用至一種包括在一佈線基板上所堆疊之複數個半導體晶片(KGD(已知良好晶粒))及一用以密封該複數個半導體晶片(KGD(已知良好晶粒))之密封樹脂的電子裝置及該電子裝置之製造方法。

#### 【圖式簡單說明】

圖 1 係一相關技藝電子裝置之剖面圖。

圖 2 係顯示該相關技藝電子裝置之一製造步驟的示圖(第一)。

圖 3 係顯示該相關技藝電子裝置之一製造步驟的示圖(第二)。

圖 4 係顯示該相關技藝電子裝置之一製造步驟的示圖(第三)。

圖 5 係顯示該相關技藝電子裝置之一製造步驟的示圖(第四)。

圖 6 係顯示該相關技藝電子裝置之一製造步驟的示圖(第五)。

圖 7 係顯示該相關技藝電子裝置之一製造步驟的示圖(第六)。

圖 8 係依據本發明之一具體例的一電子裝置之剖面圖。

圖 9 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第一)。

圖 10 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第二)。

圖 11 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第三)。

圖 12 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第四)。

圖 13 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第五)。

圖 14 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第六)。

圖 15 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第七)。

圖 16 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第八)。

圖 17 係顯示依據本發明之該具體例的電子裝置之一製造步

驟的示圖(第九)。

圖 18 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十)。

圖 19 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十一)。

圖 20 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十二)。

圖 21 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十三)。

圖 22 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十四)。

圖 23 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十五)。

圖 24 係顯示依據本發明之該具體例的電子裝置之一製造步驟的示圖(第十六)。

**【主要元件符號說明】**

- 10          電子裝置
- 11          佈線基板
- 12          半導體裝置
- 12-1       半導體裝置
- 12-2       半導體裝置
- 12-3       半導體裝置

13	密封樹脂
14	外部連接端
16	金屬線
17	金屬線
18	金屬線
21	核心基板
21A	上表面
21B	下表面
22	貫穿介層
23	焊墊
24	防焊層
25	防擴散膜
27	外部連接墊
28	防焊層
29	通孔
31	半導體晶片
32	內部連接端
32A	上表面
33	樹脂層
33A	上表面
35	佈線圖案
36	虛設圖案

- 37 防焊層
- 38 防擴散膜
- 41 半導體基板
  - 41A 上表面
  - 41B 下表面
- 42 半導體積體電路
- 43 電極墊
- 44 保護膜
- 48 連接部
- 49 檢查墊
- 51 黏著片(帶)
- 61 半導體基板
  - 61A 上表面
  - 61B 下表面
- 63 金屬層
  - 63A 上表面
  - 63B 下表面
- 200 相關技藝電子裝置
- 201 佈線基板
- 202 半導體晶片
- 203 半導體晶片
- 204 半導體晶片

- 205 密封樹脂
- 206 外部連接端
- 211 核心基板
- 211A 上表面
- 211B 下表面
- 212 貫穿介層
- 213 焊墊
- 214 防焊層
- 216 焊墊
- 217 防焊層
- 219 通孔
- 222 金屬線
- 223 金屬線
- 224 金屬線
- 226 半導體基板
- 227 半導體積體電路
- 228 電極墊
- 229 保護膜
- 232 黏著層
- 234 半導體基板
- 235 半導體積體電路
- 236 電極墊

- 237 保護膜
- 242 半導體基板
- 243 半導體積體電路
- 244 電極墊
- 245 保護膜
- A 半導體裝置形成區域
- B 切割位置

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97137226

※申請日：97/09/26

※IPC 分類：

一、發明名稱：(中文/英文)

H-IL  $\frac{25}{10}$ ,  $\frac{25}{65}$ ,  $\frac{21}{50}$   
(2006.01)

電子裝置及其製造方法

ELECTRONIC APPARATUS AND MANUFACTURING METHOD  
THEREOF

二、中文發明摘要：

提供在電性及功能方面被判定為良好品目之複數個半導體裝置，同時具有在半導體晶片之電極墊上所配置之內部連接端；在該等半導體晶片之形成有該等電極墊之表面上所配置且暴露該等內部連接端之樹脂層；及在該等樹脂層上所配置且連接至該等內部連接端之佈線圖案；一上面階梯式地堆疊有該複數個半導體裝置之佈線基板，該佈線基板電性連接至該複數個半導體裝置；以及一用以密封該複數個半導體裝置之密封樹脂。

## 三、英文發明摘要：

There are provided a plurality of semiconductor apparatuses judged as good items in electrical and functional inspections while having internal connection terminals disposed on electrode pads of semiconductor chips, resin layers which are disposed on surfaces of the semiconductor chips in which the electrode pads are formed and expose the internal connection terminals, and wiring patterns which are disposed on the resin layers and are connected to the internal connection terminals, a wiring substrate on which the plurality of semiconductor apparatuses are stepwise stacked, the wiring substrate electrically connected to the plurality of semiconductor apparatuses, and a sealing resin with which the plurality of semiconductor apparatuses are sealed.

七、申請專利範圍：

1. 一種電子裝置，包括：

複數個半導體裝置，該複數個半導體裝置之每一半導體裝置具有一有一電極墊之半導體晶片、一在該電極墊上所配置之內部連接端、一在該半導體晶片之形成有該電極墊的表面上所配置且暴露該內部連接端之樹脂層、及一在該樹脂層上所配置且連接至該內部連接端之佈線圖案；

一佈線基板，在該佈線基板上堆疊該複數個半導體裝置，該佈線基板經由該等佈線圖案電性連接至該複數個半導體裝置；以及

一密封樹脂，以該密封樹脂密封在該佈線基板上所堆疊之該複數個半導體裝置，

其中在該佈線基板上堆疊該複數個半導體裝置前，該複數個半導體裝置係在電性及功能檢查方面被判定為良好品目之半導體裝置。

2. 如申請專利範圍第 1 項之電子裝置，其中，該佈線圖案具有一連接有一金屬線之連接部，以及該複數個半導體裝置與該佈線基板以打線接合彼此連接。

3. 如申請專利範圍第 2 項之電子裝置，其中，該複數個半導體裝置係堆疊成暴露其它半導體裝置之連接部。

4. 如申請專利範圍第 2 或 3 項之電子裝置，其中，在該連接部上配置一防擴散膜，以及該金屬線係連接至該防擴散膜。

5. 如申請專利範圍第 1 至 3 項中任一項之電子裝置，其中，該佈線圖案具有一用以實施該半導體裝置之電性及功能檢查之檢查墊。

6. 如申請專利範圍第 1 至 3 項中任一項之電子裝置，其中，該複數個半導體裝置之每一半導體裝置具有一由相同於該佈線圖案之材料所製成之虛設圖案，該虛設圖案係配置在該樹脂層之沒有配置該佈線圖案之部分上，該虛設圖案具有設定成實質上相同於該佈線圖案之厚度的厚度。

7. 如申請專利範圍第 1 至 3 項中任一項之電子裝置，其中，該複數個半導體裝置係階梯式地堆疊在該佈線基板上。

8. 一種電子裝置之製造方法，該電子裝置包括複數個半導體裝置、一上面堆疊有該複數個半導體裝置之佈線基板、及一用以密封在該佈線基板上所堆疊之該複數個半導體裝置的密封樹脂，該方法包括：

一半導體裝置形成步驟，形成該複數個半導體裝置；

一良好品目半導體裝置獲得步驟，實施該複數個半導體裝置之電性及功能檢查及獲得被判定為良好品目之複數個半導體裝置；

一半導體裝置堆疊步驟，堆疊該被判定為良好品目之複數個半導體裝置於該佈線基板上；

一電性連接步驟，在該半導體裝置堆疊步驟後，實施在該佈線基板與該被判定為良好品目之複數個半導體裝置間之電性

連接；以及

一密封樹脂形成步驟，在該電性連接步驟後，以該密封樹脂密封該被判定為良好品目之複數個半導體裝置。

9. 如申請專利範圍第 8 項之電子裝置之製造方法，其中，該半導體裝置形成步驟包括準備具有電極墊之半導體晶片；形成內部連接端於該等電極墊上；形成樹脂層於該等半導體晶片之形成有該等電極墊的表面上，以便暴露該等內部連接端；以及形成佈線圖案於該等樹脂層上且連接該等佈線圖案至該等內部連接端。

10. 如申請專利範圍第 8 或 9 項之電子裝置之製造方法，其中，在該半導體裝置堆疊步驟中，在該佈線基板上階梯式地堆疊該複數個半導體裝置。



圖 2

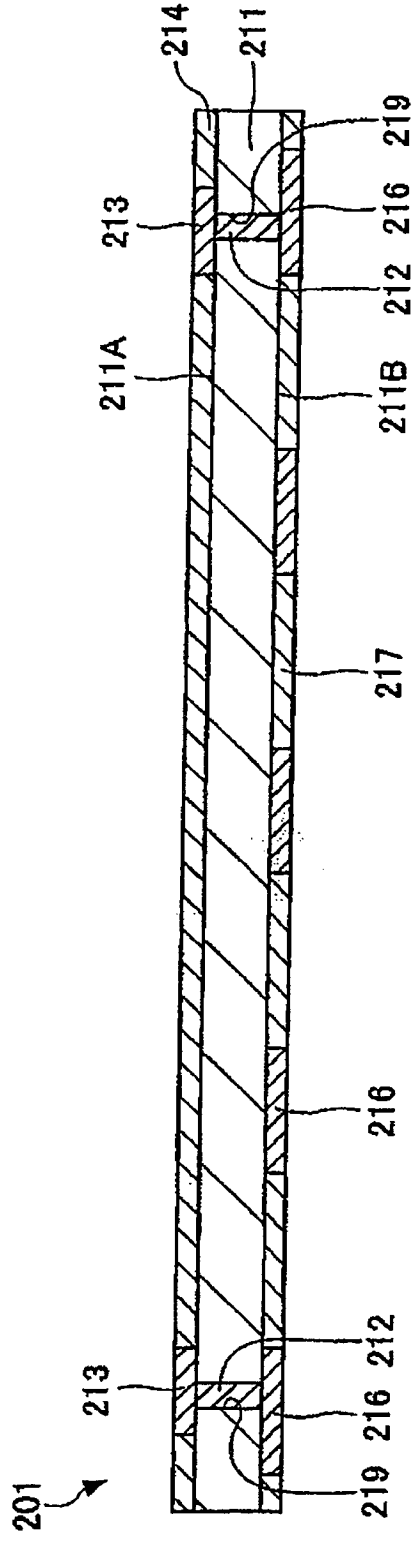


圖 3

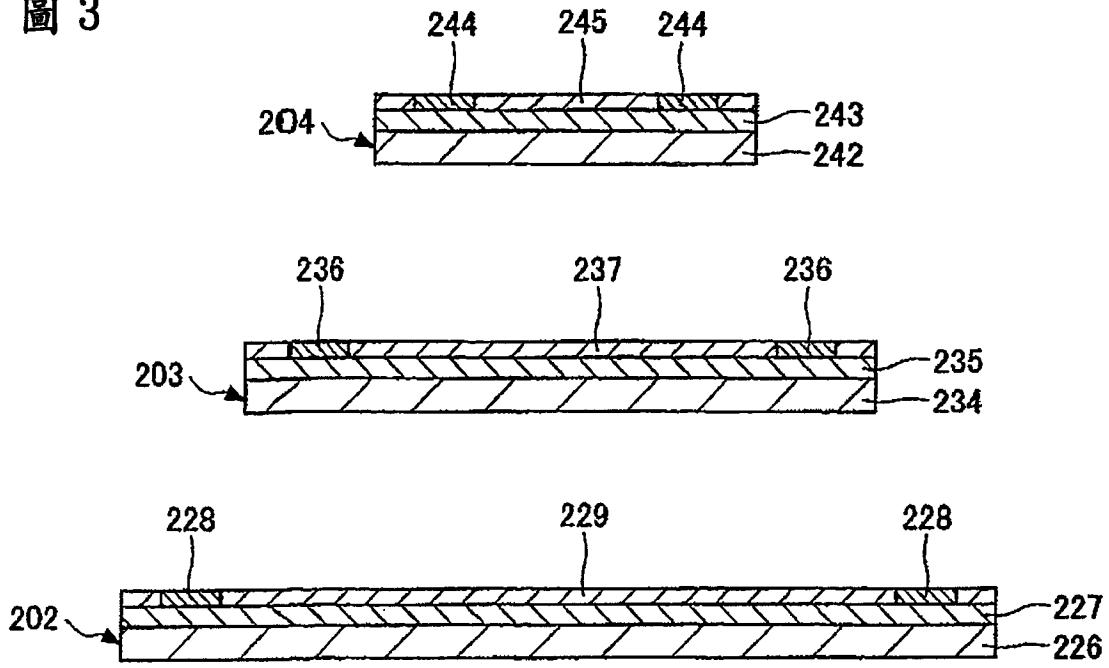


圖 4

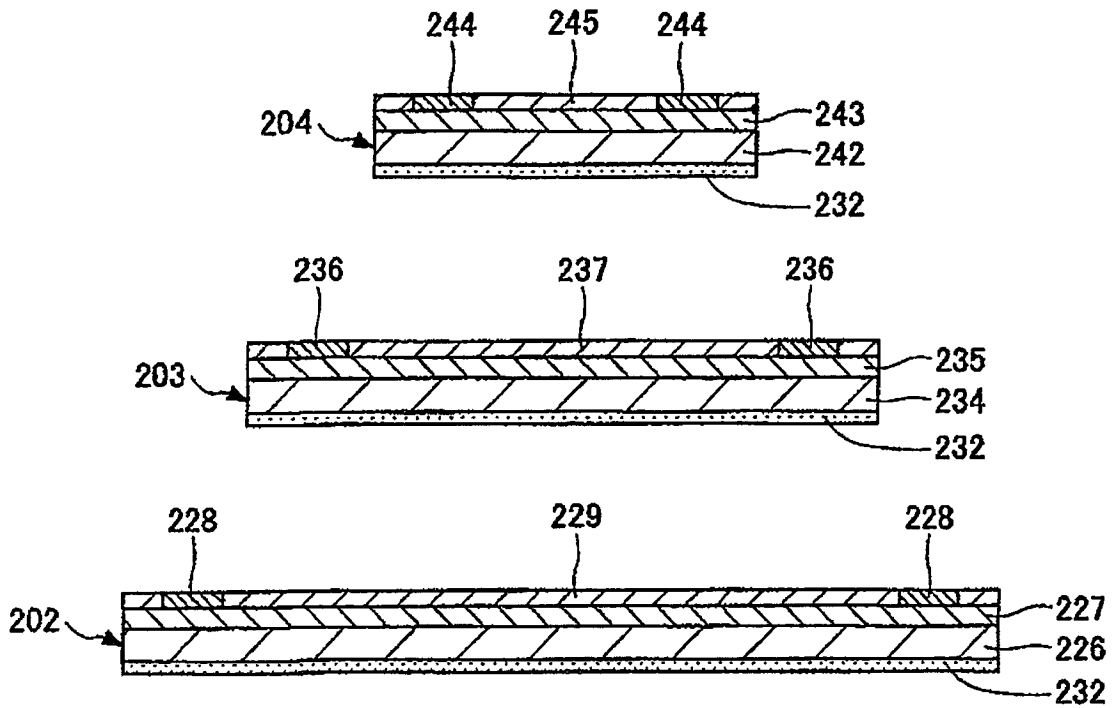


圖 5

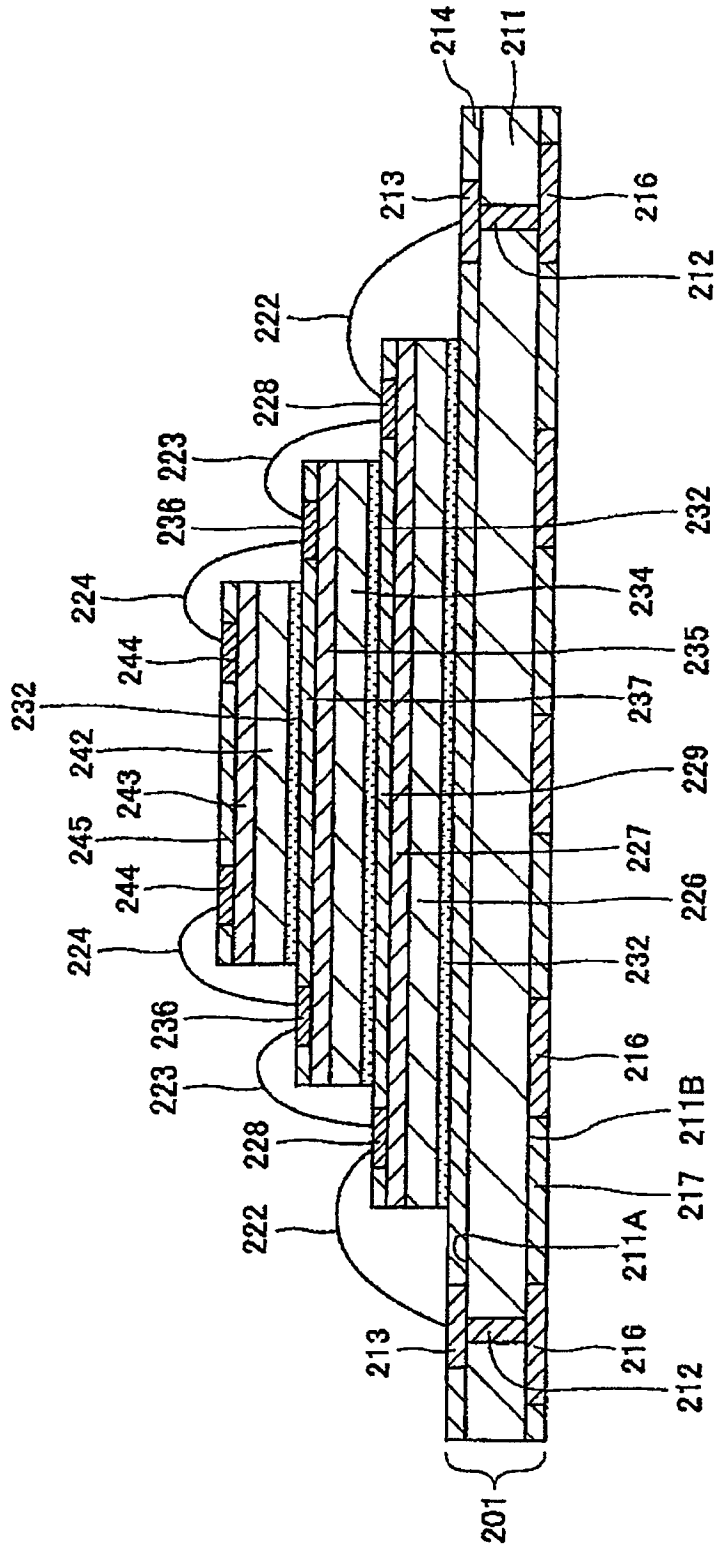


圖 6

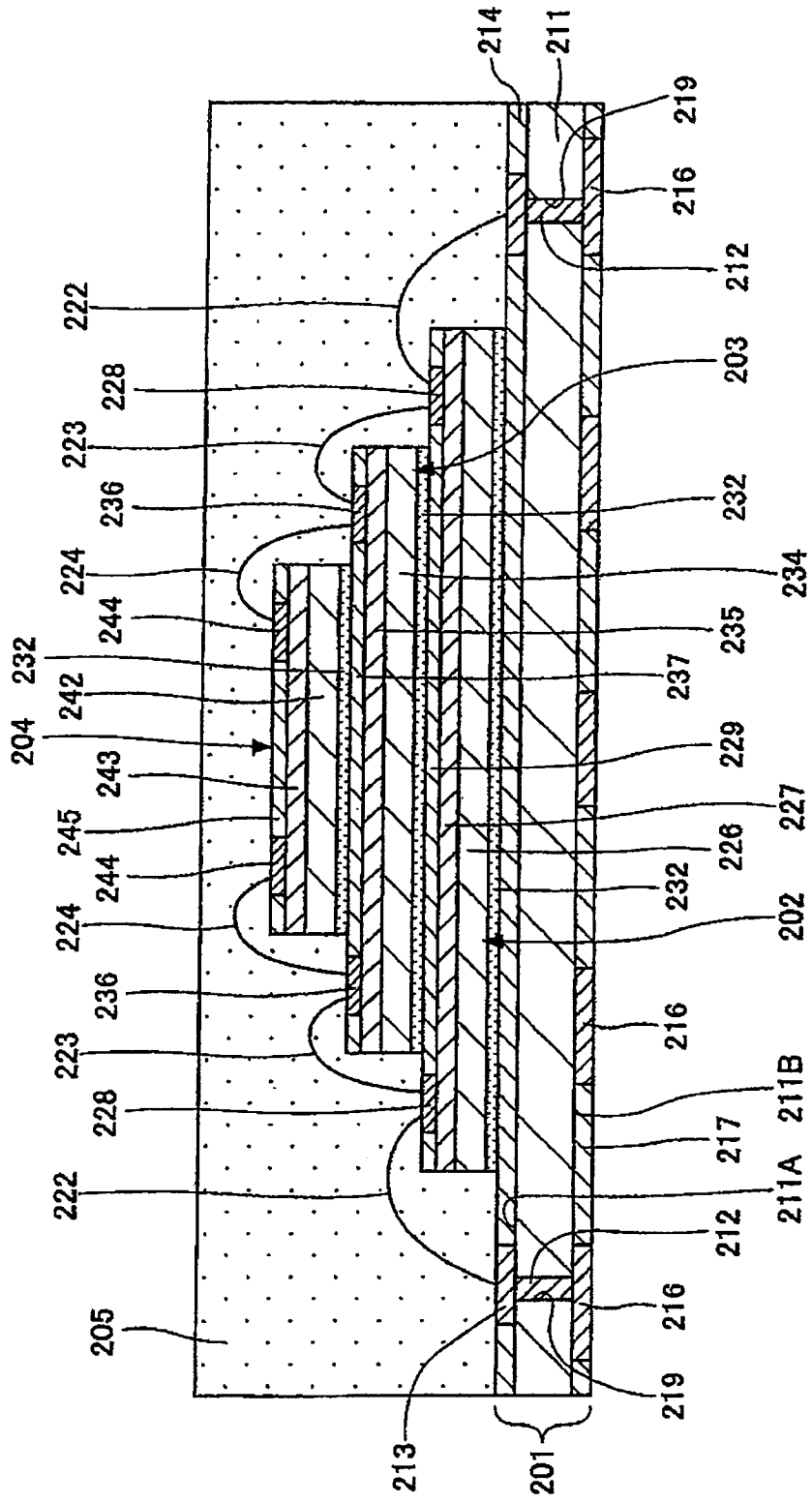




圖 8

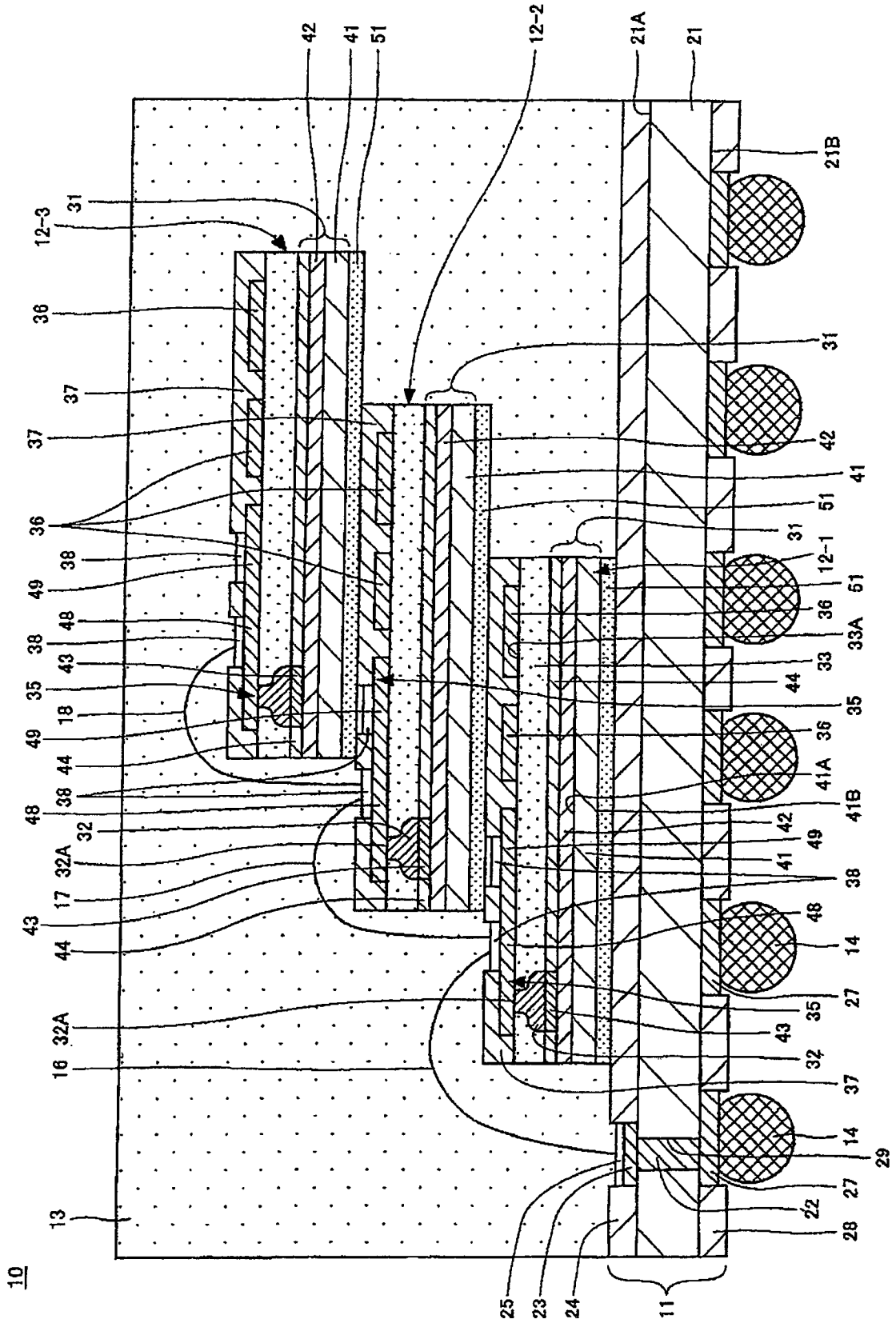




圖 10

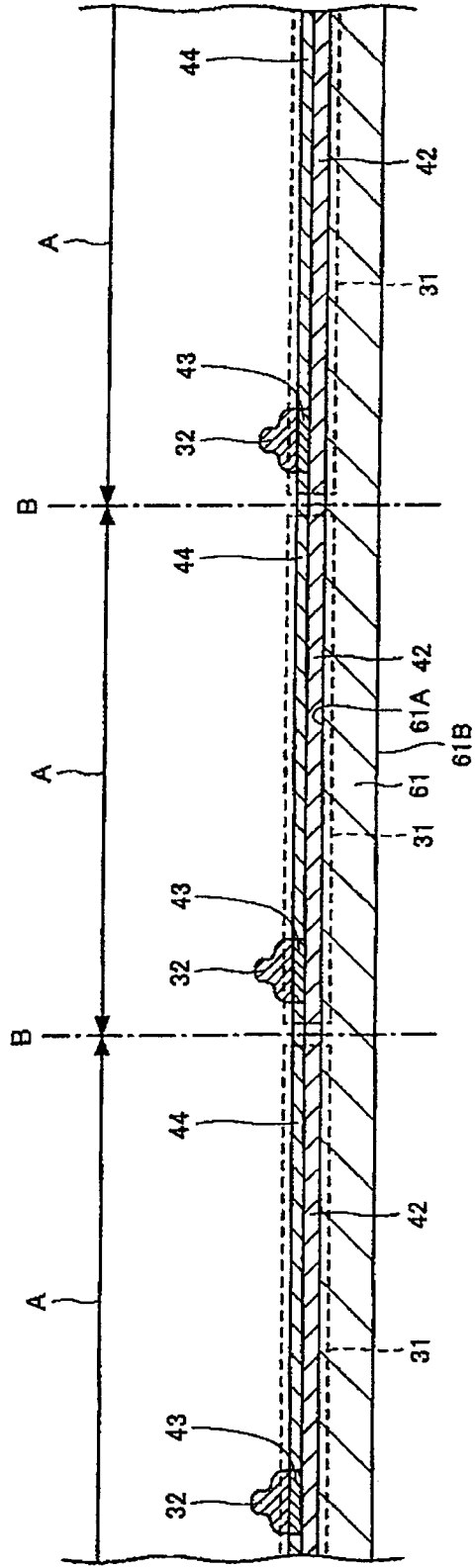


圖 11

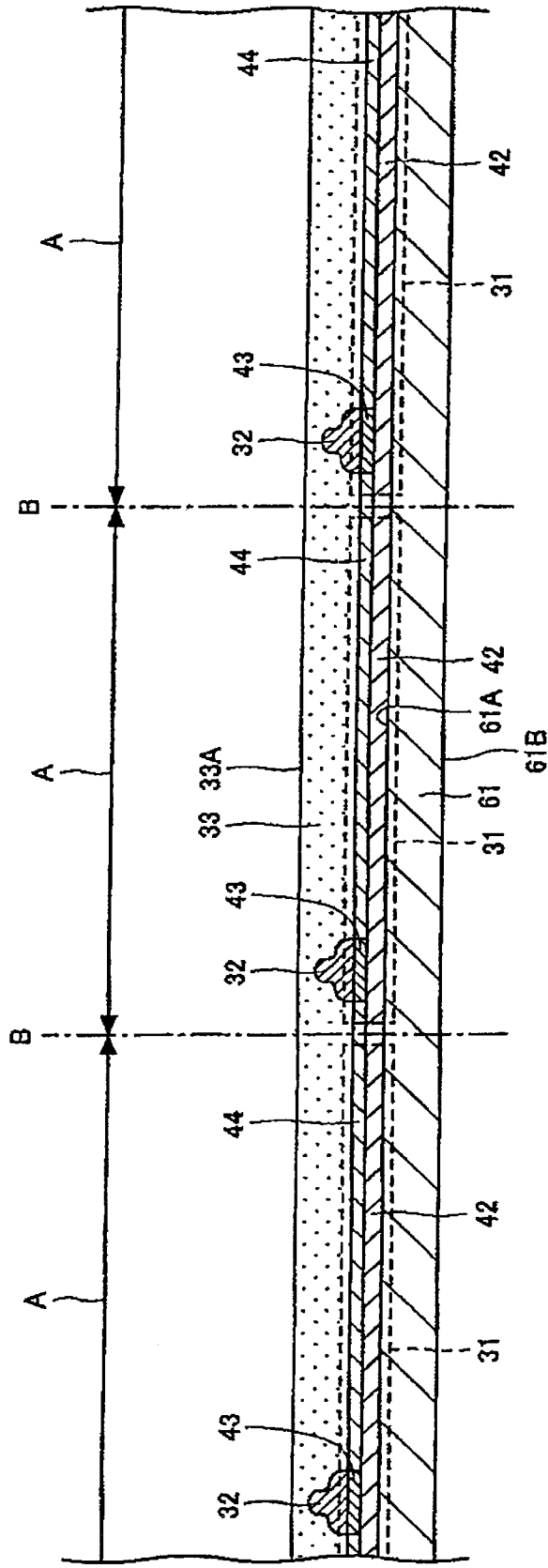


圖 12

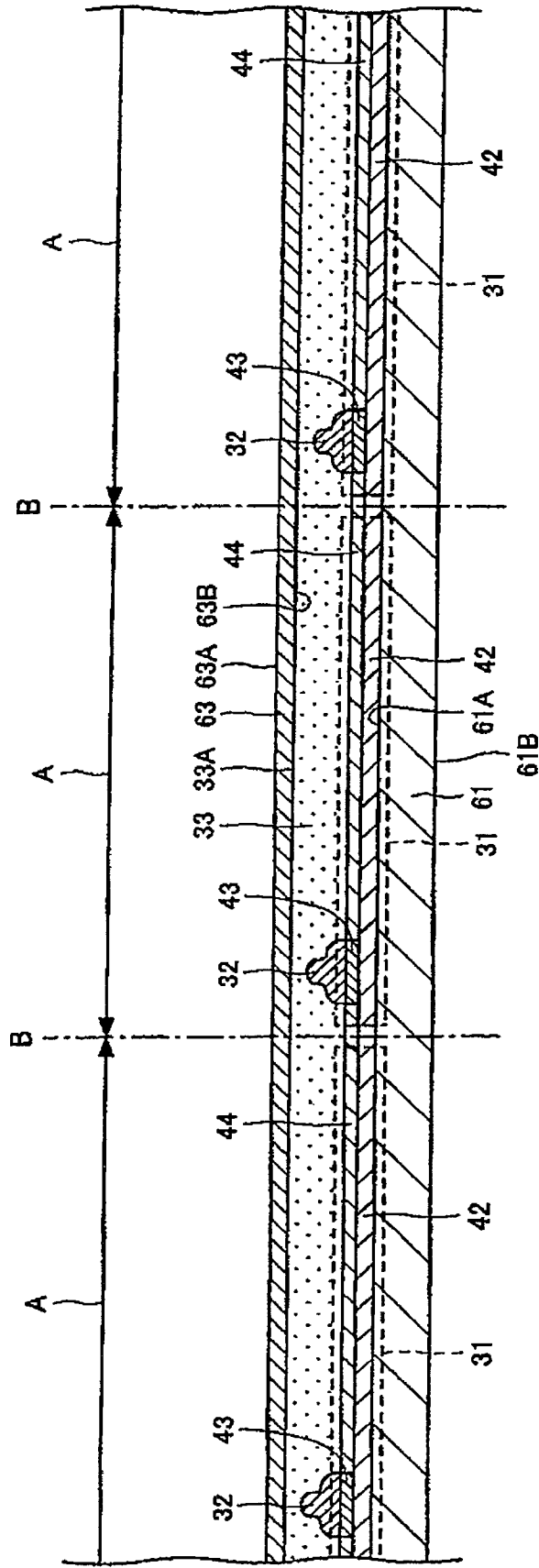




圖 14

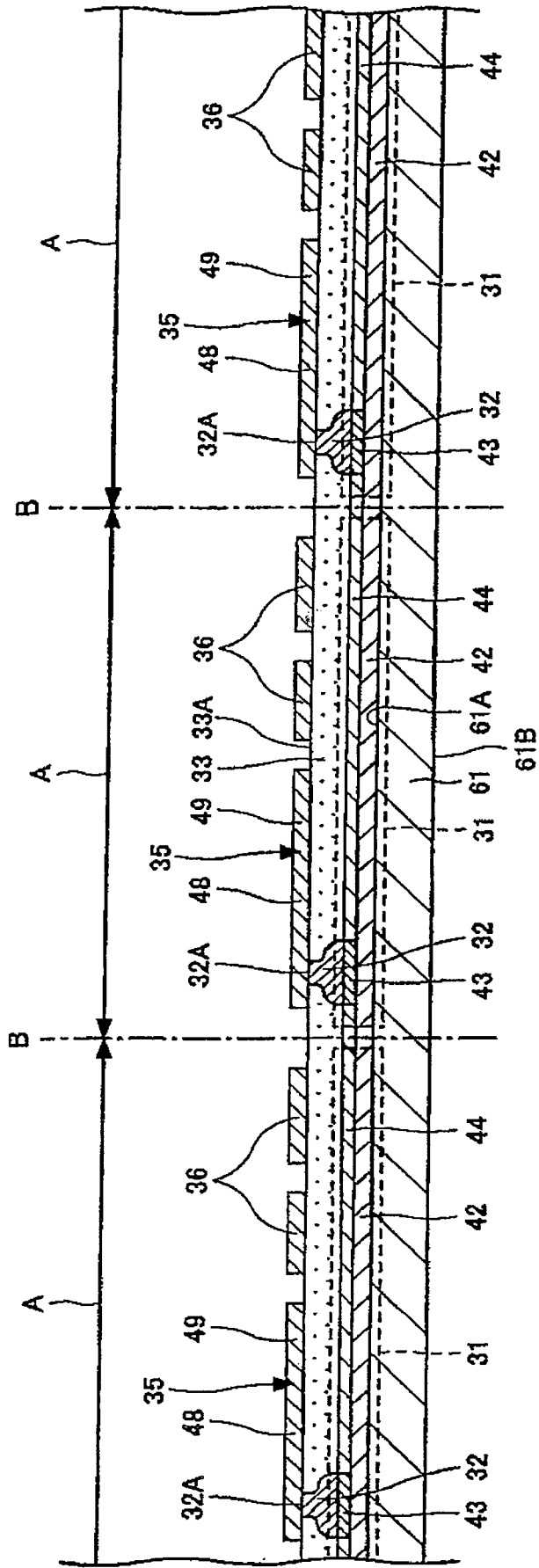


圖 15

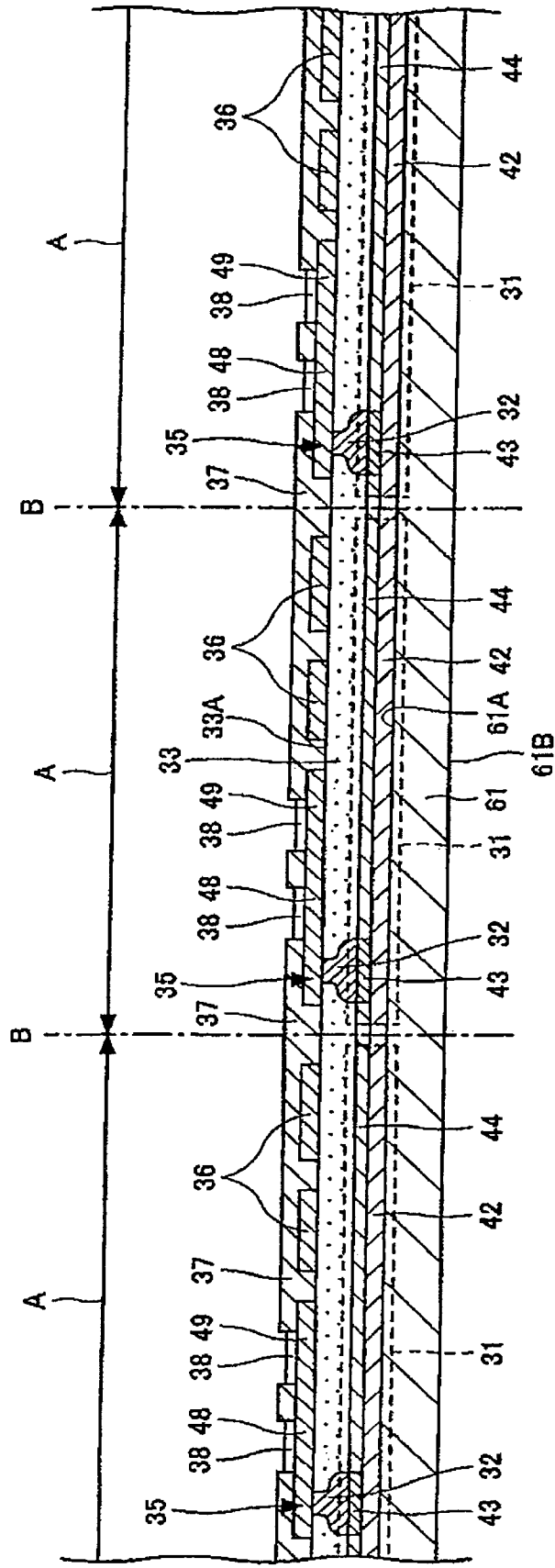


圖 16

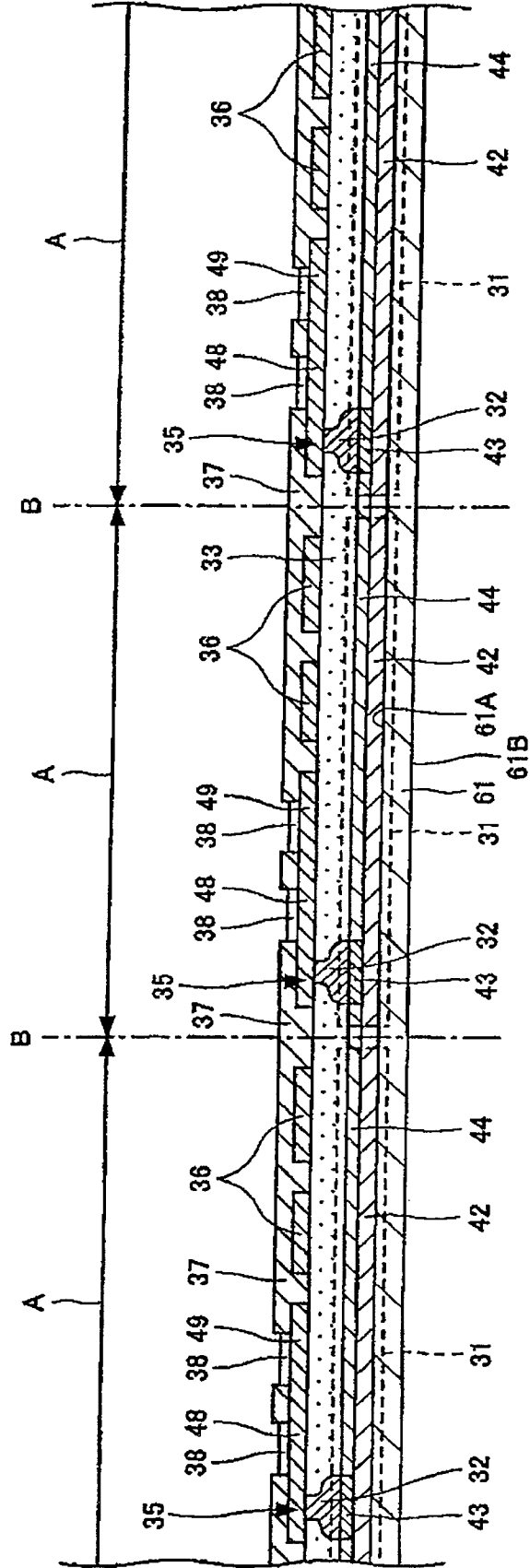


圖 17

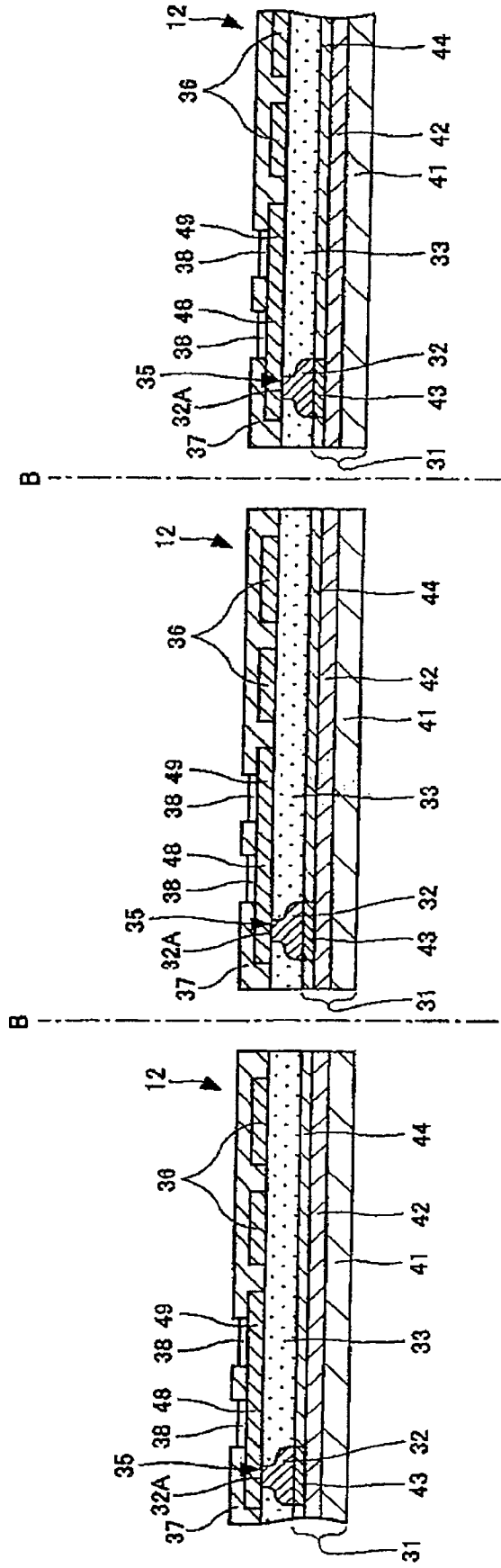


圖 18

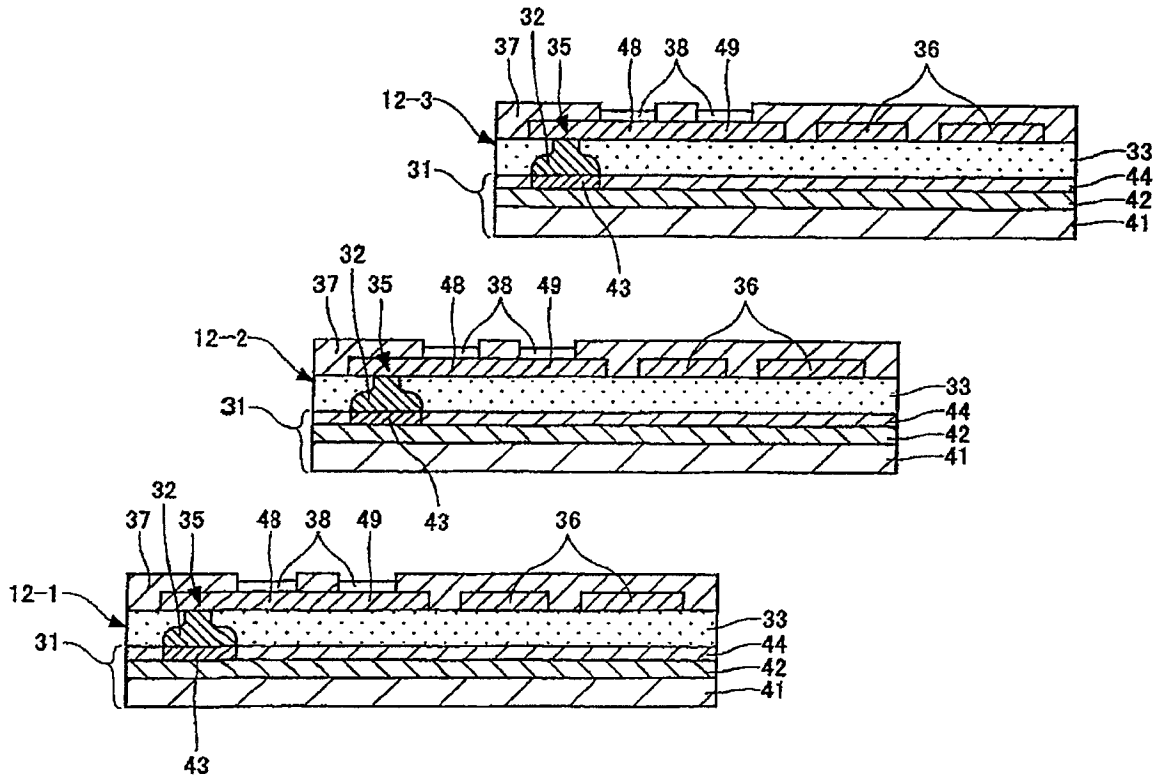


圖 19

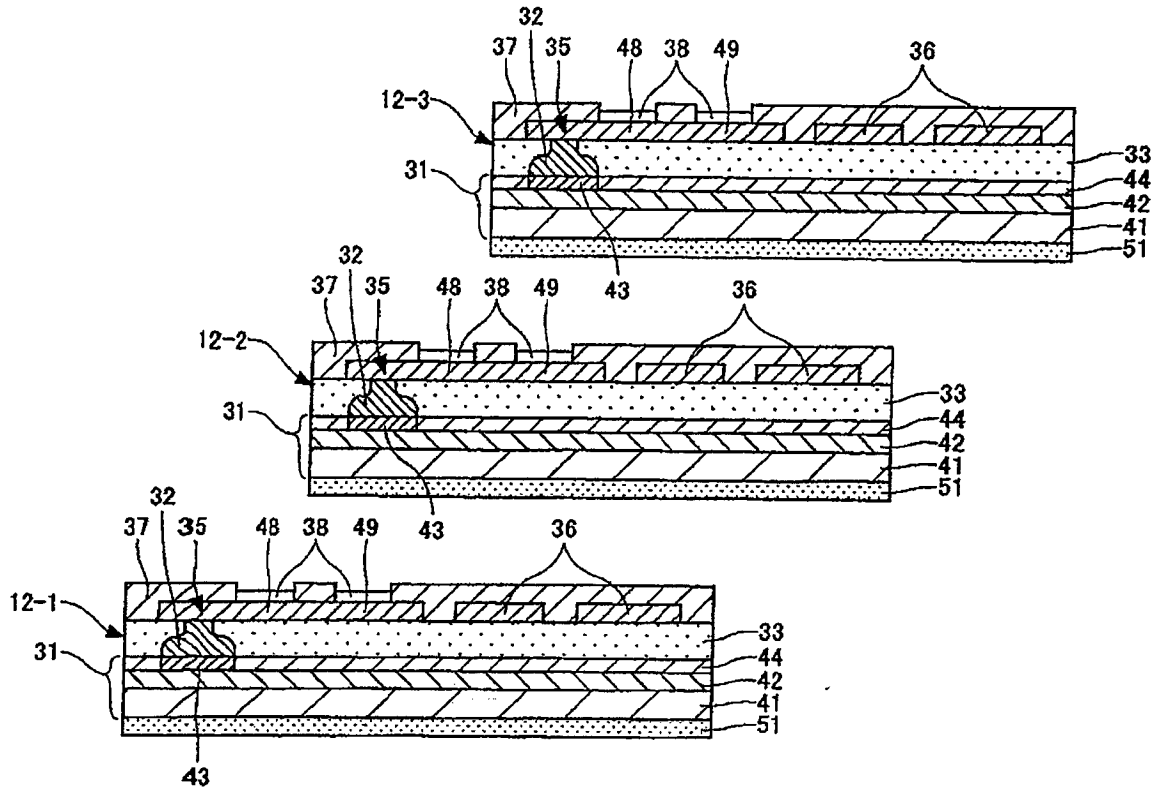


圖 20

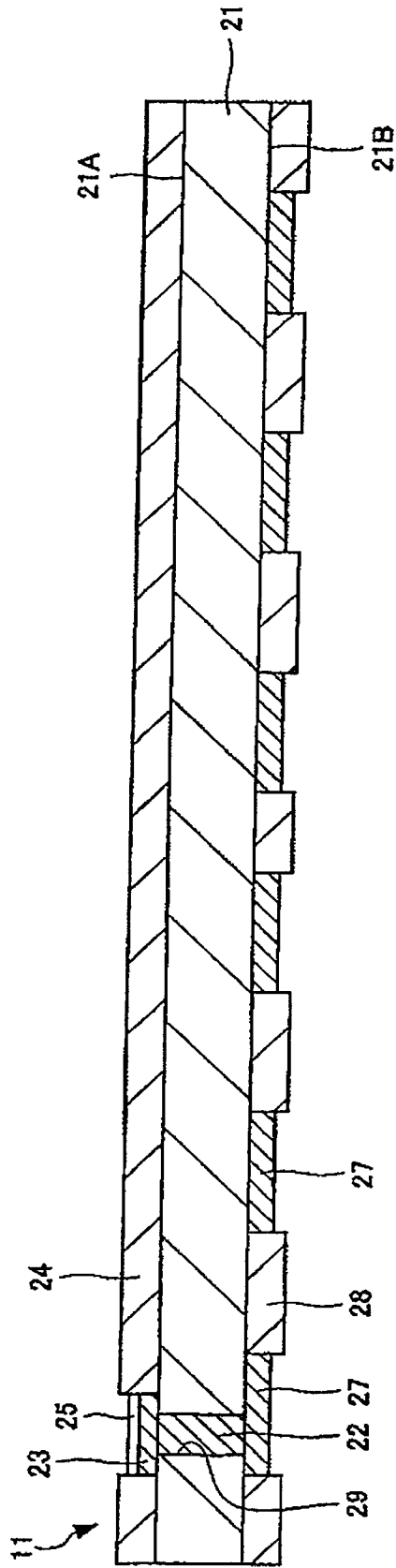


圖 21

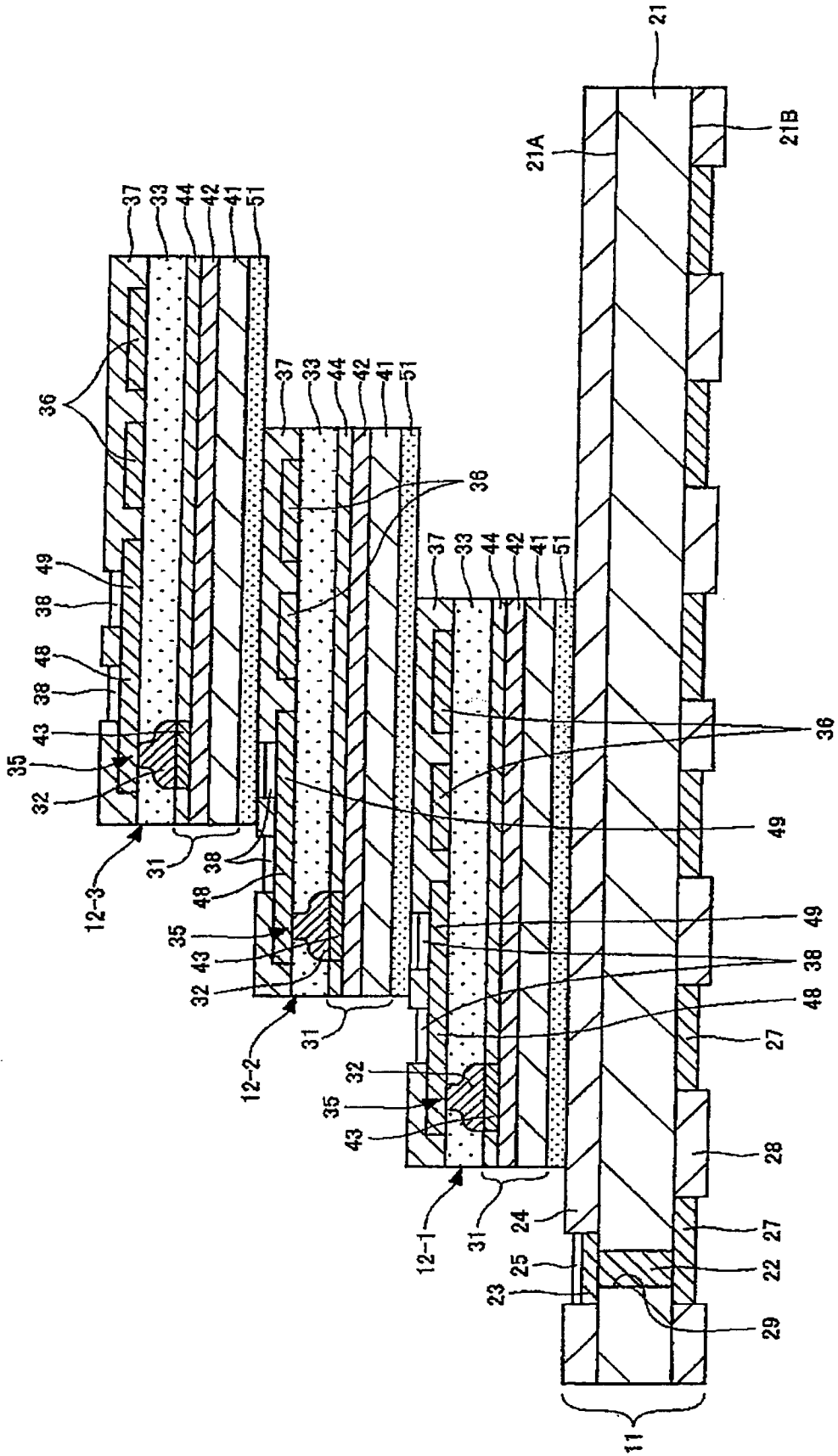




圖 23

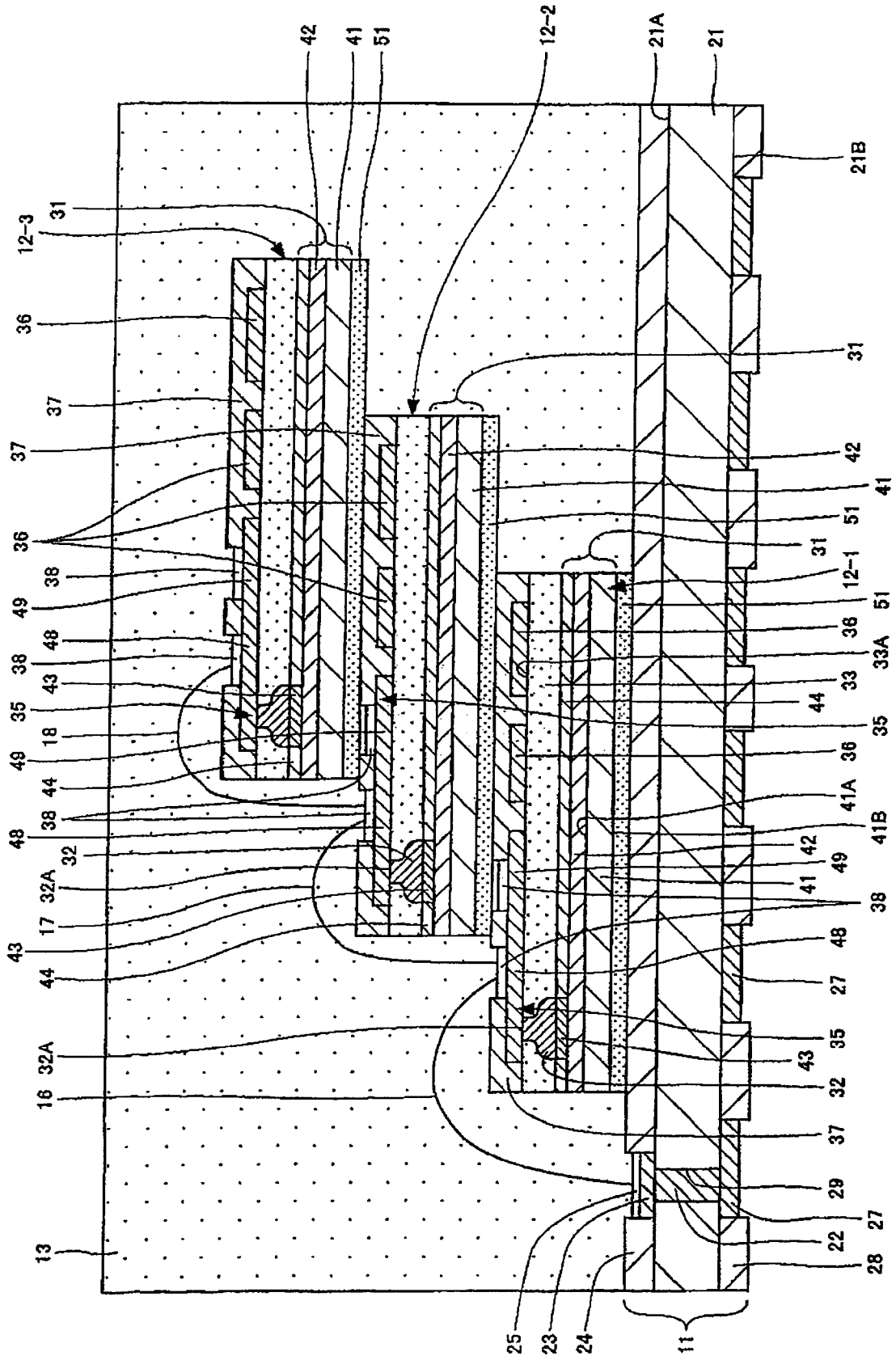
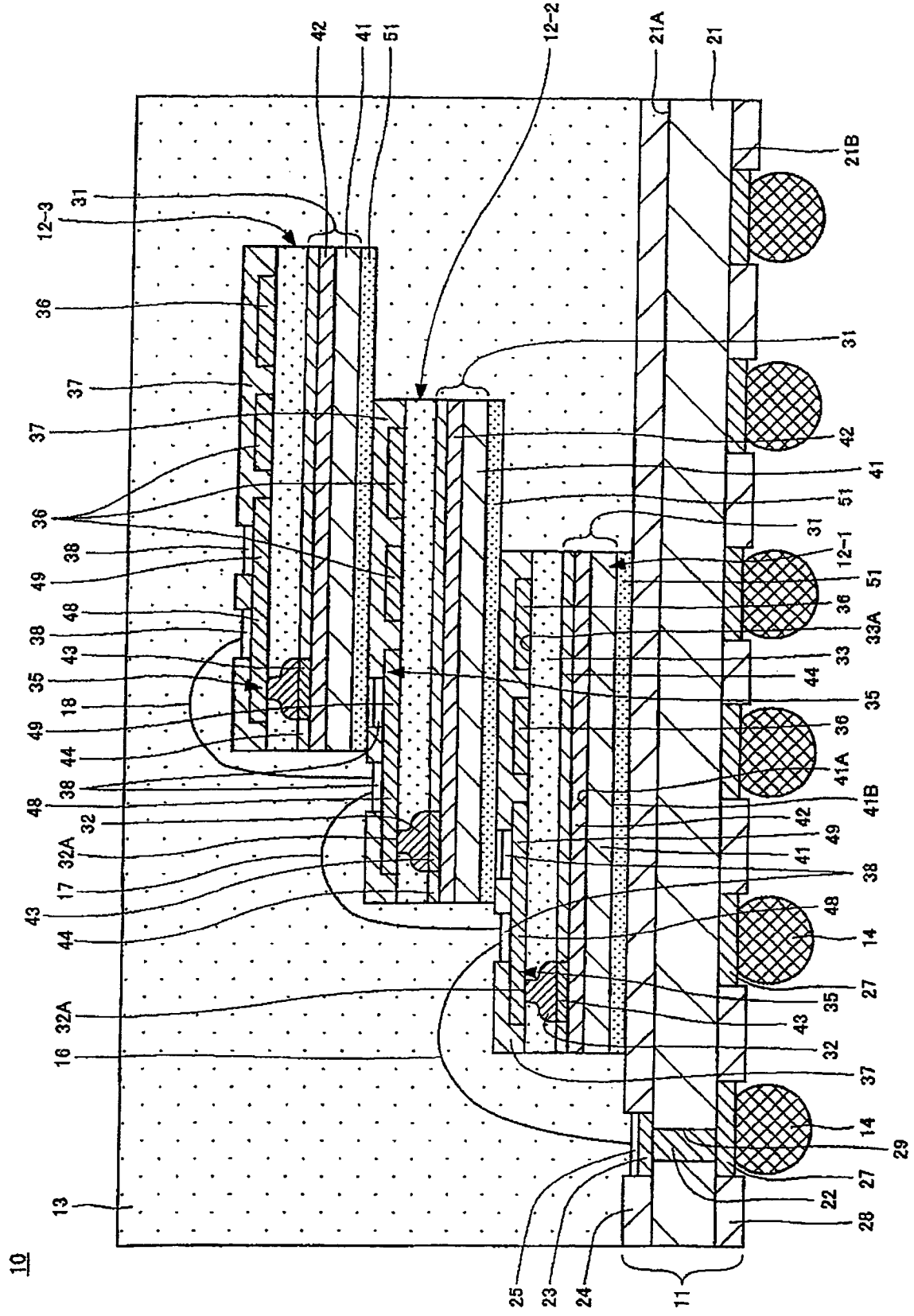


圖 24



## 四、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

10	電子裝置	11	佈線基板
12-1	半導體裝置	12-2	半導體裝置
12-3	半導體裝置	13	密封樹脂
14	外部連接端	16	金屬線
17	金屬線	18	金屬線
21	核心基板	21A	上表面
21B	下表面	22	貫穿介層
23	焊墊	24	防焊層
25	防擴散膜	27	外部連接墊
28	防焊層	29	通孔
31	半導體晶片	32	內部連接端
32A	上表面	33	樹脂層
33A	上表面	35	佈線圖案
36	虛設圖案	37	防焊層
38	防擴散膜	41	半導體基板
41A	上表面	41B	下表面
42	半導體積體電路	43	電極墊
44	保護膜	48	連接部
49	檢查墊	51	黏著片(帶)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無