



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월08일

(11) 등록번호 10-1601101

(24) 등록일자 2016년03월02일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

H01L 29/792 (2006.01)

(21) 출원번호 10-2014-0145699

(22) 출원일자 2014년10월27일

심사청구일자 2014년10월27일

(56) 선행기술조사문헌

KR1020060079372 A*

KR1020060117024 A*

KR1020100012632 A

KR1020060008591 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

윤규한

경기도 성남시 분당구 미금로 215, 814동 1501호
(금곡동, 청솔마을대원아파트)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 16 항

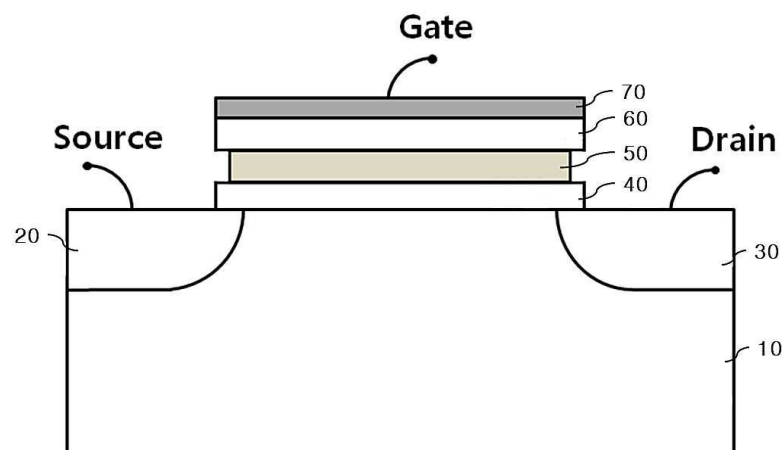
심사관 : 류정현

(54) 발명의 명칭 전하 트랩을 이용한 메모리 소자 및 그의 제조 방법

(57) 요약

본 발명은 전하 트랩을 이용한 메모리 소자 및 그의 제조 방법에 관한 것으로, 전하 트랩형 메모리 소자는, 소스(source) 전극과 드레인(drain) 전극을 구비하는 기판, 기판의 상면에 적층되어 기판으로부터 주입되는 전하를 통과시키는 터널층, 터널층의 상면에 형성되어 터널층을 통과한 전하를 트랩(trap)하는 트랩층, 트랩층의 상면에 형성되어 전하를 차단하는 차단층 및 차단층의 상면에 형성되는 게이트(gate) 전극을 구비하되, 트랩층은 터널층 및 차단층보다 가장자리가 일정 길이만큼 내측으로 더 짧게 형성된다.

대표도 - 도3



명세서

청구범위

청구항 1

소스(source) 전극과 드레인(drain) 전극을 구비하는 기관;

상기 소스 전극과 상기 드레인 전극을 각각 말단에 연결하도록 상기 기관의 상면에 적층되어 상기 기관으로부터 주입되는 전하를 통과시키는 터널층;

상기 터널층의 상면에 형성되어 상기 터널층을 통과한 전하를 트랩(trap)하는 트랩층;

상기 트랩층의 상면에 형성되어 전하를 차단하는 차단층; 및

상기 차단층의 상면에 형성되는 게이트(gate) 전극;을 구비하되,

상기 트랩층은, 상기 터널층 및 상기 차단층보다 가장자리가 소정 길이만큼 내측으로 더 짧게 형성되고, 정보를 기록하는 프로그램(program) 연산에 따른 전자(electron)의 최대 농도 형성 영역과 상기 정보를 소거하는 이레이즈(erase) 연산에 따른 정공(hole)의 최대 농도 형성 영역을 상기 내측으로 짧게 형성된 가장자리에 인접하여 일치시킴으로써, 상기 프로그램 연산에 따라 누적되는 전자와 상기 이레이즈 연산에 따라 형성되는 정공 간의 전자-정공 공간 불일치를 해소하는 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 프로그램 연산의 경우,

상기 기관 및 상기 소스 전극을 접지시키고 상기 게이트 전극 및 상기 드레인 전극에 각각 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극 방향으로 가속된 전자가 상기 드레인 전극 근처에서 상기 터널층을 통과하여 상기 트랩층으로 주입되며, 주입된 상기 전자는 상기 트랩층의 가장자리 영역인 정션(junction) 경계에서 최대의 농도를 형성하는 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 이레이즈 연산의 경우,

상기 기관을 접지시키고 상기 게이트 전극에 음전압을 인가하고 상기 드레인 전극에 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극의 반대 방향으로 가속된 전자로 인해 상기 트랩층에 정공을 주입하며, 주입된 상기 정공은, 상기 트랩층의 가장자리 영역인 정션 경계로부터 소정 거리만큼 내측으로 이격하여 최대의 농도를 형성하는 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 프로그램 연산은 CHEI(channel hot electron injection) 방식에 따른 국부적인 전자 주입에 의한 기록이고,

상기 이레이즈 연산은 HHI(hot hole injection) 방식에 따른 국부적인 정공 주입에 의한 소거인 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이는,

상기 프로그램 연산과 상기 이레이즈 연산의 반복에 의해 누적되는 전자-정공 공간 불일치 정도를 최소화할 수 있는 길이를 실험적으로 산출함으로써 결정되는 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이는,

상기 프로그램 연산과 상기 이레이즈 연산의 반복에 따른 내구도(endurance) 및 보존(retention) 특성이 최대화될 수 있는 길이를 실험적으로 산출함으로써 결정되는 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 8

제 1 항에 있어서,

상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이는,

상기 프로그램 연산과 상기 이레이즈 연산의 반복에 따른 정보 기록 및 삭제 속도가 최대화될 수 있는 길이를 실험적으로 산출함으로써 결정되는 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 9

제 1 항에 있어서,

상기 터널층은 터널 산화막(Tunnel Oxide)이고,

상기 트랩층은 나이트라이드막(Nitride)이며,

상기 차단층은 차단 산화막(Oxide)인 것을 특징으로 하는 전하 트랩형 메모리 소자.

청구항 10

(a) 기판에 소스(source) 전극과 드레인(drain) 전극을 형성하는 단계;

(b) 상기 소스 전극과 상기 드레인 전극을 각각 말단에 연결하여 상기 기판의 상면에 상기 기판으로부터 주입되는 전하를 통과시키는 터널층을 적층하는 단계;

(c) 상기 터널층의 상면에 상기 터널층을 통과한 전하를 트랩(trap)하는 트랩층을 형성하는 단계;

(d) 상기 트랩층의 상면에 전하를 차단하는 차단층을 형성하는 단계; 및

(e) 상기 차단층의 상면에 게이트(gate) 전극을 형성하는 단계;를 포함하되,

(f) 상기 트랩층의 가장자리를 상기 터널층 및 상기 차단층보다 소정 길이만큼 내측으로 더 짧게 가공하는 단계;를 더 포함하며,

상기 트랩층은, 상기 터널층 및 상기 차단층보다 가장자리가 소정 길이만큼 내측으로 더 짧게 형성되고, 정보를 기록하는 프로그램(program) 연산에 따른 전자(electron)의 최대 농도 형성 영역과 상기 정보를 소거하는 이레이즈(erase) 연산에 따른 정공(hole)의 최대 농도 형성 영역을 상기 내측으로 짧게 형성된 가장자리에 인접하여 일치시킴으로써, 상기 프로그램 연산에 따라 누적되는 전자와 상기 이레이즈 연산에 따라 형성되는 정공 간의 전자-정공 공간 불일치를 해소하는 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 (f) 단계는,

상기 (d) 단계 이후에 수행되며,

상기 트랩층의 소재에 대응하여 상기 트랩층의 가장자리만을 선택적으로 식각(etching)함으로써 상기 터널층 및 상기 차단층보다 내측으로 더 짧은 트랩층을 형성하는 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 (f) 단계는,

상기 (c) 단계에 수반하여 수행되며,

상기 트랩층의 가장자리를 마스킹(masking)함으로써, 상기 터널층 및 상기 차단층보다 내측으로 더 짧은 트랩층을 형성하는 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 13

삭제

청구항 14

제 10 항에 있어서,

상기 프로그램 연산의 경우,

상기 기판 및 상기 소스 전극을 접지시키고 상기 게이트 전극 및 상기 드레인 전극에 각각 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극 방향으로 가속된 전자가 상기 드레인 전극 근처에서 상기 터널층을 통과하여 상기 트랩층으로 주입되며, 주입된 상기 전자는 상기 트랩층의 가장자리 영역인 정션(junction) 경계에서 최대의 농도를 형성하는 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 이레이즈 연산의 경우,

상기 기판을 접지시키고 상기 게이트 전극에 음전압을 인가하고 상기 드레인 전극에 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극의 반대 방향으로 가속된 전자로 인해 상기 트랩층에 정공을 주입하며, 주입된 상기 정공은, 상기 트랩층의 가장자리 영역인 정션 경계로부터 소정 거리만큼 내측으로 이격하여 최대의 농도를 형성하는 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 16

제 10 항에 있어서,

상기 프로그램 연산은 CHEI(channel hot electron injection) 방식에 따른 국부적인 전자 주입에 의한 기록이고,

상기 이레이즈 연산은 HHI(hot hole injection) 방식에 따른 국부적인 정공 주입에 의한 소거인 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 17

제 10 항에 있어서,

상기 프로그램 연산과 상기 이레이즈 연산의 반복에 의해 누적되는 전자-정공 공간 불일치 정도를 최소화할 수 있는 길이를 실험적으로 산출하는 단계;를 더 포함하고,

상기 (f) 단계는, 상기 산출 결과에 따라 상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이를 결정하는 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

청구항 18

제 10 항에 있어서,

상기 터널층은 터널 산화막(Tunnel Oxide)이고,

상기 트랩층은 나이트라이드막(Nitride)이며,

상기 차단층은 차단 산화막(Oxide)인 것을 특징으로 하는 전하 트랩형 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 소자 및 그의 제조 방법에 관한 것으로서, 특히 정보의 기록 및 삭제 과정에서 터닝된 전하를 차단하여 저장하는 전하 트랩을 이용하는 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 소자는 데이터 저장 방식에 따라 휘발성 메모리 소자와 비휘발성 메모리 소자로 분류된다. 휘발성 메모리 소자는 전원 공급이 차단되면 저장된 데이터를 잃는다. 휘발성 메모리로는 DRAM(dynamic random access memory) 또는 SRAM(static random access memory) 등이 존재하며, 비휘발성 메모리 소자는 전원이 공급되지 않는 상태에서도 데이터를 유지하는 특성을 가진다.

[0003] 비휘발성 메모리 소자는 대표적으로 플래시(flash) 메모리 소자를 들 수 있는데, 기술적으로 EPROM(Erasable-Programmable Read-Only Memory)과 EEPROM(Electrically Erasable-Programmable Read-Only Memory)의 장점뿐만 아니라 DRAM과 ROM(Read Only Memory)의 장점을 두루 갖추었다고 할 수 있다. 플래시 메모리는, 특히 DRAM과 ROM의 높은 집적도를 가지면서도 EEPROM과 DRAM과 같이 필요에 따라서 저장 내용을 다시 쓸 수 있으며, ROM과 EEPROM의 비휘발성 특징을 동시에 갖고 있다. 이러한 플래시 메모리는 휴대가 가능하도록 이동성이 요구되는 휴대전화 등의 개인용 통신 기기나, USB 메모리, MP3, PMP 등의 각종 소형 전자기기, 디지털 음성 기록기나 메모리 카드 등의 데이터 저장 장치로 널리 사용되고 있다. 특히, NAND(NOT-AND) 플래시 메모리는 DRAM(Dynamic Random Access Memory) 소자의 휘발성 동작의 단점을 해결한 대표적 비휘발성 메모리 소자이다. 이와 같이 플래시 메모리는 비휘발성 및 저전력 소모 특성으로 휴대기기의 주 기억 소자로 사용되기 시작하였으며, 특히 DRAM보다 우수한 집적도로 인해 디지털 가전제품 등의 대용량 저장매체로서 그 수요가 급속히 신장되고 있다.

[0004] 그러나 기존의 플래시 메모리는 다결정 실리콘으로 이루어진 부유 게이트(floating gate)를 저장 전극으로 이용하기 때문에 고집적 시에는 인접 게이트 사이에 간섭 현상이 발생하며, 저장된 전하는 다결정 실리콘을 통하여 자유롭게 이동할 수 있기 때문에 산화막에 하나의 결함이라도 존재하는 경우에는 그 결함을 통하여 저장된 전하가 모두 누설되는 단점을 가지고 있다. 따라서, 이러한 약점을 해결하기 위해 전하 트랩형 비휘발성 메모리가 제시되고 있으며, 그 일례로서 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 형태의 전하 트랩형 비휘발성 메모리 소자가 개발되게 되었다.

[0005] SONOS(Silicon Gate-Oxide-Nitride-Oxide-Silicon Channel) 기술이란, 높은 컨트롤 게이트 전압으로 전하를 실리콘 기판으로부터 상부의 얇은 산화막으로 터널링시켜 도체의 부유 게이트에 저장시키는 기술적 문제들을 해결하기 위해 제안되었다. 이를 위해 SONOS 기술은, 실리콘 기판과 컨트롤 게이트 사이에 도체형 부유 게이트 대신 산화막-질화막-산화막(ONO)과 같은 부도체 층을 삽입함으로써, 터널링된 전하가 질화막 내의 전하 저장 장소(즉, 트랩(Trap)을 의미한다.)에 저장되는 메커니즘을 이용한 전하 트랩형 소자 기술이다. 이러한 SONOS 기술을 이용하는 경우 전하가 저장되는 전하 저장층의 두께를 10분의 1 수준으로 감소시킬 수 있으며, 부도체를 전하 저장층으로 사용함에 따라 인접한 메모리 소자 간의 정보간섭 문제를 해결할 수 있게 되었다. 이하에서 제시되는 선행기술문헌에는 SONOS 메모리 소자의 구조와 이의 응용예가 기재되어 있다.

[0006] 그러나, 이러한 전하 트랩형 메모리 소자의 경우, 국부적인 전하 주입 및 정공 형성에 따라 기록 및 소거 성능이 저하되는 문제가 발견되었는바, 이에 대한 개선이 요구된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국 공개특허공보 10-2004-0023295, 2004.03.18 공개

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 기술적 과제는, 종래의 전하 트랩형 메모리 소자에서 국부적인 전자 주입이 이루어지는 프로그램 방식과 국부적인 정공 주입이 이루어지는 이레이즈 방식으로 인해 전자-정공 간의 전하 트랩층 내의 공간 불일치 문제가 발생하고, 이러한 전자-정공 공간 불일치의 결과로서 반복되는 정보 기록 및 소거 과정을 통해 메모리 소자의 동작 속도가 저하될 뿐만 아니라, 내구도(endurance) 및 보존(retention) 특성이 지속적으로 악화되는 한계를 극복하고자 한다.

과제의 해결 수단

[0009] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자는, 소스(source) 전극과 드레인(drain) 전극을 구비하는 기판; 상기 소스 전극과 상기 드레인 전극을 각각 말단에 연결하도록 상기 기판의 상면에 적층되어 상기 기판으로부터 주입되는 전하를 통과시키는 터널층; 상기 터널층의 상면에 형성되어 상기 터널층을 통과한 전하를 트랩(trap)하는 트랩층; 상기 트랩층의 상면에 형성되어 전하를 차단하는 차단층; 및 상기 차단층의 상면에 형성되는 게이트(gate) 전극;을 구비하되, 상기 트랩층은, 상기 터널층 및 상기 차단층보다 가장자리가 소정 길이만큼 내측으로 더 짧게 형성된다.

[0010] 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 트랩층은, 상기 터널층 및 상기 차단층보다 상대적으로 내측으로 짧게 형성된 가장자리로 인하여, 상기 전하 트랩형 메모리 소자에 정보를 기록하는 프로그램(program) 연산에 따라 누적되는 전자(electron)와 상기 전하 트랩형 메모리 소자에 정보를 소거하는 이레이즈(erase) 연산에 따라 형성되는 정공(hole) 간의 전자-정공 공간 불일치를 해소한다.

[0011] 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 프로그램 연산의 경우, 상기 기판 및 상기 소스 전극을 접지시키고 상기 게이트 전극 및 상기 드레인 전극에 각각 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극 방향으로 가속된 전자가 상기 드레인 전극 근처에서 상기 터널층을 통과하여 상기 트랩층으로 주입되며, 주입된 상기 전자는 상기 트랩층의 가장자리 영역인 정션(junction) 경계에서 최대의 농도를 형성하되, 내측으로 짧게 형성된 상기 트랩층의 가장자리로 인하여, 상기 전자의 최대 농도 형성 영역과 상기 이레이즈 연산에 따른 정공의 최대 농도 형성 영역을 일치시킬 수 있다.

[0012] 또한, 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 이레이즈 연산의 경우, 상기 기판을 접지시키고 상기 게이트 전극에 음전압을 인가하고 상기 드레인 전극에 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극의 반대 방향으로 가속된 전자로 인해 상기 트랩층에 정공을 주입하며, 주입된 상기 정공은, 상기 트랩층의 가장자리 영역인 정션 경계로부터 소정 거리만큼 내측으로 이격하여 최대의 농도를 형성하되, 내측으로 짧게 형성된 상기 트랩층의 가장자리로 인하여, 상기 정공의 최대 농도 형성 영역과 상기 프로그램 연산에 따른 전자의 최대 농도 형성 영역을 일치시킬 수 있다.

[0013] 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 프로그램 연산은 CHEI(channel hot electron injection) 방식에 따른 국부적인 전자 주입에 의한 기록이고, 상기 이레이즈 연산은 HHI(hot hole injection) 방식에 따른 국부적인 정공 주입에 의한 소거일 수 있다.

[0014] 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이는, 상기 프로그램 연산과 상기 이레이즈 연산의 반복에 의해 누적되는 전자-정공 공간 불일치 정도를 최소화할 수 있는 길이를 실험적으로 산출함으로써 결정될 수 있다.

[0015] 또한, 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이는, 상기 프로그램 연산과 상기 이레이즈 연산의 반복에 따른 내구도(endurance) 및 보존(retention) 특성이 최대화될 수 있는 길이를 실험적으로 산출함으로써 결정될 수 있다.

[0016] 나아가, 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이는, 상기 프로그램 연산과 상기 이레이즈 연산의 반복에 따른 정보 기록 및 삭제 속도가 최대화될 수 있는 길이를 실험적으로 산출함으로써 결정될 수 있다.

- [0017] 일 실시예에 따른 상기 전하 트랩형 메모리 소자에서, 상기 터널층은 터널 산화막(Tunnel Oxide)이고, 상기 트랩층은 나이트라이드막(Nitride)이며, 상기 차단층은 차단 산화막(Oxide)으로 형성될 수 있다.
- [0018] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자의 제조 방법은, (a) 기판에 소스(source) 전극과 드레인(drain) 전극을 형성하는 단계; (b) 상기 소스 전극과 상기 드레인 전극을 각각 말단에 연결하여 상기 기판의 상면에 상기 기판으로부터 주입되는 전하를 통과시키는 터널층을 적층하는 단계; (c) 상기 터널층의 상면에 상기 터널층을 통과한 전하를 트랩(trap)하는 트랩층을 형성하는 단계; (d) 상기 트랩층의 상면에 전하를 차단하는 차단층을 형성하는 단계; 및 (e) 상기 차단층의 상면에 게이트(gate) 전극을 형성하는 단계;를 포함하되, (f) 상기 트랩층의 가장자리를 상기 터널층 및 상기 차단층보다 소정 길이만큼 내측으로 더 짧게 가공하는 단계;를 더 포함한다.
- [0019] 상기 전하 트랩형 메모리 소자의 제조 방법에서, 다른 실시예에 따른 상기 (f) 단계는, 상기 (d) 단계 이후에 수행되며, 상기 트랩층의 소재에 대응하여 상기 트랩층의 가장자리만을 선택적으로 식각(etching)함으로써 상기 터널층 및 상기 차단층보다 내측으로 더 짧은 트랩층을 형성할 수 있다.
- [0020] 상기 전하 트랩형 메모리 소자의 제조 방법에서, 또 다른 실시예에 따른 상기 (f) 단계는, 상기 (c) 단계에 수반하여 수행되며, 상기 트랩층의 가장자리를 마스크(masking)함으로써, 상기 터널층 및 상기 차단층보다 내측으로 더 짧은 트랩층을 형성할 수 있다.
- [0021] 일 실시예에 따른 전하 트랩형 메모리 소자의 제조 방법에서, 상기 프로그램 연산과 상기 이레이즈 연산의 반복에 의해 누적되는 전자-전공 공간 불일치 정도를 최소화할 수 있는 길이를 실험적으로 산출하는 단계;를 더 포함하고, 상기 (f) 단계는, 상기 산출 결과에 따라 상기 트랩층에서 내측으로 짧게 형성된 가장자리 길이를 결정할 수 있다.

발명의 효과

- [0022] 본 발명의 실시예들은, 전하 트랩층의 가장자리를 전하를 터널링하는 터널층 및 전하의 터널링을 방지하는 차단층보다 내측으로 더 짧게 형성시킴으로써, 국부적인 프로그램 방식에 따라 전자가 주입되는 영역과 국부적인 이레이즈 방식에 따라 정공이 주입되는 영역의 공간적인 불일치를 최소화하며, 전하 트랩형 메모리 소자의 프로그램 속도와 이레이즈 속도를 향상시키고, 동시에 내구도(endurance) 및 보존(retention) 특성을 향상시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 SONOS 기술을 채택하고 있는 전하 트랩형 메모리 소자의 일반적인 구조를 예시한 단면도이다.
- 도 2는 도 1의 전하 트랩형 메모리 소자의 일부 구성을 발췌하여 국부적인 전자 및 정공 주입 방식에 의해 형성되는 전자와 정공의 분포를 설명하기 위한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자의 구조를 도시한 도면이다.
- 도 4a 및 도 4b는 각각 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 프로그램 연산 및 이레이즈 연산의 수행 원리를 개략적으로 도시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 전하 트랩에 의한 전자와 정공의 공간상의 불일치 문제가 해소되는 원리를 설명하기 위한 도면이다.
- 도 6은 본 발명의 다른 실시예에 따른 전하 트랩형 메모리 소자의 제조 방법을 도시한 흐름도이다.
- 도 7a는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 사이클링 수의 증가에 따른 윈도우 크기의 변화를 예시한 도면이다.
- 도 7b는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 1,000회 사이클링 후 150℃에서 20시간 경과 시 베이킹 리텐션(bake retention) 특성을 예시한 도면이다.
- 도 8a 및 도 8b는 각각 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 전하 트랩층의 길이에 따른 프로그램 및 이레이즈 연산의 속도 차이를 예시한 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자의 셀 구조를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 실시예들을 설명하기에 앞서, 전하 트랩형 메모리 소자의 특징과 그 약점을 간략히 소개한 후, 이러한 문제점을 해결하기 위해 본 발명의 실시예들이 채택하고 있는 기술적 수단을 도면을 참조하여 순차적으로 제시하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 또한, 도면 전체에 걸쳐 동일한 구성 요소들은 가능한 한 동일한 도면 부호로 나타내고 있음에 유의하여야 한다.
- [0025] 도 1은 SONOS 기술을 채택하고 있는 전하 트랩형 메모리 소자의 일반적인 구조를 예시한 단면도로서, 각 구성은 SONOS 구조를 만족하는 다양한 소재가 채택될 수 있을 것이다.
- [0026] 도 1에 도시된 비휘발성 SONOS 메모리는 p-Si 기판(10)과 기판(10)에 형성되는 소스 전극(20) 및 드레인 전극(30)과, 기판(10) 상면에 적층되는 터널 산화막(40)과, 터널 산화막(40)의 상면에 적층되는 나이트라이드막(Nitride layer)(50)과, 나이트라이드막(50)의 상면에 형성되는 차단 산화막(60)과, 차단 산화막(60)의 상면에 형성되는 Poly-Si 게이트 전극(70)을 포함한다.
- [0027] SONOS 메모리에서 터널 산화막(40)과 나이트라이드막(50), 그리고 차단 산화막(60)은 일반적으로 ONO(Oxide/Nitride/Oxide)막으로 통칭된다. 정보를 기록하는 CHEI(Channel Hot Electron Injection) 프로그램(program) 방식과 정보를 소거하는 HHI(Hot Hole Injection) 이레이즈(erase) 방식이 사용될 경우, 나이트라이드막(50) 공간을 분할하여 셀 1개에 2비트 정보 기록이 가능하며, 리딩(reading) 시의 전류 방향은 프로그램 시의 전류 방향과는 반대로 형성될 것이다.
- [0028] 도 1을 참조하면, 통상적인 구조의 SONOS 메모리 소자에서, 나이트라이드막(50)의 길이는 터널 산화막(40) 및 차단 산화막(60)의 길이와 동일한 것을 알 수 있다. 바로 이러한 구성에서 앞서 지적한 국부적인 전하 트랩형 메모리 소자의 문제점이 나타나게 되는데, 다음의 도면을 참조하자.
- [0029] 도 2는 도 1의 전하 트랩형 메모리 소자의 일부 구성을 발체하여 국부적인 전자 및 정공 주입 방식에 의해 형성되는 전자와 정공의 분포를 설명하기 위한 도면으로서, p-Si 기판(10)과 소스/게이트 전극(20/30)을 제외한 구성을 확대하여 도시하였다.
- [0030] 도 2에서 전하를 트랩하는 나이트라이드막(50)에 집중하면, 프로그램 시 트랩전자의 분포를 나타낸 그래프와 이레이즈 시 트랩정공의 분포를 나타낸 그래프의 상호 관계를 확인할 수 있다. 특히, 프로그램 시 트랩전자의 분포의 최대 농도 영역은 'B'로 표기하였고, 이레이즈 시 트랩정공의 분포의 최대 농도 영역은 'A'로 표기하였다. 도 2를 참조하면, 이들 2개 역의 차이가 거리 'd'만큼 발생하고 있음을 알 수 있으며, 이러한 영역 간의 거리 차이로 인하여 프로그램과 이레이즈 연산의 반복 결과, 나이트라이드막(50)의 가장자리 부근에 전자가 축적되는 현상이 발생할 수 있음을 쉽게 예상할 수 있다.
- [0031] 실제로, 이러한 반복적인 연산에 의해 나이트라이드막(50)의 가장자리에 전자가 누적되고, 그로 인해 프로그램 문턱 전압과 이레이즈 문턱 전압이 점진적으로 상승하게 되는 현상이 발견되었다. 이러한 문턱 전압의 상승은 결과적으로 메모리 소자의 성능과 기록/소거 연산의 속도를 저하시키는 요인이 된다.
- [0032] 따라서, 이하에서 기술될 본 발명의 실시예들은, SONOS 메모리 소자와 같은 전하 트랩형 메모리 소자에서, 전하 트랩층, 예를 들어 나이트라이드막의 길이를 조절함으로써, CHEI 방식의 국부적인 프로그램 및 HHI 방식의 국부적인 이레이즈로 인해 발생하는 나이트라이드막 내의 트랩 전자 및 정공의 공간 불일치를 최소화하고자 한다.
- [0033] 도 3은 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자의 구조를 도시한 도면으로서, 앞서 소개한 도 1의 SONOS 메모리 소자의 구조와 비교할 때, 터널층(40) 및 차단층(60)의 길이보다 전하를 트랩하는 트랩층(50)의 가장자리 길이가 내측으로 짧게 형성되어 있음을 도시하고 있다.
- [0034] 기판(10)은, 소스(source) 전극(20)과 드레인(drain) 전극(30)을 구비한다.
- [0035] 터널층(40)은, 상기 소스 전극(20)과 상기 드레인 전극(30)을 각각 말단에 연결하도록 상기 기판(10)의 상면에 적층되어 상기 기판(10)으로부터 주입되는 전하를 통과시킨다.
- [0036] 트랩층(50)은, 상기 터널층(40)의 상면에 형성되어 상기 터널층(40)을 통과한 전하를 트랩(trap)한다.
- [0037] 차단층(60)은, 상기 트랩층(50)의 상면에 형성되어 전하를 차단하며, 트랩층(50)으로부터 차단층(60)의 상면에 형성되는 게이트(gate) 전극(70)으로 전자가 터널링되지 않도록 차단하는 역할을 수행한다.

- [0038] 여기서, 트랩층(50)은, 상기 터널층(40) 및 상기 차단층(60)보다 가장자리가 일정 길이만큼 내측으로 더 짧게 형성된다. 이러한 구조적 특성은 본 발명의 실시예들이 공통적으로 채택하고 있는 차별적 구성으로서, 상기 트랩층(50)은, 상기 터널층(40) 및 상기 차단층(60)보다 상대적으로 내측으로 짧게 형성된 가장자리로 인하여, 상기 전하 트랩형 메모리 소자에 정보를 기록하는 프로그램(program) 연산에 따라 누적되는 전자(electron)와 상기 전하 트랩형 메모리 소자에 정보를 소거하는 이레이즈(erase) 연산에 따라 형성되는 정공(hole) 간의 전자-정공 주입의 공간적 불일치 영역을 최소화하고, 그에 따른 전하 트랩형 메모리의 특성을 개선하기 위함이다.
- [0039] 앞서 소개한 바와 같이, 이러한 전하 트랩형 메모리는 SONOS 메모리가 될 수 있으며, 그에 따라 상기 터널층(40)은 터널 산화막(Tunnel Oxide)이고, 상기 트랩층(50)은 나이트라이드막(Nitride)이며, 상기 차단층(60)은 차단 산화막(Oxide)으로 구현될 수 있다.
- [0040] 도 4a 및 도 4b는 각각 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 프로그램 연산 및 이레이즈 연산의 수행 원리를 개략적으로 도시한 도면이다.
- [0041] 도 4a를 참조하면, SONOS 메모리에 정보를 기록하기 위해, p-Si 기판(10) 및 소스 전극(20)을 접지시키고, 게이트 전극(70) 및 드레인 전극(30)에 각각 일정한 양전압($V_g > 0$, $V_d > 0$)을 인가한다. 그러면, 게이트 전압에 따라 p-Si 기판(10)에 인버전 채널이 형성되고, 소스(20)와 드레인 전극(30) 사이에도 일정한 전압을 인가하여 채널에 고전계를 형성함으로써 소스(20)와 드레인 전극(30) 사이의 전계에 의해 채널을 흐르는 전자는 드레인 전극(30) 방향으로 가속된다. 이때, 터널 산화막 전도대(Conduction band) 에너지 장벽(예를 들어, 3.1eV가 될 수 있다.)을 뛰어 넘을 수 있을 정도로 충분한 운동 에너지를 얻은 전자는 Si 격자와의 포논 스캐터링(Phonon scattering)에 의해 드레인 전극(30) 근처에서 나이트라이드막(50)으로 주입됨으로써 정보를 기록하게 된다. 즉, 비트라인 또는 워드라인에 양전압이 인가되고 게이트 전극(70)에도 양전압이 인가되어 열 전자(Hot Electron)가 나이트라이드막(50)에 주입됨으로써 정보가 기록된다.
- [0042] 이러한 전자 주입은 p 타입 Si에서 n 타입 Si으로 급격히 바뀌는 드레인 정션(junction) 경계에서 최대로 발생하기 때문에 트랩된 전자농도는 나이트라이드막(50) 가장자리 근처에서 최대가 된다.
- [0043] 요약하건대, 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서, 프로그램 연산의 경우, 상기 기판(10) 및 상기 소스 전극(20)을 접지시키고 상기 게이트 전극(70) 및 상기 드레인 전극(30)에 각각 양전압을 인가하면, 상기 소스 전극(20) 및 상기 드레인 전극(30) 사이의 전계에 의해 상기 드레인 전극(30) 방향으로 가속된 전자가 상기 드레인 전극(30) 근처에서 상기 터널층(40)을 통과하여 상기 트랩층(50)으로 주입되며, 주입된 상기 전자는 상기 트랩층(50)의 가장자리 영역인 정션(junction) 경계에서 최대의 농도를 형성한다. 이때, 내측으로 짧게 형성된 상기 트랩층(50)의 가장자리로 인하여, 상기 전자의 최대 농도 형성 영역과 상기 이레이즈 연산에 따른 정공의 최대 농도 형성 영역을 일치시키게 되는 효과가 나타난다.
- [0044] 도 4b를 참조하면, SONOS 메모리에 기록된 정보를 소거하는 경우에는, 기판(10)을 접지시키고 게이트 전극(70)에 일정한 음전압($V_g < 0$)을 인가하고 드레인 전극(30)에 양전압($V_d > 0$)을 인가하여 정보 기록 시와 반대 방향으로 소스(20)와 드레인 전극(30) 사이에 전계를 형성시킨다. 이 경우에는 Si 채널에 정공(Hole)이 생성되어 p-Si 기판(10)에 형성되는 전계에 의해 드레인 정션 반대 방향으로 가속된다. 이러한 정공은 충분히 가속되어 터널 산화막 가전대(Valence band) 에너지 장벽(예를 들어, 4.7eV가 될 수 있다.)을 뛰어넘어 나이트라이드막(50)으로 주입됨으로써 정보가 소거되게 된다. 즉, 비트라인 또는 워드라인에 양전압이 인가되고 게이트 전극(70)에 음전압이 인가되어 열 정공(Hot Hole)이 나이트라이드막(50)에 주입됨으로써 정보가 소거된다.
- [0045] 이러한 HHI 방식의 이레이즈 시 정공은 나이트라이드막(50) 가장자리에서 약간 안쪽인 부분에서 최대로 주입된다.
- [0046] 요약하건대, 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서, 이레이즈 연산의 경우, 상기 기판(10)을 접지시키고 상기 게이트 전극(70)에 음전압을 인가하고 상기 드레인 전극(30)에 양전압을 인가하면, 상기 소스 전극(20) 및 상기 드레인 전극(30) 사이의 전계에 의해 상기 드레인 전극(30)의 반대 방향으로 가속된 전자로 인해 상기 트랩층(50)에 정공을 주입하며, 주입된 상기 정공은, 상기 트랩층(50)의 가장자리 영역인 정션 경계로부터 일정 거리만큼 내측으로 이격하여 최대의 농도를 형성한다. 이때, 내측으로 짧게 형성된 상기 트랩층(50)의 가장자리로 인하여, 상기 정공의 최대 농도 형성 영역과 상기 프로그램 연산에 따른 전자의 최대 농도 형성 영역을 일치시키게 되는 효과가 나타난다.
- [0047] 도 5는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 전하 트랩에 의한 전자와 정공의 공간상의 불

일치 문제가 해소되는 원리를 설명하기 위한 도면으로서, 트랩층(50), 즉 나이트라이드막의 길이를 조정함으로써 주입되는 전자-정공의 공간 불일치를 최소화할 수 있음을 보여준다.

[0048] 도 5를 참조하면, 프로그램 및 이레이즈 시 트랩층/나이트라이드막(50)에 트랩된 전자 및 정공 분포를 그래프 형태로 예시하였다. 정보 기록과 소거는 전자와 정공이 트랩층/나이트라이드막(50)에 동일한 위치로 주입될 때 재결합에 의해 서로 상쇄되는 원리를 이용한다. 하지만 기록과 소거 모두 국소적인 전하 주입에 의존하기 때문에 필연적으로 전자-정공 주입의 공간 불일치가 발생할 수 있다. 프로그램 및 이레이즈 반복 사이클링이 증가할수록 재결합에 의해 상쇄되지 않은 전자는 나이트라이드막(50) 우측 가장자리(즉, 드레인 정션 인근을 의미한다.)에 점진적으로 누적된다.

[0049] 앞서 도 2를 통해 설명한 바와 같이 이러한 전자-정공 주입의 공간 불일치는 트랩층/나이트라이드막(50)의 길이가 터널층(40) 및 차단층(60)의 길이와 같은 경우 매우 커질 수 있는데 반해, 본 발명의 일 실시예에 따른 도 5의 메모리 소자 구조에 따르면, 트랩층/나이트라이드막(50)이 일정 길이만큼 내측으로 짧게 형성됨으로써 이러한 전자-정공 주입의 공간 불일치를 최소화할 수 있다. 즉, 도 5는 트랩층/나이트라이드막(50)의 가장자리에서 상대적으로 트랩된 전자 농도가 높기 때문에 공간 불일치를 줄이기 위해서는 트랩층/나이트라이드막(50)의 길이를 내측으로 축소해야 함을 의미한다.

[0050] 보다 구체적으로, 국부적인 전자 주입의 CHEI에 의한 프로그램 시에는 전자가 트랩층/나이트라이드막(50) 가장자리 근처에서 최대 주입되지만, 국부적인 정공 주입의 HHI 방식에 의한 이레이즈 시에는 정공이 트랩층/나이트라이드막(50) 가장자리에서 약간 안쪽인 부분에서 최대 주입된다. 따라서 트랩층/나이트라이드막(50) 가장자리에는 전자가 많은 공간상의 불일치가 이루어지는데, 프로그램과 이레이즈의 사이클링 수가 커질수록 가장자리에서의 불일치는 점점 증가한다. 이 불일치 영역은 트랩층/나이트라이드막(50) 길이를 최적화함으로써 최소화될 수 있다.

[0051] 이와 같은 이유에서, 도 5는 트랩층/나이트라이드막(50)의 길이 조정을 통해 프로그램 시 트랩 전자의 분포의 최대 농도 영역과 이레이즈 시 트랩정공 분포의 최대 농도 영역이 거의 일치하게 되었음을 보여준다.

[0052] 요약하건대, 트랩층(50)은, 터널층(40) 및 차단층(60)보다 상대적으로 내측으로 짧게 형성된 가장자리로 인하여, 상기 전하 트랩형 메모리 소자에 정보를 기록하는 프로그램(program) 연산에 따라 누적되는 전자(electron)와 상기 전하 트랩형 메모리 소자에 정보를 소거하는 이레이즈(erase) 연산에 따라 형성되는 정공(hole) 간의 전자-정공 공간 불일치를 해소할 수 있다.

[0053] 이제, 이러한 트랩층의 가장자리의 길이를 결정하는 세 가지 방법을 예시하도록 한다.

[0054] 첫째, 트랩층에서 내측으로 짧게 형성된 가장자리 길이는, 프로그램 연산과 이레이즈 연산의 반복에 의해 누적되는 전자-정공 공간 불일치 정도를 최소화할 수 있는 길이를 실험적으로 산출함으로써 결정될 수 있다. 이러한 트랩층의 길이는, 소자의 적층 방향의 수직 단면을 참조하여 트랩층과 드레인 전극의 오버랩(overlap) 영역에 해당하는 트랩층을 제거함으로써 결정될 수도 있을 것이다.

[0055] 둘째, 트랩층에서 내측으로 짧게 형성된 가장자리 길이는, 프로그램 연산과 이레이즈 연산의 반복에 따른 내구도(endurance) 및 보존(retention) 특성이 최대화될 수 있는 길이를 실험적으로 산출함으로써 결정될 수 있다. 이러한 결정 방식은 이후 기술될 도 7a 및 도 7b에서 보다 구체적으로 설명하도록 한다.

[0056] 셋째, 트랩층에서 내측으로 짧게 형성된 가장자리 길이는, 프로그램 연산과 이레이즈 연산의 반복에 따른 정보 기록 및 삭제 속도가 최대화될 수 있는 길이를 실험적으로 산출함으로써 결정될 수 있다. 이러한 결정 방식은 이후 기술될 도 8a 및 도 8b에서 보다 구체적으로 설명하도록 한다.

[0057] 도 6은 본 발명의 다른 실시예에 따른 전하 트랩형 메모리 소자의 제조 방법을 도시한 흐름도로서, 앞서 설명한 도 3의 메모리 소자의 구조와 비교하여 설명의 중복을 피하기 위하여 여기서는 공정의 순서를 중심으로 각 과정을 약술하도록 한다. 또한, 이러한 트랩형 메모리 소자의 일례로서, 터널층은 터널 산화막(Tunnel Oxide)이고, 트랩층은 나이트라이드막(Nitride)이며, 차단층은 차단 산화막(Oxide)으로 구현될 수 있음은 당연하다.

[0058] S610 단계에서는, 기판에 소스(source) 전극과 드레인(drain) 전극을 형성한다.

[0059] S620 단계에서는, 상기 소스 전극과 상기 드레인 전극을 각각 말단에 연결하여 상기 기판의 상면에 상기 기판으로부터 주입되는 전하를 통과시키는 터널층을 적층한다.

[0060] S630 단계에서는, 상기 터널층의 상면에 상기 터널층을 통과한 전하를 트랩(trap)하는 트랩층을 형성한다.

- [0061] S640 단계에서는, 상기 트랩층의 상면에 전하를 차단하는 차단층을 형성한다.
- [0062] S650 단계에서는, 상기 차단층의 상면에 게이트(gate) 전극을 형성한다.
- [0063] 특히, 도 6의 전하 트랩형 메모리 소자의 제조 방법은, 상기 트랩층의 가장자리를 상기 터널층 및 상기 차단층보다 소정 길이만큼 내측으로 더 짧게 가공하는 과정을 더 포함한다. 이렇게 가공된 트랩층은, 상기 터널층 및 상기 차단층보다 상대적으로 내측으로 짧게 형성된 가장자리로 인하여, 상기 전하 트랩형 메모리 소자에 정보를 기록하는 프로그램(program) 연산에 따라 누적되는 전자(electron)와 상기 전하 트랩형 메모리 소자에 정보를 소거하는 이레이즈(erase) 연산에 따라 형성되는 정공(hole) 간의 전자-정공 공간 불일치를 해소하는 역할을 수행한다.
- [0064] 일례로서, 프로그램 연산은 CHEI(channel hot electron injection) 방식에 따른 국부적인 전자 주입에 의한 기록으로 구현될 수 있고, 이레이즈 연산은 HHI(hot hole injection) 방식에 따른 국부적인 정공 주입에 의한 소거로 구현될 수 있다.
- [0065] 이러한 프로그램 연산의 경우, 상기 기판 및 상기 소스 전극을 접지시키고 상기 게이트 전극 및 상기 드레인 전극에 각각 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극 방향으로 가속된 전자가 상기 드레인 전극 근처에서 상기 터널층을 통과하여 상기 트랩층으로 주입되며, 주입된 상기 전자는 상기 트랩층의 가장자리 영역인 정션(junction) 경계에서 최대의 농도를 형성하되, 내측으로 짧게 형성된 상기 트랩층의 가장자리로 인하여, 상기 전자의 최대 농도 형성 영역과 상기 이레이즈 연산에 따른 정공의 최대 농도 형성 영역을 일치시키는 효과를 가질 수 있다.
- [0066] 또한, 이레이즈 연산의 경우, 상기 기판을 접지시키고 상기 게이트 전극에 음전압을 인가하고 상기 드레인 전극에 양전압을 인가하면, 상기 소스 전극 및 상기 드레인 전극 사이의 전계에 의해 상기 드레인 전극의 반대 방향으로 가속된 전자로 인해 상기 트랩층에 정공을 주입하며, 주입된 상기 정공은, 상기 트랩층의 가장자리 영역인 정션 경계로부터 소정 거리만큼 내측으로 이격하여 최대의 농도를 형성하되, 내측으로 짧게 형성된 상기 트랩층의 가장자리로 인하여, 상기 정공의 최대 농도 형성 영역과 상기 프로그램 연산에 따른 전자의 최대 농도 형성 영역을 일치시키는 효과를 가질 수 있다.
- [0067] 한편, 제조 공정의 관점에서 이러한 트랩층 가장자리의 가공 과정은 공정상의 요구에 따라 다양한 방식으로 구현될 수 있는데, 도 6에서는 'f1(S660 단계)' 및 'f2(S670 단계)'의 두 가지 방식을 예시하였다.
- [0068] 첫 번째 실시예(f1)로서, S660 단계는, 트랩층의 소제에 대응하여 상기 트랩층의 가장자리만을 선택적으로 식각(etching)함으로써 상기 터널층 및 상기 차단층보다 내측으로 더 짧은 트랩층을 형성한다. 이 과정은 메모리 소자가 적층된 상태에서 트랩층과 드레인 전극이 오버랩되는 영역에 대한 트랩층의 가장자리를 제거하는 등방성 에칭을 통해 구현될 수 있다. 또한, S660 단계는 터널층의 상면에 트랩층을 형성하는 과정(S630)과 트랩층의 상면에 차단층을 형성하는 과정(S640) 이후에 수행되면 충분하며, 필요에 따라서는 차단층의 상면에 게이트 전극을 형성하는 과정(S650) 이후에 수행되어도 무방하다.
- [0069] 두 번째 실시예(f2)로서, S670 단계는, 터널층의 상면에 트랩층을 형성하는 과정(S630)에 수반하여 수행되는 것이 바람직하다. S670 단계에서는 트랩층의 가장자리를 마스크(masking)함으로써, 상기 터널층 및 상기 차단층보다 내측으로 더 짧은 트랩층을 형성할 수 있다.
- [0070] 나아가, 도 6의 실시예에 따른 전하 트랩형 메모리 소자의 제조 방법에서는, 프로그램 연산과 이레이즈 연산의 반복에 의해 누적되는 전자-정공 공간 불일치 정도를 최소화할 수 있는 길이를 미리 실험적으로 산출하는 과정을 더 포함할 수 있다. 이를 통해, 트랩층의 가장자리의 길이를 내측으로 짧게 형성함에 있어서, 앞서 산출된 길이를 참조하여 형성하고자 하는 가장자리의 길이를 결정할 수 있다.
- [0071] 이와 마찬가지로, 베이크 리텐션(bake retention)이나 프로그램/이레이즈 연산의 속도 차이를 미리 실험적으로 산출함으로써, 트랩층에서 내측으로 짧게 형성되어야 하는 가장자리의 길이를 결정할 수도 있을 것이다.
- [0072] 도 7a는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 사이클링 수의 증가에 따른 윈도우 크기의 변화를 예시한 도면으로서, 나이트라이드막 내에서 전자-정공 공간 불일치로 인해 발생하는 현상에 대한 측정 결과를 보여준다.
- [0073] 도 7a를 참조하면, 사이클링이 진행될수록 나이트라이드막 우측 가장자리의 전자누적 현상 때문에 프로그램 문턱 전압(V_{TP}) 및 이레이즈 문턱 전압(V_{TE})이 점진적으로 변화하는 것을 보여준다. 누적되는 전자의 효과로 인해

프로그램 및 이레이즈 문턱 전압 모두 상승함을 알 수 있다.

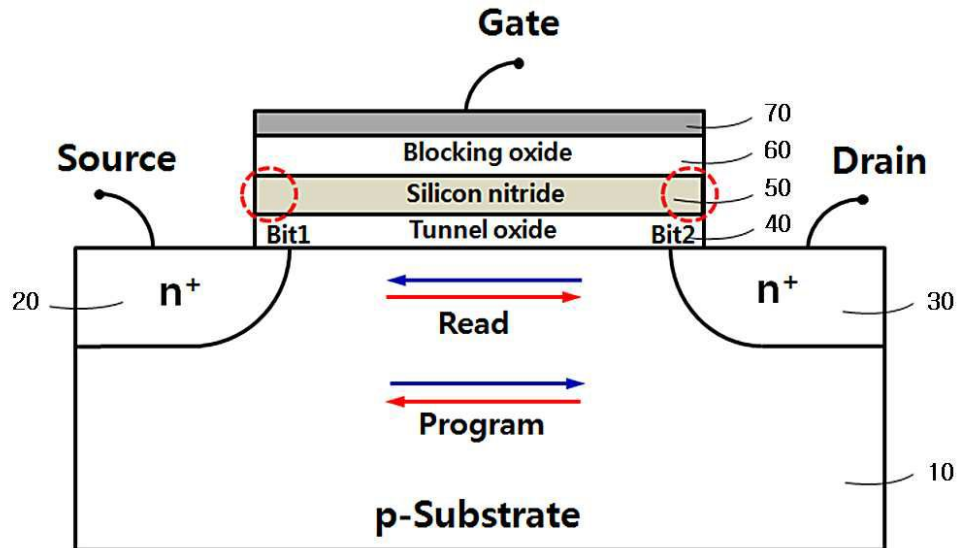
- [0074] 도 7b는 또 다른 전자-정공 공간 불일치를 보여주는 측정 데이터로서, 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 1,000회 사이클링을 진행한 후 150℃에서 20시간 경과시 베이크 리텐션(bake retention) 특성을 예시한 도면이다. 1,000번의 사이클링 진행 후 즉시 측정한 트랜스컨덕턴스(G_m) 데이터와 150℃에서 20시간 경과 후 측정한 데이터에는 상당한 G_m 변화가 있음을 알 수 있다. 이는 고온 열확산 효과에 의해 전자-정공 공간 불일치가 상당 부분 해소되어 G_m 향상이 이루어진 것으로 설명된다.
- [0075] 도 8a 및 도 8b는 각각 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자에서 전하 트랩층의 길이에 따른 프로그램 및 이레이즈 연산의 속도 차이를 예시한 그래프이다. 나이트라이드막의 길이가 짧아질수록 프로그램 및 이레이즈 속도는 빨라지기 때문에 나이트라이드막의 길이를 줄임으로써 나이트라이드막의 가장자리에서 발생하는 전자-정공의 불일치를 제거할 수 있을 뿐만 아니라 프로그램 및 이레이즈 특성을 개선할 수 있음을 보여준다.
- [0076] 도 9는 본 발명의 일 실시예에 따른 전하 트랩형 메모리 소자의 셀 구조를 예시한 도면으로서, SONOS 메모리 소자의 NAND 플래시 구성을 개략적으로 보여 주는 회로도이다.
- [0077] 도 9를 참조하면, SONOS 메모리 소자는 적층형 게이트 구조를 가지는 복수의 메모리 셀을 포함할 수 있다. 컬럼 방향으로 배열되는 각 메모리 셀은 MOS 트랜지스터의 제 1 전극 및 제 2 전극 즉, 소스 및 드레인 전극을 상호 공유하는 형태로 직렬 접속되도록 구현될 수 있다.
- [0078] 상기된 본 발명의 실시예들에 따르면, 본 발명의 실시예들에 따른 전하 트랩형 메모리 소자에서는 종래의 적층 구조에 따른 정보 저장 및 소거 방법으로 인해 발생하는 전자-정공의 주입의 공간 불일치를 최소화함으로써, 프로그램 속도와 이레이즈 속도를 향상시키고, 동시에 내구도(endurance) 및 보존(retention) 특성을 개선할 수 있다.
- [0079] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

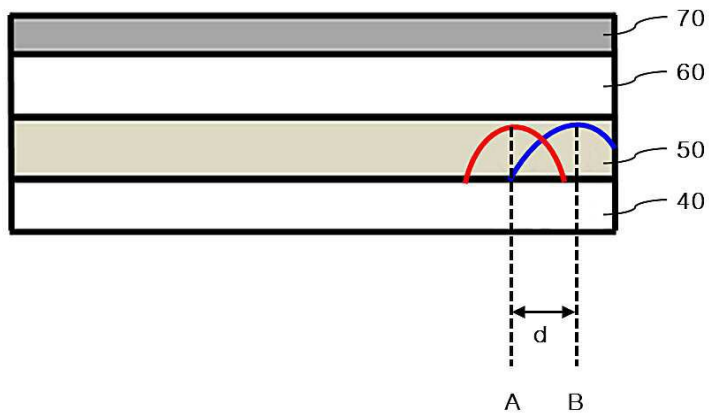
- [0080] 10 : 기판
 20 : 소스 전극
 30 : 드레인 전극
 40 : 터널층
 50 : 트랩층
 60 : 차단층
 70 : 게이트 전극

도면

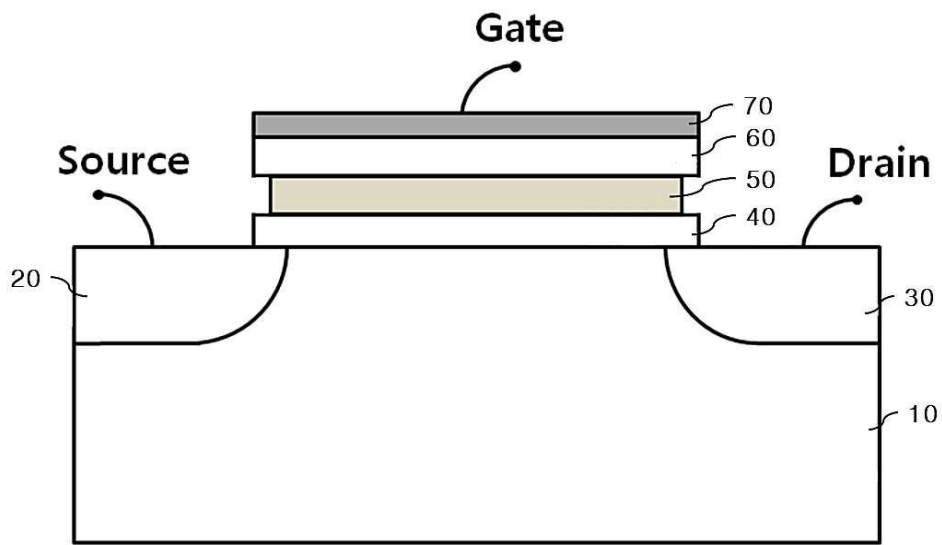
도면1



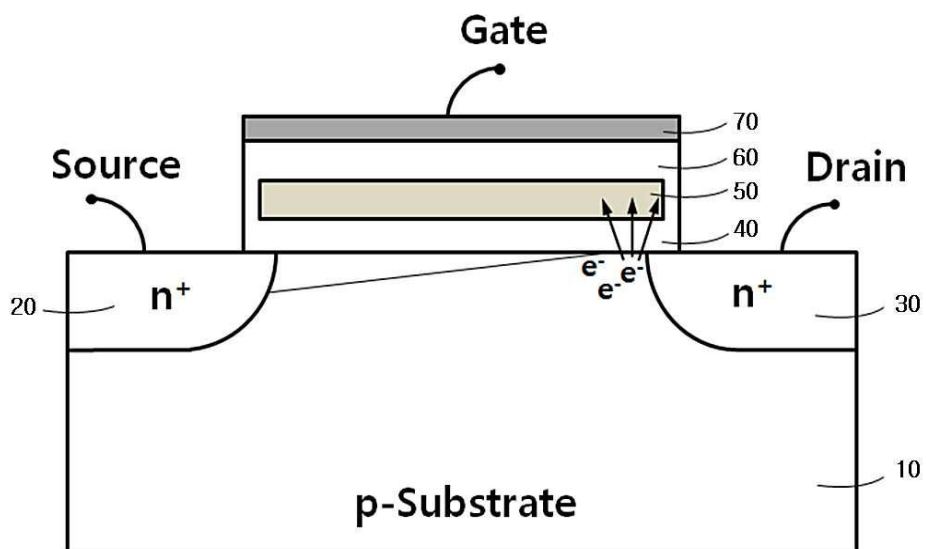
도면2



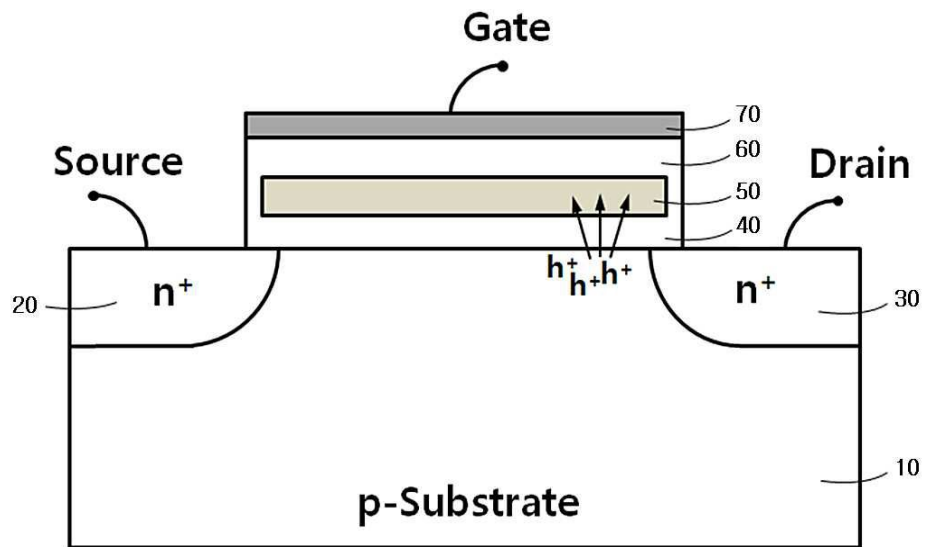
도면3



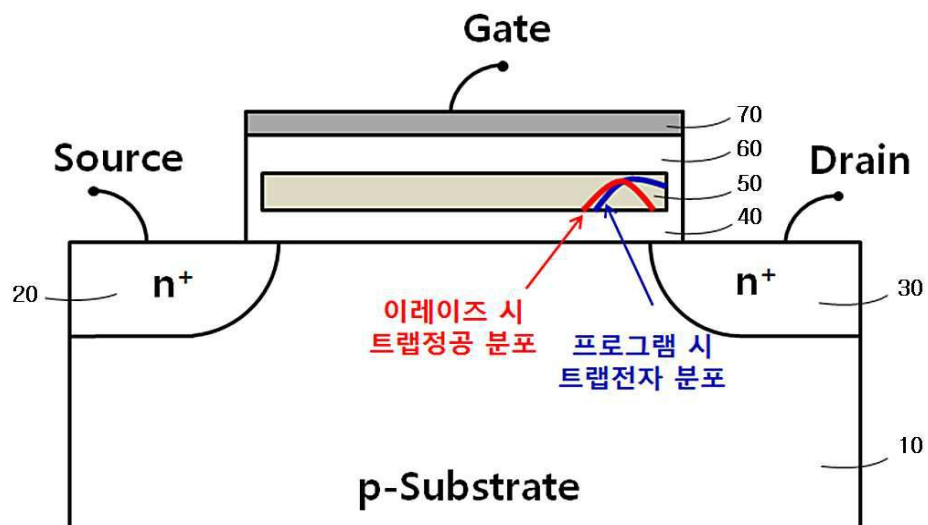
도면4a



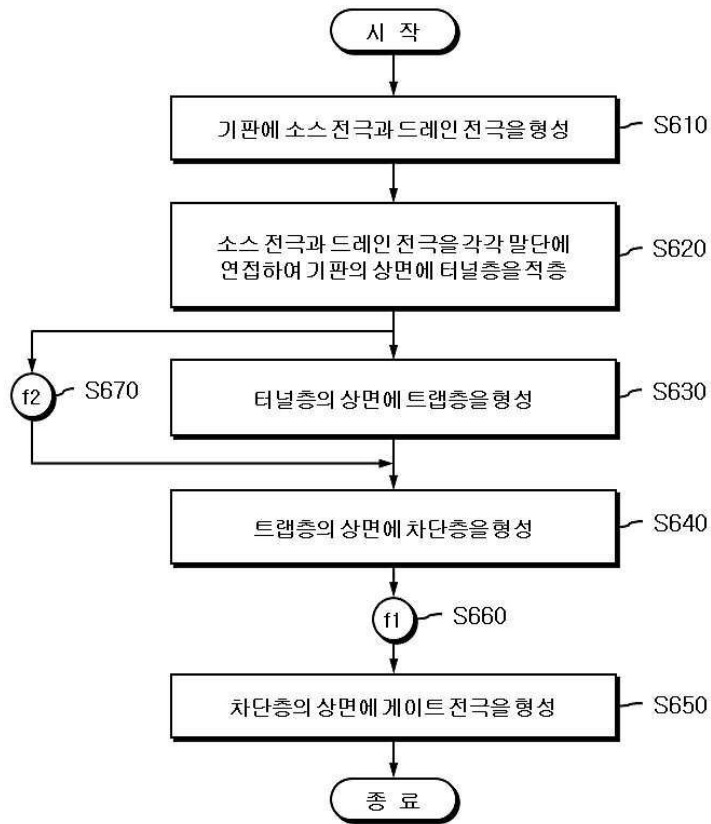
도면4b



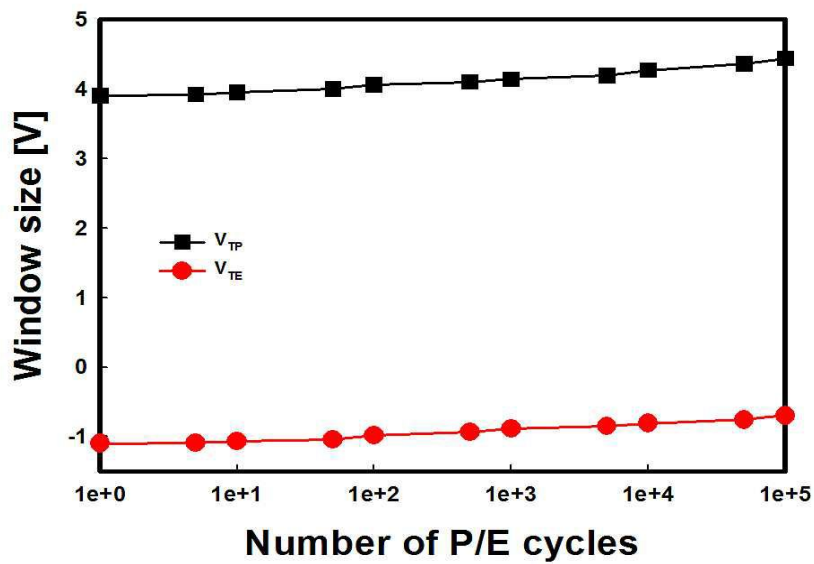
도면5



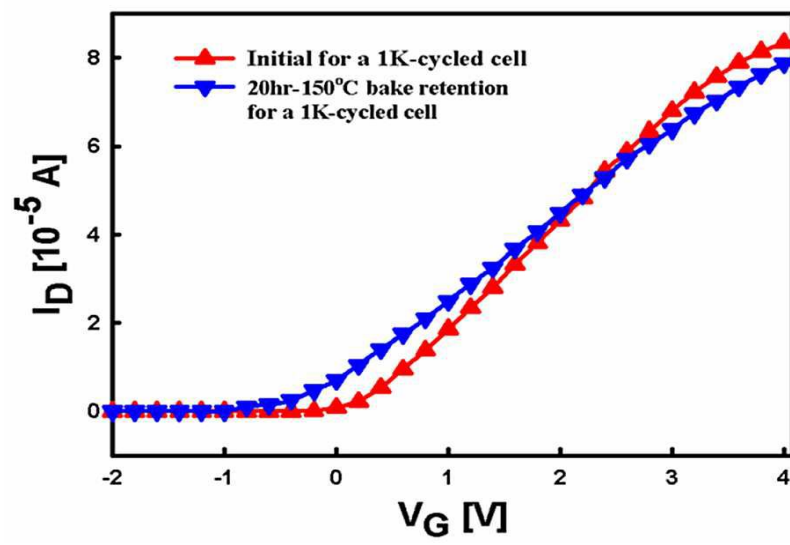
도면6



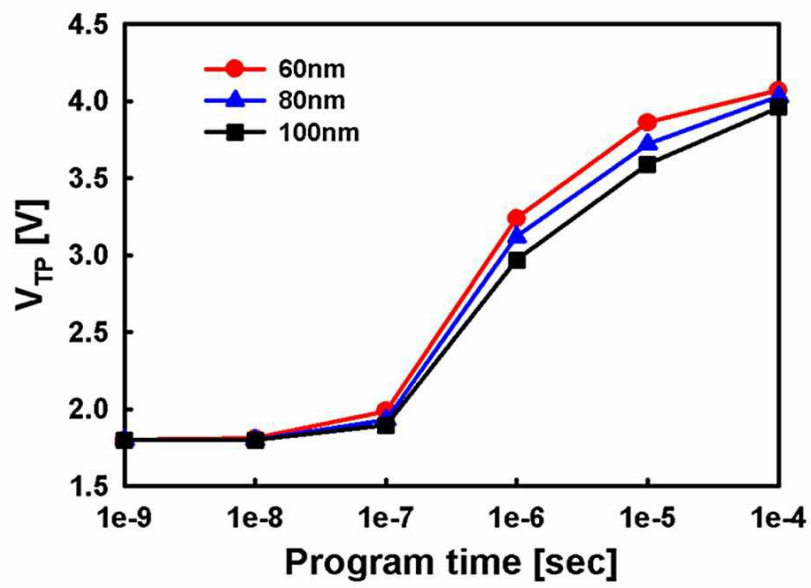
도면7a



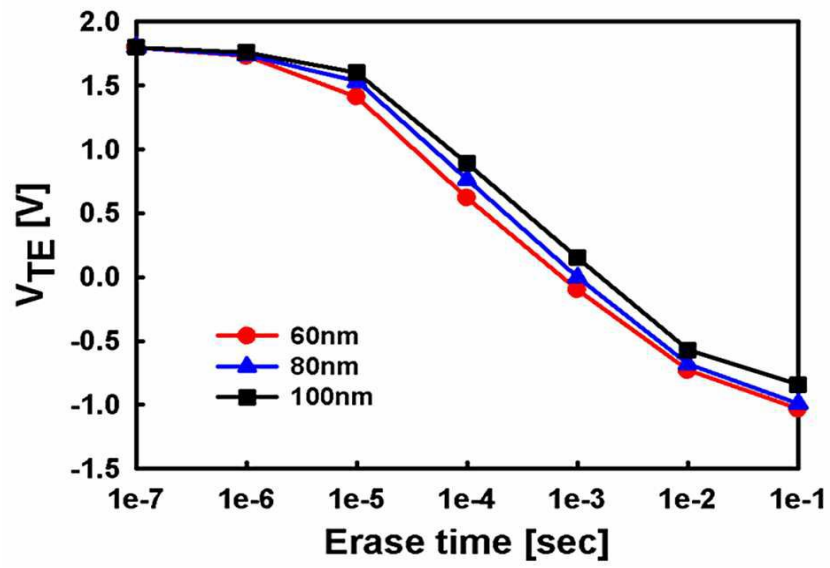
도면7b



도면8a



도면8b



도면9

