

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関

国際事務局

(43) 国際公開日

2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252675 A1

(51) 国際特許分類:

H01L 21/3205 (2006.01) H01L 23/532 (2006.01)

H01L 21/336 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号:

PCT/JP2023/021567

(22) 国際出願日:

2023年6月9日(09.06.2023)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人: シャープディスプレイテクノロジー株式会社(SHARP DISPLAY TECHNOLOGY CORPORATION) [JP/JP]; 〒5190198 三重県亀山市白木町幸川4 6 4 番 Mic (JP).

(72) 発明者: 中田 幸伸 (NAKATA, Yukinobu). 磯部 徹 (ISOBE, Tohru). 櫻井 猛久 (SAKURAI, Takehisa).

(74) 代理人: 弁理士法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府

大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

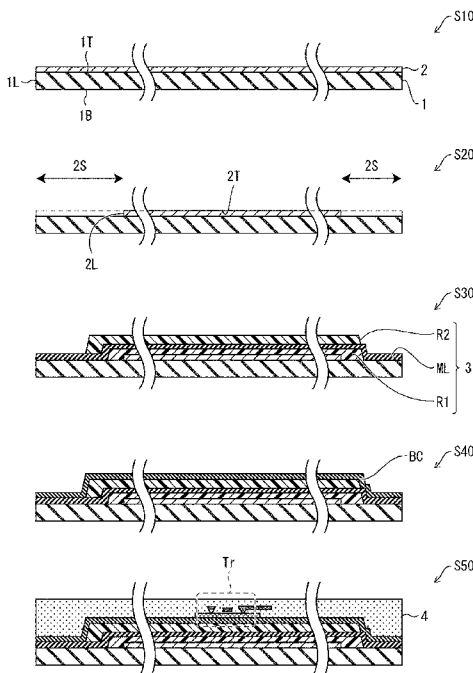
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称: 半導体装置の製造方法、および表示装置の製造方法

[図1]



(57) Abstract: A method for manufacturing a semiconductor device (Tr) according to the present disclosure includes: a step for forming a conductive film (2) on an upper surface (1T) of an insulating substrate (1); a step for forming a base (3) containing a resin on an upper surface (2T) of the conductive film (2); and a step for forming a semiconductor device (Tr) in an upper layer of the base (3).

(57) 要約: 本開示に係る半導体装置 (Tr) の製造方法は、絶縁性基板 (1) の上面 (1T) に、導電性膜 (2) を形成する工程と、導電性膜 (2) の上面 (2T) に、樹脂を含む下地 (3) を形成する工程と、下地 (3) より上層に半導体装置 (Tr) を形成する工程と、を含む。

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置の製造方法、および表示装置の製造方法
技術分野

[0001] 本開示は、半導体装置の製造方法、および表示装置の製造方法に関する。

背景技術

[0002] 特許文献1は、ガラス基板上に半導体装置を作製する際に、作製工程の初期段階でガラス基板の下面側に導電性を有する薄膜（例えば、導電性を付与した珪素膜等）を形成することを開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開平9－221068号

発明の概要

発明が解決しようとする課題

[0004] 絶縁性基板の上に半導体装置を製造する際に、静電破壊によって欠陥が生じ、半導体装置の製造歩留りが低下する。

課題を解決するための手段

[0005] 本開示に係る半導体装置の製造方法は、絶縁性基板の上面に、導電性膜を形成する工程と、前記導電性膜の上面に、樹脂を含む下地を形成する工程と、前記下地より上層に、半導体装置を形成する工程と、を含む方法である。

[0006] 本開示に係る表示装置の製造方法は、本開示に係る半導体装置の製造方法を含み、前記半導体装置より上層に、発光素子を形成する工程と、前記発光素子より上層に、前記発光素子を封止する封止層を形成する工程と、をさらに含む方法である。

発明の効果

[0007] 本開示の一態様によれば、半導体装置または半導体装置を含む表示装置の製造歩留りを向上することができる。

図面の簡単な説明

[0008] [図1]本開示の一実施形態に係る半導体装置の製造方法の一例を示す断面図である。

[図2]図1に示した方法による電圧負荷の一例を説明する断面図である。

[図3]比較例の絶縁性基板に導電性膜を形成しない方法による電圧負荷の一例を説明する断面図である。

[図4]図1に示した絶縁性基板と、パターニングされた導電性膜と、下地に含まれる樹脂との位置関係の一例を示す平面透視図である。

[図5]図1に示した半導体装置の製造方法の一例の続きを示す断面図である。

[図6]本開示の実施例に係る透過率グラフを示す図である。

[図7]図1および図4に示した絶縁性基板の再利用の一例を示す断面図である。

[図8]図1および図4に示した絶縁性基板の再利用の別の一例を示す断面図である。

[図9]本開示の一実施形態に係る半導体装置の製造方法の一変形例を示す断面図である。

[図10]本開示の一実施形態に係る半導体装置の製造方法の一例を示す断面図である。

[図11]本開示の一実施形態に係る表示装置の製造方法の一例を示す断面図である。

発明を実施するための形態

[0009] [実施形態1]

図1は、本開示の一実施形態に係る半導体装置の製造方法の一例を示す断面図である。図1に示すように、半導体装置の製造方法は、絶縁性基板1の上面1Tに、導電性膜2を形成する工程（ステップS10）と、導電性膜2の上面2Tに樹脂を含む下地3を形成する工程（ステップS30）と、下地3より上層に、半導体装置Trを含むバックプレーン4を形成する工程（ステップS50）とを含む。絶縁性基板1は例えば、ガラス基板である。半導

体装置 T_r は例えば、薄膜トランジスタである。

[0010] 本開示において、「要素 X の上面に要素 Y を形成する」とは、要素 Y が要素 X の上面に直接接するように、要素 X よりも後に要素 Y を形成することを意味する。「要素 X より上層に要素 Y を形成する」とは、要素 X よりも後に要素 Y を形成することを意味し、要素 Y が要素 X の上面に接する場合も接しない場合も包含する。

[0011] 図 1 に示す方法によれば、絶縁性基板 1 の上面 1 T に導電性膜 2 を形成する。半導体装置の製造の様々な工程で、摩擦によって静電気が生じ、絶縁性基板 1 に局所的な電荷が生じる。導電性膜 2 は、局所的な電荷を分散させ、面積あたりの電荷量を低減する。このため、半導体装置 T_r を含む、導電性膜 2 より上層に形成される構成要素に対する、面積あたりの電圧負荷が低減される。

[0012] 図 2 は、図 1 に示した方法による電圧負荷の一例を説明する断面図である。簡単化のために、図 2 および図 2 を参照する説明では、導電性膜 2 とバックプレーン 4 との間の層を無視する。図 2 に示すように、絶縁性基板 1 は、ピンまたはアームなどの支持器具 S_T によって支持または搬送される。絶縁性基板 1 の下面 1 B と支持器具 S_T との間の接触または摩擦によって、静電気が生じ、下面 1 B に電荷 $-Q$ が生じることがある。このとき、絶縁性基板 1 の下面 1 B の電荷 $-Q$ が、上面 1 T に電荷 $+Q$ を誘起し、絶縁性基板 1 の上面 1 T の電荷 $+Q$ が、導電性膜 2 を介して、バックプレーン 4 の下面に電荷 $-Q$ を誘起する。そして、バックプレーン 4 の下面の電荷 $-Q$ が、上面に電荷 $+Q$ を誘起し、バックプレーン 4 の上面と下面との間に電圧 V_2 が加わる。導電性膜 2 によって、絶縁性基板 1 の上面 1 T の電荷 $+Q$ が分布している面積 S_1 よりも、バックプレーン 4 の下面の電荷 $-Q$ が分布している面積 S_2 は、大きい ($S_1 < S_2$)。

[0013] 図 3 は、比較例の絶縁性基板に導電性膜を形成しない方法による電圧負荷の一例を説明する断面図である。簡単化のために、図 3 および図 3 を参照する説明では、絶縁性基板 101 とバックプレーン 104 との間の層を無視す

る。図3に示すように、絶縁性基板101の下面に電荷 $-Q$ が生じたとき、絶縁性基板1の下面の電荷 $-Q$ が、上面に電荷 $+Q$ を誘起し、絶縁性基板101の上面の電荷 $+Q$ が、バックプレーン104の下面に電荷 $-Q$ を誘起する。そして、バックプレーン104の下面の電荷 $-Q$ が、上面に電荷 $+Q$ を誘起し、バックプレーン104の上面と下面との間に電圧 V_1 が加わる。導電性膜が無い場合、絶縁性基板101の上面の電荷 $+Q$ が分布している面積 S_1 と、バックプレーン104の下面の電荷 $-Q$ が分布している面積は、同等である。

[0014] バックプレーン4, 104を平行板コンデンサと見做すことができる。平行板コンデンサに関し、下記の関係式(1)が成立することが知られている。

$$[0015] \quad Q = \varepsilon \times V \times S / d \cdots \cdots (1)$$

ここで、

Q : コンデンサの電極に蓄積されている電荷量の絶対値、

ε : コンデンサの電極間の誘電率、

V : コンデンサの電極間の電圧の絶対値、

S : コンデンサの電極面積、

d : コンデンサの電極間の距離、である。

[0016] 比較例のバックプレーン104の蓄積されている電荷量 Q 、誘電率 ε および厚さ d が、本開示のバックプレーン4の蓄積されている電荷量 Q 、誘電率 ε および厚さ d と同等であるとき、上記関係式(1)に電極間の電圧 V_1 、 V_2 と電極面積 S_1 、 S_2 を適用して関係式(2)を得る。さらに、電極面積 $S_1 < S_2$ を適用して関係式(3)を得る。なお、 V_1 、 S_1 、 V_2 、 S_2 は0より大きい。

$$[0017] \quad Q = \varepsilon \times V_1 \times S_1 / d = \varepsilon \times V_2 \times S_2 / d \cdots \cdots (2)$$

$$V_1 > V_2 \cdots \cdots (3)$$

したがって、比較例の絶縁性基板101に導電性膜を形成しない方法と比較して、本開示に係る方法によれば、半導体装置Trに対する面積あたりの

電圧負荷を低減することができる。そして、半導体装置Ｔｒの製造歩留りを向上することができる。

[0018] また、図１に示す方法によれば、絶縁性基板１の上面１Ｔに導電性膜２を形成し、導電性膜２より上層に下地３およびバックプレーン４を形成する。このため、絶縁性基板１を支持する支持器具ＳＴが導電性膜２に接触しない。一方、絶縁性基板の下面に導電性膜を形成し、絶縁性基板より上層に下地およびバックプレーンを形成する方法によれば、絶縁性基板を支持する器具が導電性膜に接触し、導電性膜の一部が剥落することがある。剥落片は異物となり、半導体装置の製造歩留りを低下させる。さらに、絶縁性基板の下面に導電性膜を形成する方法によれば、接触した器具と導電性膜との間で電荷が大規模に移動し、構成要素の静電破壊に繋がる恐れがある。

[0019] したがって、絶縁性基板の下面に導電性膜を形成する方法と比較して、本開示に係る方法によれば、バックプレーン４を含む半導体装置の製造歩留りを向上することができる。

[0020] 図１を再度参照して、導電性膜２を、絶縁性基板１の上面１Ｔの全体に形成する。本開示に係る半導体装置の製造方法は、導電性膜２を、導電性膜２の外縁部２Ｓを除去するように、導電性膜２をパターニングする工程（ステップＳ２０）をさらに含む。ステップＳ３０において有益には、下地３がパターニングされた導電性膜２の上面２Ｔおよび側面２Ｌを覆うように、下地３を形成する。導電性膜２が下地３によって保護され、導電性膜２の剥落を低減できる。導電性膜２の外縁部２Ｓは、絶縁性基板１の上面１Ｔの外縁部の上に形成された部分である。

[0021] 本開示に係る半導体装置の製造方法は、下地３を形成する工程（ステップＳ３０）において、導電性膜２の上面２Ｔに第１樹脂層Ｒ１を形成し、第１樹脂層Ｒ１より上層に中間層ＭＬを形成し、中間層ＭＬより上層に第２樹脂層Ｒ２を形成する。第１樹脂層Ｒ１を中間層ＭＬで覆うことによって、第１樹脂層Ｒ１が吸湿して絶縁性基板１から剥離することを低減できる。第１樹脂層Ｒ１および第２樹脂層Ｒ２はポリイミドなどの樹脂を含んでよい。中間

層MLは、窒化シリコン、酸化シリコンおよび窒酸化シリコンなどの無機材料を含んでよい。

[0022] 図4は、図1に示した絶縁性基板と、パターニングされた導電性膜と、下地に含まれる樹脂との位置関係の一例を示す平面透視図である。図4に示すように、絶縁性基板1の外周と導電性膜2の外周との間に、下地3に含まれる樹脂の外周が位置する。絶縁性基板1の外周と導電性膜2の外周との間の間隔は、18～19〔mm〕でよい。また、図1を再度参照して、下地3に含まれる第1樹脂層R1は、外縁部で絶縁性基板1に直接接触している。

[0023] 本開示に係る半導体装置の製造方法は、下地3より上層にベースコートBCを形成する工程（ステップS40）をさらに含み、ベースコートBCより上層に半導体装置Trを形成する。第2樹脂層R2をベースコートBCで覆うことによって、第2樹脂層R2が吸湿して絶縁性基板1から剥離することを低減できる。ベースコートBCは、窒化シリコン、酸化シリコンおよび窒酸化シリコンなどの無機材料を含んでよい。

[0024] 導電性膜2は、透明金属酸化物を含んでよく、例えば、インジウムスズ酸化物（ITO）、インジウム亜鉛酸化物（IZO）およびインジウムガリウム亜鉛酸化物（InGaZnO）を含む群から選択される1つ以上を含んでよい。あるいは、導電性膜2は、導電性有機物を含んでよく、例えば、カーボンナノチューブ、グラフェン、およびフラーレンを含む群から選択される1つ以上を含んでよい。あるいは、導電性膜2は、導電性を付与する不純物イオンをドーピングされたシリコン薄膜などの半導体薄膜であってよい。シリコン薄膜に導電性を付与する不純物は、リンイオンまたはボロンイオンを含む。

[0025] 導電性膜2は、ステップS10よりも後の工程、例えば、半導体装置Trを形成する工程で生じる熱に耐える材料からなる。導電性膜2は、400℃～500℃に耐える耐熱性を有してよい。

[0026] 導電性膜2は、電氣的にフローティング状態であってよい。下地3に開口を設け、この開口を通じて、導電性膜2は、バックプレーン4中の配線層と

電氣的に接続されてもよい。この電氣的接続は、後述する下地 3 を絶縁性基板 1 から剥離する工程（ステップ S 7 0）によって、分離される。

[0027] ステップ S 1 0 において導電性膜 2 を、絶縁性基板 1 の上面 1 T の全体に形成する。また、導電性膜 2 を、絶縁性基板 1 の上面 1 T のみに形成する。絶縁性基板 1 の下面 1 B および側面 1 L は、非導電性のままであるため、支持器具 S T が下面 1 B または側面 1 L に接触しても、支持器具 S T と絶縁性基板 1 との間で電荷が移動困難である。したがって、支持器具 S T との電荷移動に起因する静電破壊を低減することができる。

[0028] 図 5 は、図 1 に示した半導体装置の製造方法の一例の続きを示す断面図である。図 5 に示すように、半導体装置の製造方法は、絶縁性基板 1 の下から下地 3 にレーザを照射する工程（ステップ S 6 0）と、下地 3 を絶縁性基板 1 から剥離する工程（ステップ S 7 0）と、をさらに含む。レーザ照射によって、下地 3 の樹脂が変性し、剥離し易くなる。このため、絶縁性基板 1 および導電性膜 2 は、レーザの透過率が高いことが有益である。例えば、導電性膜 2 は、レーザの透過率が 6 0 % 以上であってよい。例えば、絶縁性基板 1 および導電性膜 2 は合計で、レーザの透過率が 6 0 % 以上であってよい。ステップ S 6 0 で照射するレーザの中心波長は、例えば 3 4 3 [nm] である。ステップ S 7 0 において導電性膜 2 は概ね、絶縁性基板 1 に残る。

[0029] 図 6 は、本開示の実施例に係る透過率グラフを示す図である。図 6 において、破線は、参照例としてガラス基板のみの透過率グラフを示す。実線のうち「アニールあり」は、ガラス基板上に 4 2 nm の平均厚さを有する I T O 薄膜を形成し、I T O 薄膜を 5 0 0 °C でアニール処理したものについて、ガラス基板および I T O 薄膜の合計の透過率グラフを示す。実線のうち「アニールなし」は、ガラス基板上に 2 4 ~ 4 2 nm の平均厚さを有する I T O 薄膜を形成し、I T O 薄膜をアニール処理していないものについて、ガラス基板および I T O 薄膜の合計の透過率グラフを示す。I T O 薄膜の厚みには面内ばらつきがある。図 6 の縦軸は透過率 [%] を示し、横軸は波長 [nm] を示す。

[0030] 図6に示すように、レーザの中心波長343[nm]において、ガラス基板のみの透過率は90%未満であり、ガラス基板およびITO薄膜の合計の透過率は、約54%以上である。「ガラス基板およびITO薄膜の合計の透過率」＝「ガラス基板の透過率」×「ITO薄膜の透過率」であり、90%×60%=54%である。これらのため、図6に実線で透過率グラフを示した実施例の何れのITO薄膜も、レーザの透過率が約60%以上である。さらに、レーザの中心波長343[nm]において、「アニールあり」の合計の透過率は、「アニールなし」の合計の透過率よりも大きく、60%以上である。したがって、本開示に係る半導体装置の製造方法は、導電性膜2をアニール処理する工程をさらに含むことが有益である。

[0031] 図7は、図1および図4に示した絶縁性基板の再利用の一例を示す断面図である。図7に示すように、下地3を剥離したあとの絶縁性基板1および導電性膜2を再利用してよい。例えば、ステップS70で、中間層MLおよびベースコートBCなどの不要な膜が絶縁性基板1に残っている場合、絶縁性基板1から不要な膜を除去し（ステップS80）、続いて、ステップS30以後の工程を再度行う。

[0032] 図8は、図1および図4に示した絶縁性基板の再利用の別の一例を示す断面図である。図8に示すように、下地3を剥離したあとの絶縁性基板1から、絶縁性基板1より上層の上膜UFを除去して、絶縁性基板1を再利用してよい。上膜UFは導電性膜2を含んでよい。例えば、絶縁性基板1から導電性膜2、中間層MLおよびベースコートBCを含む上膜UFを除去し（ステップS90）、続いて、ステップS10以後の工程を再度行う。

[0033] (変形例)

図9は、本開示の一実施形態に係る半導体装置の製造方法の一変形例を示す断面図である。図9に示すように、ステップS20において、導電性膜2の外縁部2Sに加えて、導電性膜2の外縁部2S以外の部分の任意の一部2Pも除去するように、導電性膜2をパターニングしてよい。

[0034] 導電性膜2は光の透過および反射に影響する。この影響が、半導体装置の

製造に不都合である場合、導電性膜 2 の一部 2 P を適宜除去してよい。例えば、導電性膜 2 によってアライメントマーク AM が視認困難になる場合、導電性膜 2 のうちアライメントマーク AM の直上および近傍の部分を除去する。

[0035] 〔実施形態 2〕

本開示の他の実施形態について、以下に説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を繰り返さない。

[0036] 図 10 は、本開示の一実施形態に係る半導体装置の製造方法の一例を示す断面図である。図 10 に示すように、導電性膜 2 をパターニングしなくてもよく、図 1 に示したステップ S 20 を省略してよい。絶縁性基板 1 の上面 1 T の全体に導電性膜 2 を形成した後、そのまま、導電性膜 2 の上面 2 T に下地 3 を形成する。

[0037] 〔実施形態 3〕

図 11 は、本開示の一実施形態に係る表示装置の製造方法の一例を示す断面図である。図 11 に示すように、本開示に係る表示装置の製造方法は、本開示に係る半導体装置の製造方法を含み、半導体装置 T r より上層に発光素子 E d を形成する工程（ステップ S 100）と、発光素子 E d より上層に、発光素子 E d を封止する封止層 6 を形成する工程（ステップ S 110）とをさらに含む。ステップ S 60 およびステップ S 70 は、ステップ S 100 およびステップ S 110 よりも後に行われる。

[0038] 本開示に係る表示装置の製造方法は、発光素子 E d を形成する工程（ステップ S 100）において、半導体装置 T r より上層に画素電極 P E を形成し、画素電極 P E より上層に発光層 E M を形成し、発光層 E M より上層に共通電極 C E を形成する。また、画素電極 P E のエッジを覆うエッジカバー膜 E C、画素電極 P E と発光層 E M との間に位置する電荷機能層、および共通電極 C E と発光層 E M との間に位置する電荷機能層を形成してよい。

[0039] 発光素子 E d は、発光層 E M に有機発光材料を含む有機発光ダイオード（

OLED)であっても、発光層EMに発光性量子ドットを含む量子ドット発光ダイオード(QLED)であってもよい。

[0040] 本開示は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本開示の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

- [0041] 1、101 絶縁性基板
- 1 T 上面
- 2 導電性膜
- 2 L 導電性膜の側面
- 2 P 導電性膜の外縁部以外の部分の一部
- 2 S 導電性膜の外縁部
- 2 T 導電性膜の上面
- 3 下地
- 4 バックプレーン
- 6 封止層
- BC ベースコート
- Ed 発光素子
- ML 中間層
- R1 第1樹脂層
- R2 第2樹脂層
- Tr 半導体装置
- UF 上膜

請求の範囲

- [請求項1] 絶縁性基板の上面に、導電性膜を形成する工程と、
前記導電性膜の上面に、樹脂を含む下地を形成する工程と、
前記下地より上層に、半導体装置を形成する工程と、を含む、半導体装置の製造方法。
- [請求項2] 前記導電性膜の外縁部を除去するように、前記導電性膜をパターニングする工程をさらに含む、請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記導電性膜の前記外縁部以外の部分の一部も除去するように、前記導電性膜をパターニングする、請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記下地がパターニングされた前記導電性膜の上面および側面を覆うように、前記下地を形成する、請求項2または3の何れか1項に記載の半導体装置の製造方法。
- [請求項5] 前記導電性膜は、透明金属酸化物を含む、請求項1～4の何れか1項に記載の半導体装置の製造方法。
- [請求項6] 前記導電性膜は、インジウムスズ酸化物、インジウム亜鉛酸化物、およびインジウムガリウム亜鉛酸化物を含む群から選択される1つ以上を含む、請求項5に記載の半導体装置の製造方法。
- [請求項7] 前記導電性膜は、導電性有機物を含む、請求項1～4の何れか1項に記載の半導体装置の製造方法。
- [請求項8] 前記導電性膜は、導電性を付与する不純物イオンをドーピングされたシリコン薄膜である、請求項1～4の何れか1項に記載の半導体装置の製造方法。
- [請求項9] 前記導電性膜は、前記半導体装置を形成する工程で生じる熱に耐える材料からなる、請求項1～8の何れか1項に記載の半導体装置の製造方法。
- [請求項10] 前記導電性膜は、400℃～500℃の耐熱性を有する、請求項1

～ 9 の何れか 1 項に記載の半導体装置の製造方法。

[請求項11] 前記導電性膜をアニール処理する工程をさらに含む、請求項 1 ～ 10 の何れか 1 項に記載の半導体装置の製造方法。

[請求項12] 前記導電性膜を、前記絶縁性基板の上面のみに形成する、請求項 1 ～ 11 の何れか 1 項に記載の半導体装置の製造方法。

[請求項13] 前記絶縁性基板の下から前記下地にレーザを照射する工程と、
前記下地を前記絶縁性基板および前記導電性膜から剥離する工程と、
をさらに含む、請求項 1 ～ 12 の何れか 1 項に記載の半導体装置の製造方法。

[請求項14] 前記導電性膜は、前記レーザの透過率が 60 % 以上である、請求項 13 に記載の半導体装置の製造方法。

[請求項15] 前記絶縁性基板および前記導電性膜は合計で、前記レーザの透過率が 60 % 以上である、請求項 14 に記載の半導体装置の製造方法。

[請求項16] 前記下地を剥離した後の前記絶縁性基板から、前記絶縁性基板より上層の上膜を除去する工程と、をさらに含む、請求項 13 ～ 15 の何れか 1 項に記載の半導体装置の製造方法。

[請求項17] 前記上膜は、前記導電性膜を含む、請求項 16 に記載の半導体装置の製造方法。

[請求項18] 前記絶縁性基板は、ガラス基板である、請求項 1 ～ 17 の何れか 1 項に記載の半導体装置の製造方法。

[請求項19] 前記下地を形成する工程において、
前記導電性膜の上面に、第 1 樹脂層を形成し、
前記第 1 樹脂層より上層に、中間層を形成し、
前記中間層より上層に、第 2 樹脂層を形成する、請求項 1 ～ 18 の何れか 1 項に記載の半導体装置の製造方法。

[請求項20] 前記第 1 樹脂層および前記第 2 樹脂層はポリイミドを含む、請求項 19 に記載の半導体装置の製造方法。

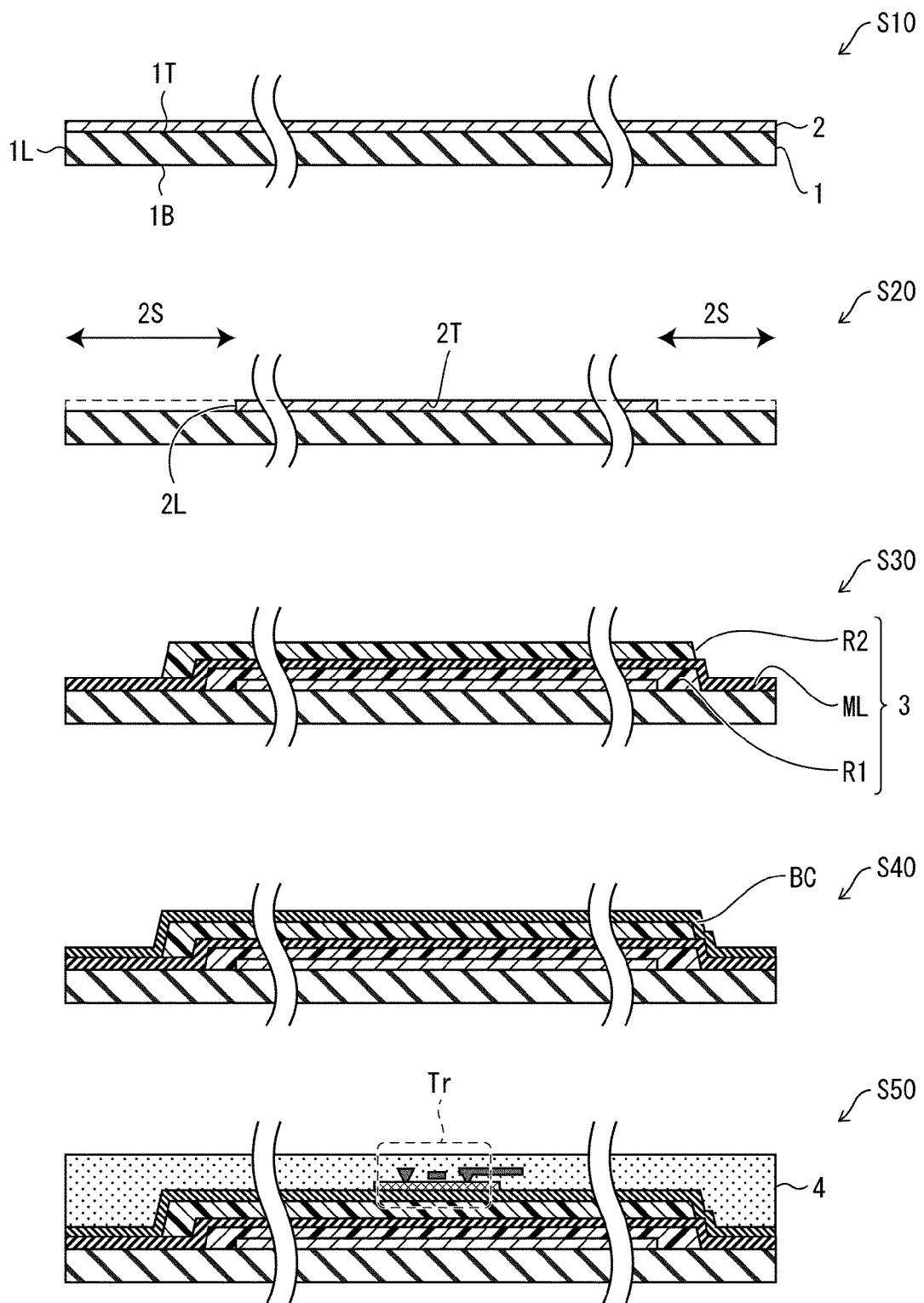
[請求項21] 前記下地より上層に、ベースコートを形成する工程をさらに含み、

前記ベースコートより上層に、前記半導体装置を形成する、請求項 1 ～ 20 の何れか 1 項に記載の半導体装置の製造方法。

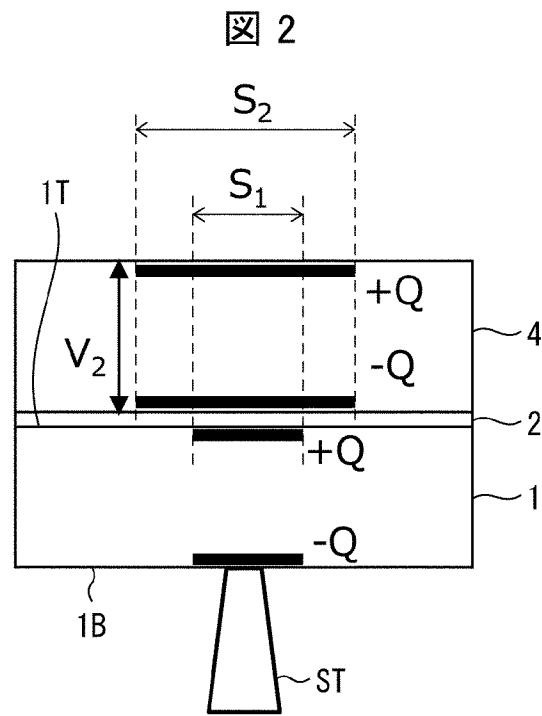
[請求項22] 請求項 1 ～ 21 の何れか 1 項に記載の半導体装置の製造方法を含み、
、
前記半導体装置より上層に、発光素子を形成する工程と、
前記発光素子より上層に、前記発光素子を封止する封止層を形成する工程と、
をさらに含む、表示装置の製造方法。

[図1]

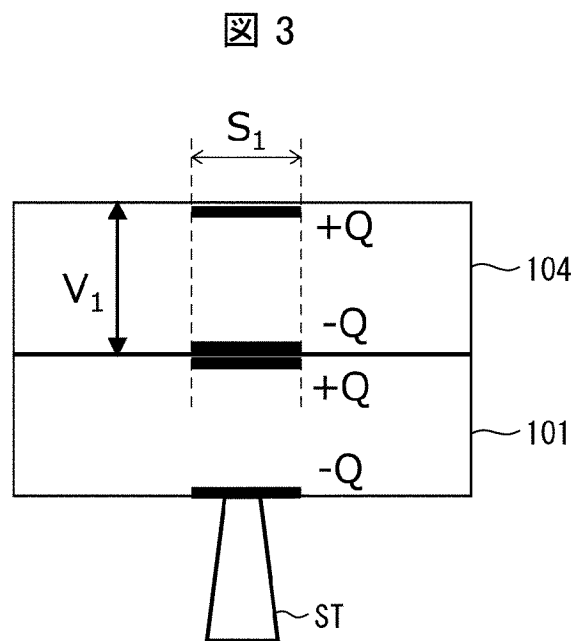
図 1



[図2]

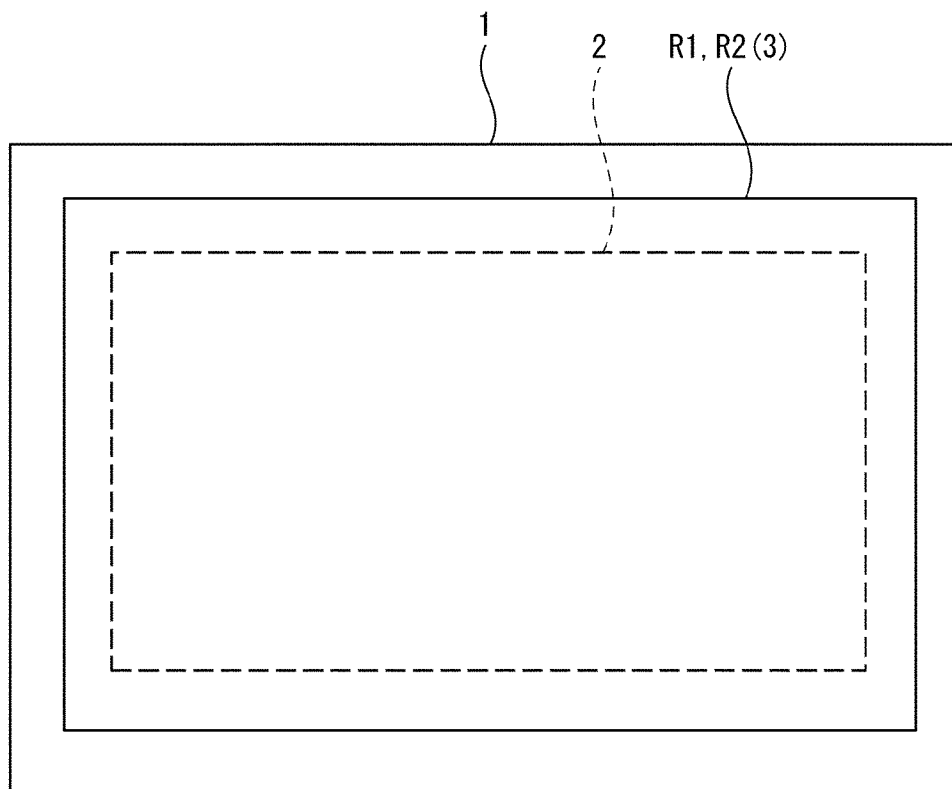


[図3]



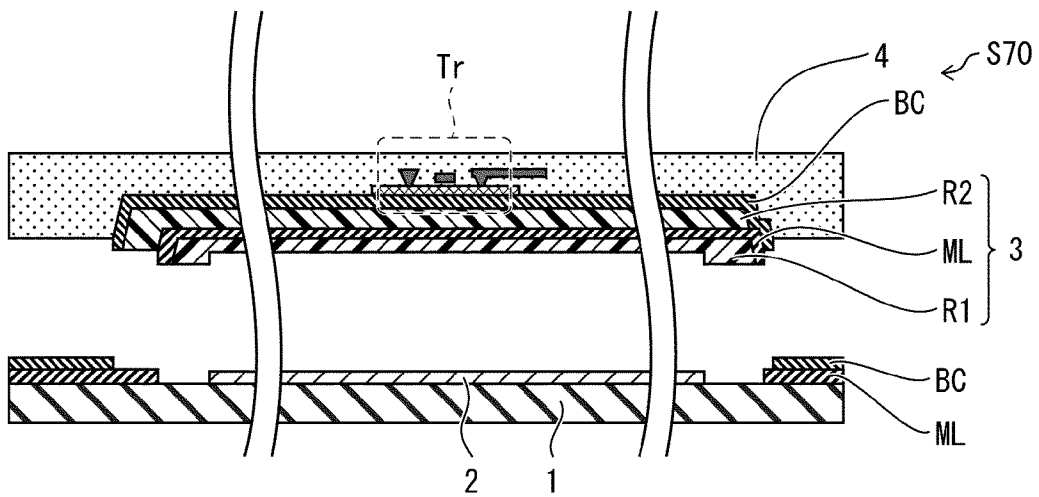
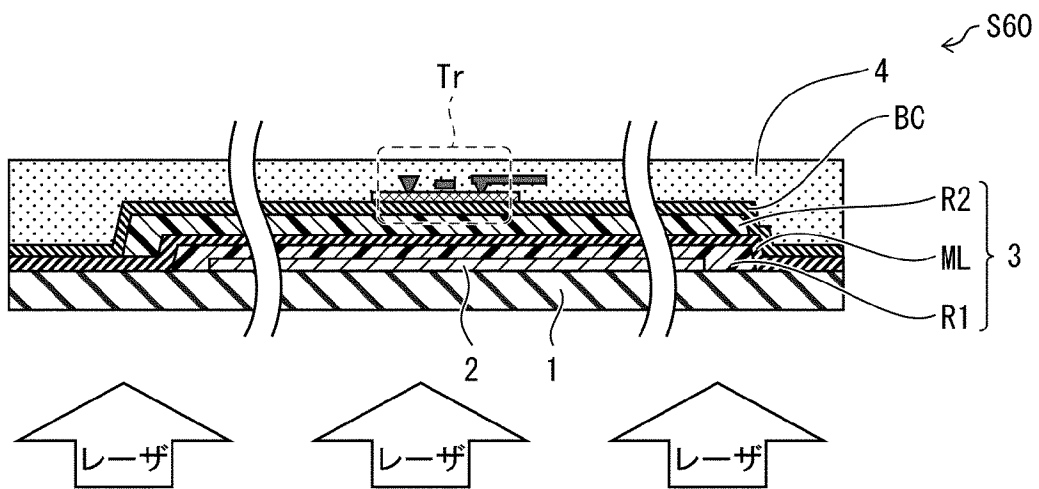
[図4]

図 4



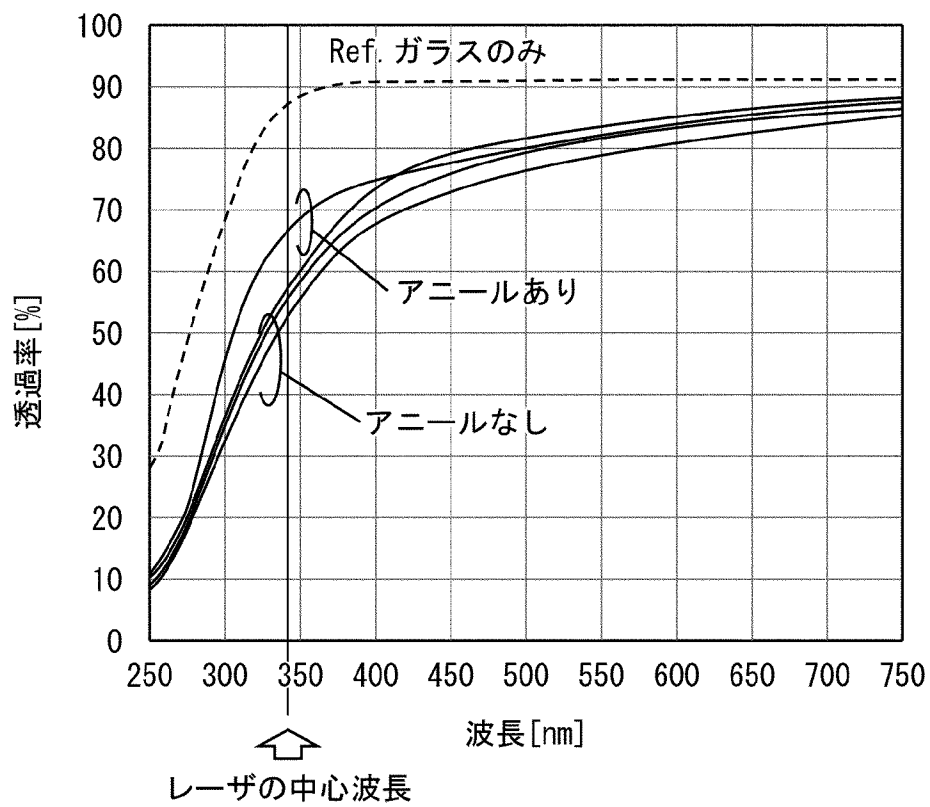
[図5]

図 5



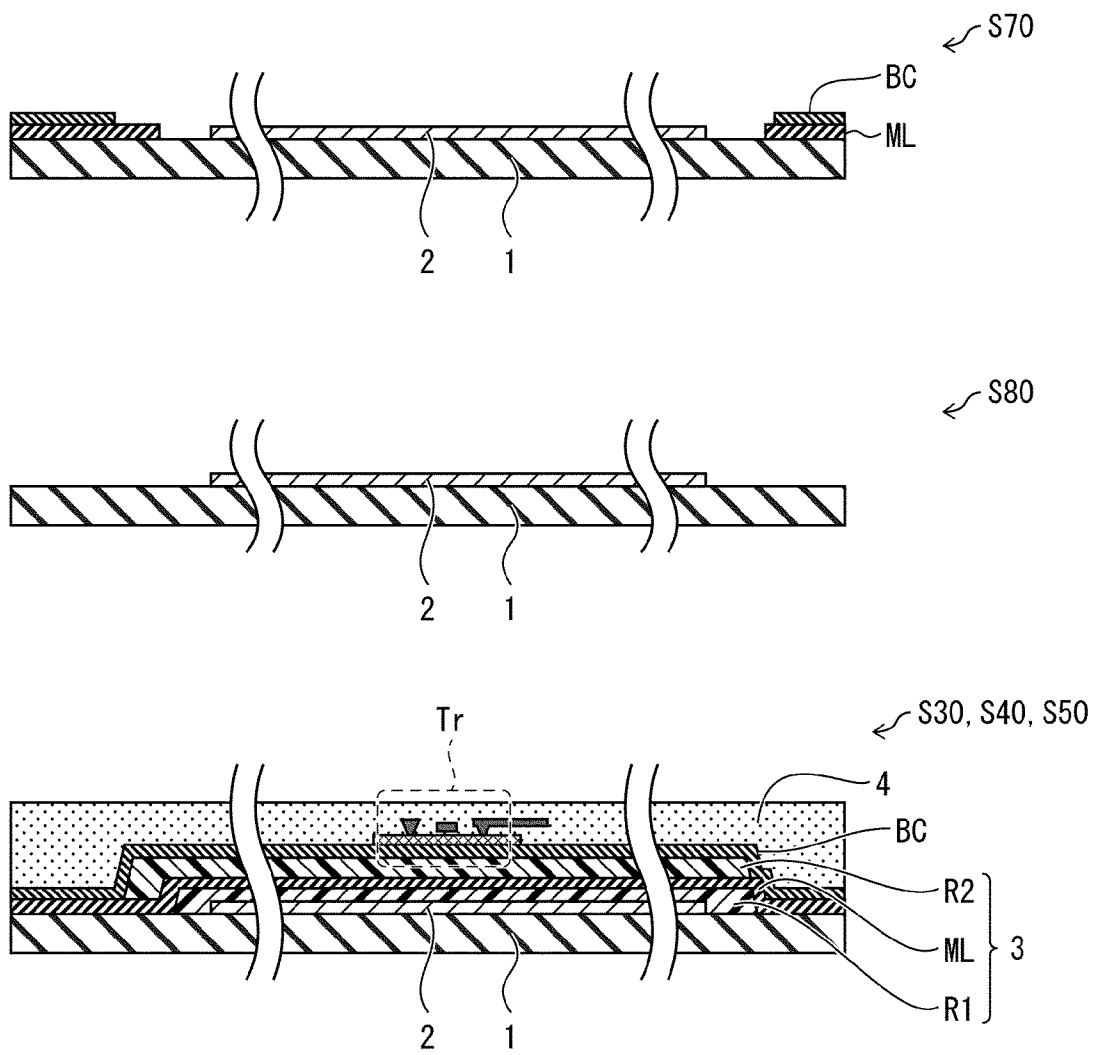
[図6]

図 6



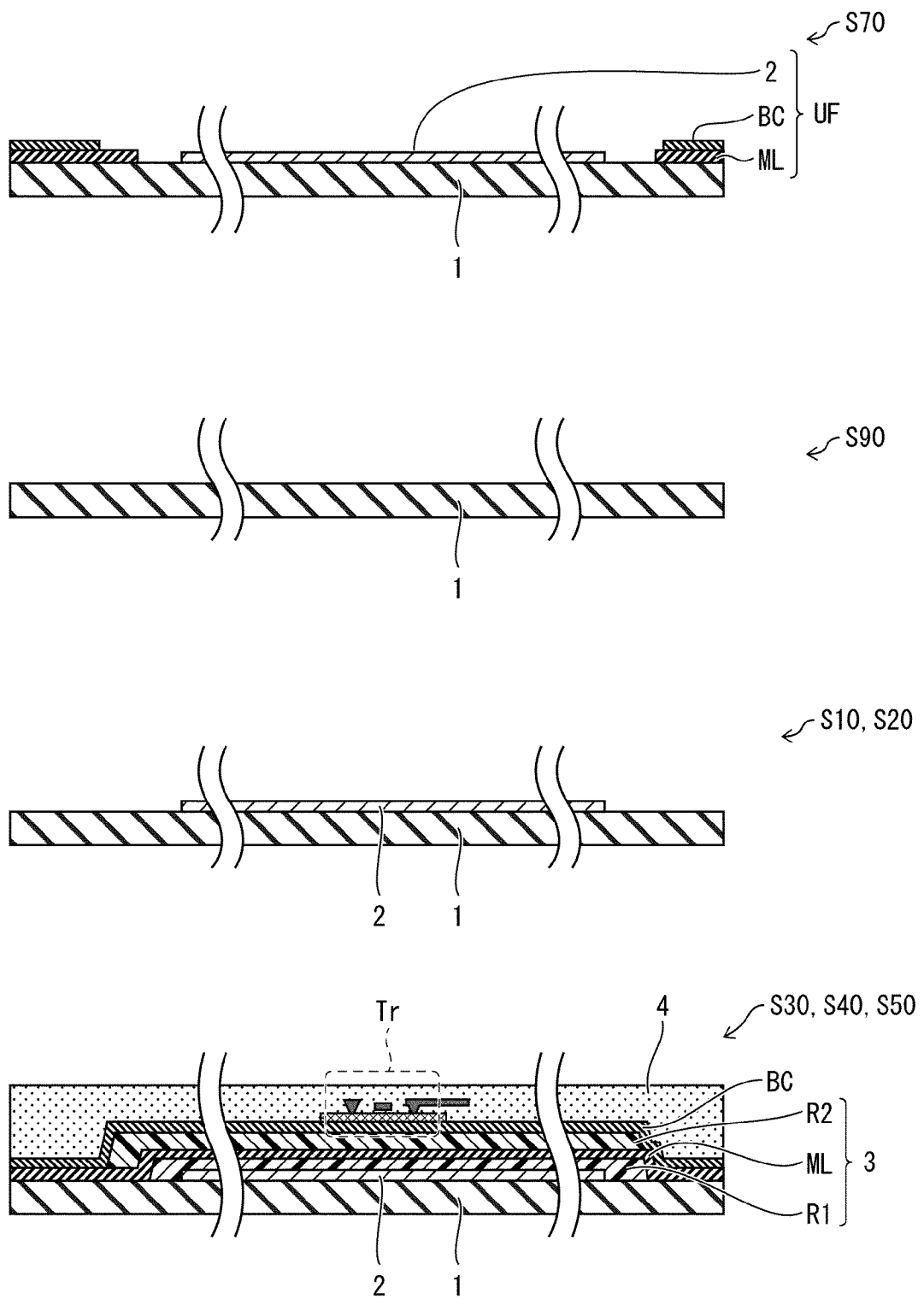
[図7]

図 7



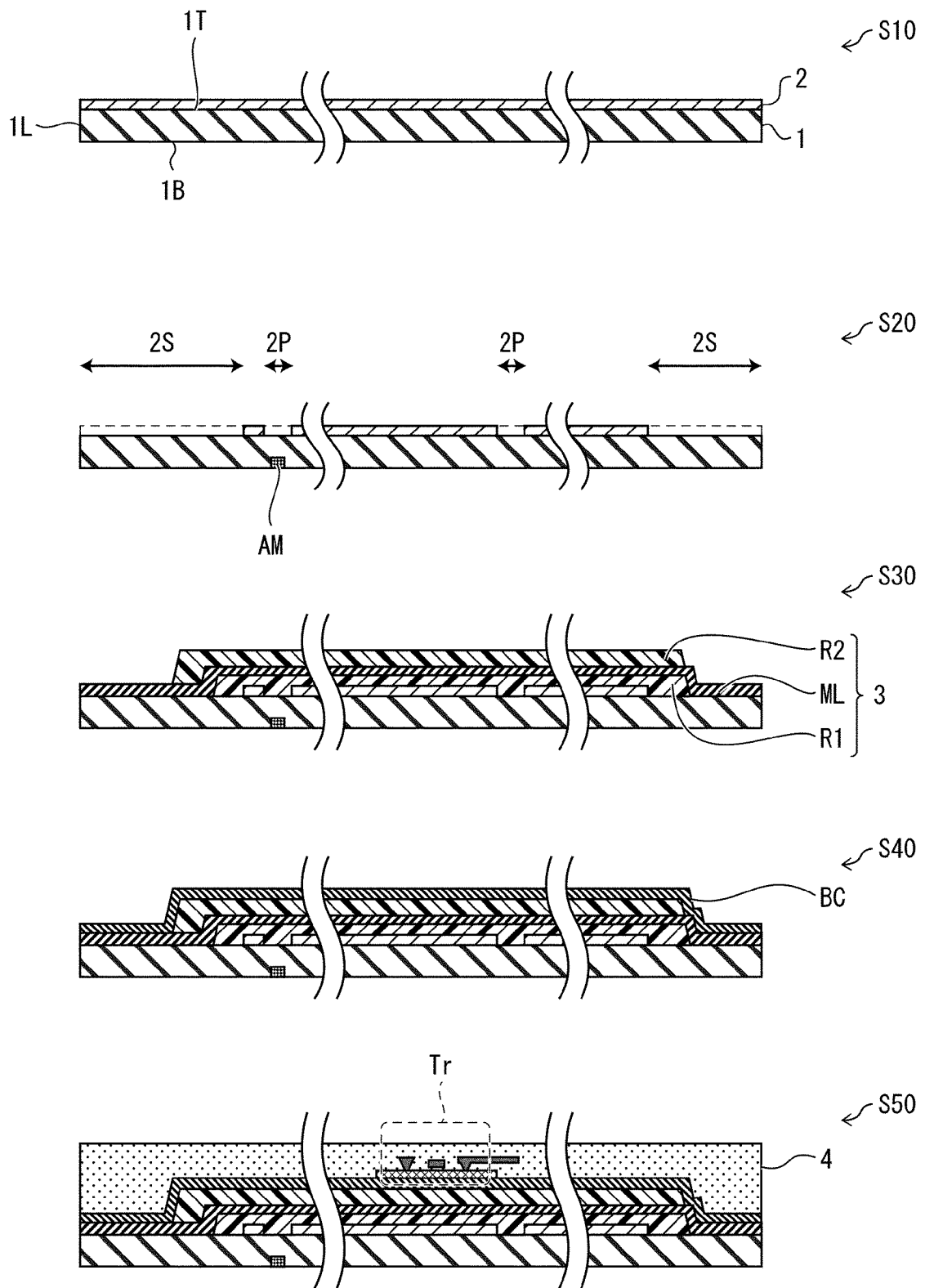
[図8]

図 8



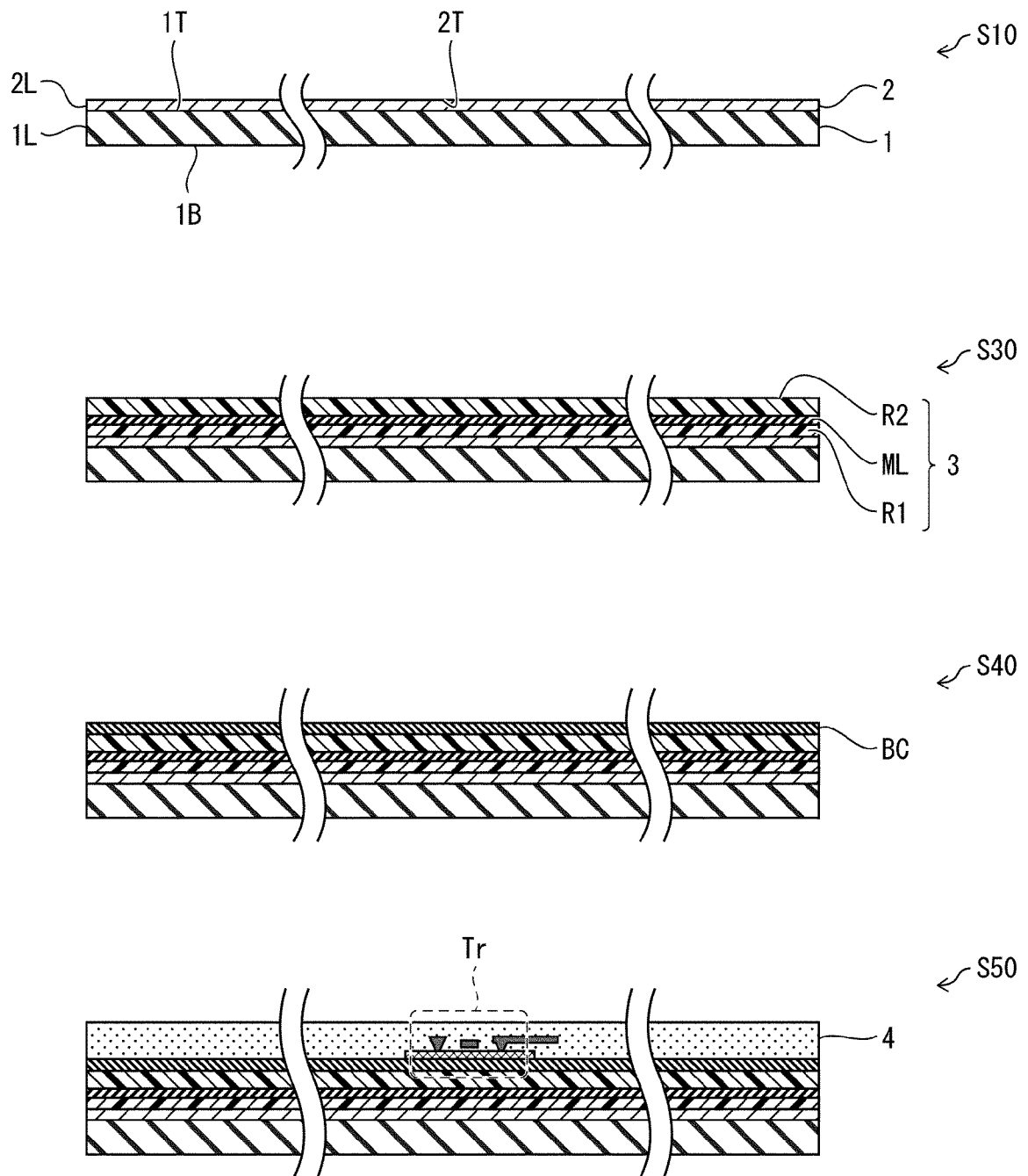
[図9]

図 9



[図10]

図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021567

A. CLASSIFICATION OF SUBJECT MATTER**H01L 21/3205**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 23/532**(2006.01)i; **H01L 29/786**(2006.01)i

FI: H01L21/88 S; H01L29/78 623A; H01L29/78 626C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205; H01L21/336; H01L23/532; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-165224 A (DAI NIPPON PRINTING CO., LTD.) 26 September 2019 (2019-09-26) paragraphs [0035]-[0072], fig. 1-15	1, 5-6, 9-10, 12-15, 18-20
Y		2-4, 11, 16-17, 21-22
X	WO 2012/070483 A1 (SHARP KABUSHIKI KAISHA) 31 May 2012 (2012-05-31) paragraphs [0057]-[0077], [0099]-[0103], fig. 1-4, 13	1, 7, 9, 11-12, 18, 22
Y		2-4, 8, 21-22
Y	JP 2011-9704 A (SEIKO EPSON CORPORATION) 13 January 2011 (2011-01-13) paragraphs [0031]-[0070], fig. 1-3	2-4
Y	JP 2019-124771 A (JAPAN DISPLAY INC.) 25 July 2019 (2019-07-25) paragraphs [0009], [0018]-[0067], fig. 1-9	8, 21
Y	JP 6-88973 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 March 1994 (1994-03-29) paragraphs [0013]-[0014], fig. 2	11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 August 2023

Date of mailing of the international search report

29 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021567**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-248072 A (HITACHI DISPLAYS LTD.) 08 December 2011 (2011-12-08) paragraphs [0021]-[0023]	16-17
A	JP 4-367268 A (NEC CORPORATION) 18 December 1992 (1992-12-18) entire text, all drawings	1-22

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/021567

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-165224	A	26 September 2019	(Family: none)	
WO	2012/070483	A1	31 May 2012	(Family: none)	
JP	2011-9704	A	13 January 2011	US 2010/0301338 A1 paragraphs [0046]-[0088], fig. 1-3	
				CN 101901814 A	
JP	2019-124771	A	25 July 2019	US 2020/0326571 A1 paragraphs [0011], [0045]-[0094], fig. 1-9	
				WO 2019/138734 A1	
				CN 111587453 A	
JP	6-88973	A	29 March 1994	US 5677240 A column 4, lines 15-26, fig. 2	
				KR 10-1994-0006286 A	
				CN 1089756 A	
JP	2011-248072	A	08 December 2011	US 2011/0294244 A1 paragraphs [0056]-[0058]	
JP	4-367268	A	18 December 1992	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/3205(2006.01)i; H01L 21/336(2006.01)i; H01L 23/532(2006.01)i; H01L 29/786(2006.01)i FI: H01L21/88 S; H01L29/78 623A; H01L29/78 626C										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L21/3205; H01L21/336; H01L23/532; H01L29/786										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X Y	JP 2019-165224 A（大日本印刷株式会社）26.09.2019（2019 - 09 - 26） 段落[0035]-[0072], 図1-15	1, 5-6, 9-10, 12-15, 18-20 2-4, 11, 16-17, 21-22								
X Y	WO 2012/070483 A1（シャープ株式会社）31.05.2012（2012 - 05 - 31） 段落[0057]-[0077], [0099]-[0103], 図1-4, 13	1, 7, 9, 11- 12, 18, 22 2-4, 8, 21-22								
Y	JP 2011-9704 A（セイコーエプソン株式会社）13.01.2011（2011 - 01 - 13） 段落[0031]-[0070], 図1-3	2-4								
Y	JP 2019-124771 A（株式会社ジャパンディスプレイ）25.07.2019（2019 - 07 - 25） 段落[0009], [0018]-[0067], 図1-9	8, 21								
Y	JP 6-88973 A（株式会社半導体エネルギー研究所）29.03.1994（1994 - 03 - 29） 段落[0013]-[0014], 図2	11								
Y	JP 2011-248072 A（株式会社 日立ディスプレイズ）08.12.2011（2011 - 12 - 08） 段落[0021]-[0023]	16-17								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 14. 08. 2023		国際調査報告の発送日 29. 08. 2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 早川 朋一 50 9733 電話番号 03-3581-1101 内線 3559								

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-367268 A (日本電気株式会社) 18.12.1992 (1992 - 12 - 18) 全文, 全図	1-22

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/021567

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-165224	A	26.09.2019	(ファミリーなし)	
WO	2012/070483	A1	31.05.2012	(ファミリーなし)	
JP	2011-9704	A	13.01.2011	US 2010/0301338 A1	
				段落[0046]-[0088], 図1-3	
				CN 101901814 A	
JP	2019-124771	A	25.07.2019	US 2020/0326571 A1	
				段落[0011], [0045]-[0094], 図1-9	
				WO 2019/138734 A1	
				CN 111587453 A	
JP	6-88973	A	29.03.1994	US 5677240 A	
				4欄15-26行, 図2	
				KR 10-1994-0006286 A	
				CN 1089756 A	
JP	2011-248072	A	08.12.2011	US 2011/0294244 A1	
				段落[0056]-[0058]	
JP	4-367268	A	18.12.1992	(ファミリーなし)	