

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-252361

(P2012-252361A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094

審査請求 有 請求項の数 1 O L (全 16 頁)

(21) 出願番号	特願2012-188685 (P2012-188685)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成24年8月29日 (2012. 8. 29)	(72) 発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(62) 分割の表示	特願2009-132274 (P2009-132274) の分割	(72) 発明者	尾形 靖 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成9年3月26日 (1997. 3. 26)	(72) 発明者	西 毅 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	塩野入 豊 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

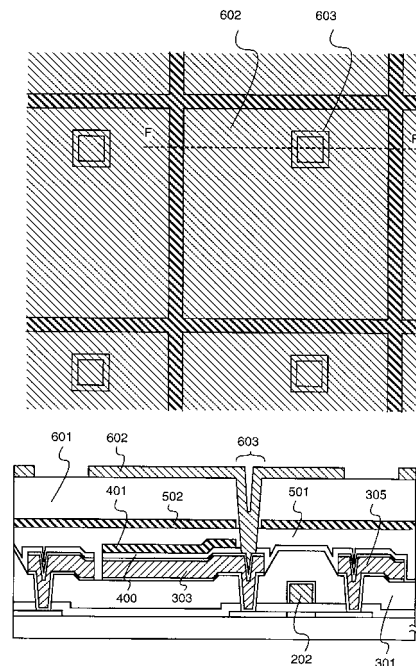
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】画素電極とソース配線、さらには画素電極とTFTとの電気的な干渉を抑制する構造を提供する。

【解決手段】薄膜トランジスタと、前記薄膜トランジスタの活性層、ゲート絶縁膜、及びゲート電極上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成され、前記活性層に接続されたソース配線及びドレイン電極と、前記ソース配線及び前記ドレイン電極上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜上に形成された電磁シールド用の導電膜と、前記導電膜上に形成された第3の層間絶縁膜と、前記第3の層間絶縁膜上に形成され、前記ドレイン電極に接続された画素電極とを有し、前記導電膜は前記ソース配線と前記画素電極との間に設けられている。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

格子状に配置されたソース配線とゲイト配線と、
 前記ソース配線にソース領域が接続され、前記ゲイト配線がゲイト電極に接続された薄膜トランジスタと、
 前記ソース配線と同時に形成されたドレイン電極と、前記ドレイン電極の上方に形成された補助容量用電極と、
 前記補助容量用電極の上方に形成された反射画素電極と、を有し、
 前記ドレイン電極と前記補助容量用電極との間には補助容量が形成され、
 前記ドレイン電極は画素領域の大部分を占めていることを特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、アクティブマトリクス型の反射型液晶パネルの構造に関する。

【背景技術】

【0002】

図 8 に従来より公知のアクティブマトリクス型の反射型液晶パネルの概略の断面を示す。図 8 に示す構成では、ソース領域部 708、ゲイト電極部 709、ドレイン領域部 710 の領域でなる TFT (薄膜トランジスタ) が配置され、さらにこの TFT のソース領域部 710 に反射画素電極 706 が接続された構造となっている。

20

【0003】

一般にこのような構造においては、ソース電極部 708、ゲイト電極部 709、ドレイン電極部 710 との上面の平坦性や、画素領域 711 と他の領域との間における平坦性は、図示されるようにあまり考慮されていない。

【0004】

この平坦性の乱れ (即ち凹凸) は、300nm ~ 700nm 程度となるのが普通である。

【0005】

このような凹凸の存在は、液晶分子の乱れ 707 の原因となる。しかし、液晶層の厚さが 7 μ m や 8 μ m 以上というように厚い場合は、上記の凹凸の影響は表示にそれ程大きな影響を与えない。

30

【0006】

即ち、液晶分子の乱れの影響は液晶層の厚さ方向全体には及ばず、そのことが表示に与える影響も少ない。

【0007】

しかし、近年は高画質の追求、及びそれに伴う液晶材料の進歩により、より液晶層の厚さを狭くすることが要求されている。

【0008】

特に反射型の液晶パネルにおいては、光が液晶層を 2 回通過するので、透過型のものに比較してその厚さを 1/2 とすることが要求される。(実際にはそう単純な話にはならないが、概略そうであるといえる)

40

【0009】

これまで、反射型の液晶パネルは、微細な表示特性や高速動画表示は求められていなかった。従って、無理して液晶層の厚さを薄くして、表示特性を向上させる必要はなかった。

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明者らの知見によれば、反射型の液晶パネルは、投影型のプロジェクターに利用す

50

ることが適していることが判明している。

【0011】

これは、プロジェクターには、画面サイズが小型のものが要求（画面サイズが大きいと光学系が高価になる）され、また反射型の液晶パネルは、画面サイズが2.5インチ対角以下というような小型のものに関しては、透過型よりも画素の開口率を高くできるからである。

【0012】

一般に画面サイズが小さくなると、透過型では、TFT、配線、容量電極といった光が透過しない領域の面積の割合が大きくなり、また透過部分の透過損失も顕在化する。（本出願人らの算出によれば、画面サイズが2.5インチ以下になるとこの傾向が顕在化する）

【0013】

他方、反射型では、反射電極の下部にTFTや配線や容量電極を配置させることができ、また反射電極の反射損失も透過型の透過損失に比べればはるかに小さくできる。

【0014】

プロジェクタには、高微細な表示を行う性能が要求される。従って、プロジェクターに利用する反射型の液晶パネルには、高い表示特性が要求される。特にプロジェクターの場合は、画像が数十倍～100倍以上に拡大されるので、この要求はシビアなものとなる。

【0015】

このような理由により、反射型の液晶パネルにも高い表示特性が要求され、それを実現するために液晶層の厚さを薄くことが要求される。

【0016】

本出願人らの知見によれば、要求される表示特性を得るには、反射型の液晶パネルの場合、液晶層の厚さは2～4μm程度とすることが求められる。これは、コントラストを最大とする条件から要求されることである。

【0017】

このような場合、液晶層に接する面における凹凸の段差が液晶層の10%以上あると、液晶の配向の乱れが顕著になり、画質の低下（特にコントラストの低下）が著しくなる。

【0018】

液晶層の厚さ d はコントラストを最大とする条件によって定められる。コントラストを最大にする条件は、液晶材料によって決まる n （リタレーション）と液晶層の厚さ d との積（ nd ）によって決まる。しかしこの値は、波長依存性があり、その依存性が液晶材料によって異なるという厄介な性質があり、最適化することは簡単ではない。

【0019】

図7に示すのは、反射型の液晶パネルを想定したシミュレーション結果である。ここで、横軸は入射光の波長であり、縦軸は入射光と出力光との比（透過率と定義する）である。

【0020】

図7中のプロット点は、液晶層の厚さを変化させた場合のものである。

【0021】

人間の目の波長感度は、450nm～680nm程度の範囲にあり、550nm付近にその最大値を有する。

【0022】

従って、カラー表示をさせようとする場合、図7に示すような曲線は、450nm～680nmの範囲における透過率が極力平坦であることが重要となる。特に波長感度の高い500nm～600nmの範囲における平坦性が重要となる。

【0023】

また、当然のことながら透過率が極力高いこと（即ち透過損失が極力少ないこと）が重要となる。

【0024】

この点を考慮すると、図7に示すシミュレーション結果においては、液晶層の厚さが

10

20

30

40

50

2.86 μm 、3 μm の場合が好ましいものとなる。また、液晶層の厚さが2.5 μm 、3.5 μm の場合が一応利用できる程度のものである。

【0025】

例えば液晶層の厚さを3 μm とした場合、液晶層に接する面の凹凸は、少なくとも0.3 μm (300 nm)以下とすることが要求される。

【0026】

こうなると、図8に示すような液晶層に接する面の凹凸が表示に悪影響を与えるようになる。

【0027】

この問題を解決する方法の一つとして、層間絶縁膜712として樹脂のような成膜時において流動性のある材料を用い、段差を吸収させてしまうことが考えられる。

【0028】

しかし、そのためには層間絶縁膜をかなり厚くしなければならない。

【0029】

層間絶縁膜を厚くすると、最終的に画素電極706がソース電極へとコンタクトするために開溝が深くなる。これは、コンタクト不良の原因となり好ましくない。

【0030】

特にプロジェクター用の液晶パネルのように対角寸法が2.5インチ以下というような小型で微細な構造を有する場合は、上記コンタクトの問題が顕在化する。

【0031】

このように、液晶に接する面を平坦化することは、他の要求事項との兼ね合いもあり、容易ではない。

【0032】

本明細書で開示する発明は、この問題を解決し、他の要求事項を満足しつつ、液晶に接する面を平坦化できる構造を提供することを課題とする。また、画素電極とソース配線、さらには画素電極とTFTとの電気的な干渉を抑制する構造を提供することを課題とする。

【課題を解決するための手段】

【0033】

〔第1の発明〕

本明細書で開示する発明の一つは、図1乃至図6にその作製工程が例示される構成のよ

うに、格子状に配置されたソース配線305とゲイト配線204(図3参照)と、前記ソース配線305にソース領域207が接続され、前記ゲイト配線204がゲイト電極202に接続された薄膜トランジスタと、

前記ソース配線305と同時に形成されたドレイン電極303と、(図6参照)

前記ドレイン電極303の上方に形成された補助容量用電極401と、(図6参照)

前記補助容量用電極401の上方に形成された反射画素電極602と、(図6参照)

を有し、

前記ドレイン電極303と前記補助容量用電極401の間には補助容量が形成され、(図6参照)

前記ドレイン電極303は画素領域の大部分を占めている(図3参照)ことを特徴とする。

【0034】

上記の構成において、ソース配線305とゲイト配線204とは、図示されるように直線状の形状が交差した格子形状を有している。しかし、格子状の配置としては、この構造のみに限定されない。例えば、少なくとも一方が屈曲したパターンとなっているのもよい。

【0035】

または配線の構造としては、単層でも多層でもよい。図3に示す構造においては、ゲイ

10

20

30

40

50

ト配線はアルミニウム膜の単層で構成されている。なお、ゲイト電極 202 はゲイト配線 204 から延在したパターンとして形成されている。

【0036】

また、図3に示す構造においては、ソース配線305はチタン膜302とアルミニウム膜303とチタン膜304との積層膜でもって構成されている。図3においては、ソース配線として配線の主要部を構成するアルミニウム材料でなる部分305が図示されている。(上下のチタン膜は省略されている)

【0037】

薄膜トランジスタ(TFTと称する)の構造としては、図2にその基本構造を示すソース領域207とドレイン領域205(コンタクト308の下部に存在する)との間にチャネル領域(ゲイト電極202の下部に存在する)を配置した基本的な構造の他に、図10に示すように活性層11が屈曲したものを挙げる事ができる。

10

【0038】

あるいは、同じく図10に示すような活性層11にゲイト電極が複数箇所において設けられ、実質的に複数のTFTが直列に接続された構造のものを利用することができる。

【0039】

またTFTの構造としては、逆スタガー型のものを利用することもできる。

【0040】

また、上記第1の発明の構成において、

・〔ソース配線305と同時に形成されたドレイン電極303〕(図6参照)

20

は、図3に代表的に示されるように、同一の表面上(この場合は層間絶縁膜301上)に成膜された膜をパターニングすることにより、303と305で示されるようなパターンを形成することによって得られる。

【0041】

この同時に形成されたかどうかを確認するには、電子顕微鏡を利用して断面拡大写真を撮影すれば確認することができる。

【0042】

また、ドレイン電極303は画素領域の大部分を占めている(図3参照)というのは、図3に例示されるようにソース配線とゲイト配線とで囲まれる領域を画素領域と定義し、その領域の少なくとも50%以上、好ましくは70%以上を占めるような構造のことという。

30

【0043】

なお、反射画素電極は、ソース配線及びゲイト配線と一部が重なっているため、画素領域の周囲(縁の部分)は、ソース配線及びゲイト配線に一部重なる。

【0044】

上記第1の発明の構成において、補助容量は、図6の下段に示されるようにドレイン電極303と補助容量用電極401との間に誘電膜として窒化珪素膜400を挟んだ構造として形成されている。

【0045】

また図6に示す構造においては、補助容量の上方は、ポリイミド樹脂膜501によって平坦化されている。

40

【0046】

〔第2の発明〕

他の発明の構成は、

格子状に配置されたソース配線とゲイト配線と、

前記ソース配線にソース領域が接続され、前記ゲイト配線がゲイト電極に接続された薄膜トランジスタと、

前記ソース配線と同時に形成されたドレイン電極と、

前記ドレイン電極の上方に形成された補助容量用電極と、

前記補助容量用電極の上方に形成された電磁シールド用の導電膜と、

50

前記導電膜の上方に形成された反射画素電極と、
を有し、

前記ドレイン電極と前記補助容量用電極との間には補助容量が形成され、
前記ドレイン電極は画素領域の大部分を占めていることを特徴とする。

【0047】

ここで、電磁シールド用の導電膜というのは、図6の502で示される膜である。この導電膜502は、画素電極602とドレイン電極303とのコンタクト部分603以外の領域の全てを覆う構造となっている。

【0048】

こうすることで、画素電極とソース配線、さらには画素電極とTFTとが電氣的に干渉してしまふことを抑制することができる。

【0049】

〔第3の発明〕

他の発明に構成は、

格子状に配置されたソース配線とゲイト配線と、

前記ソース配線にソース領域が接続され、前記ゲイト配線がゲイト電極に接続された薄膜トランジスタと、

前記ソース配線と同時に形成されたドレイン電極と、

前記ドレイン電極の上方に誘電体膜を介して形成された補助容量用電極と、

前記補助容量用電極の上方に形成された電磁シールド用の導電膜と、

前記導電膜の上方に形成された反射画素電極と、

を有し、

前記ドレイン電極と前記補助容量用電極との間には補助容量が形成され、

前記ドレイン電極は画素領域の大部分を占めて形成されており、

前記ゲイト電極と前記ソース配線と前記ドレイン電極とでもって、前記誘電体膜が形成される面の平坦性が確保されていることを特徴とする。

【0050】

この構成は、図6に例示するような構造において、ゲイト電極202が存在することに起因する層間絶縁膜301の盛り上がり部分と、その上部表面が合うようにドレイン電極303とソース配線305とを形成することで、窒化珪素膜400が成膜される面の凹凸を是正し、樹脂膜501によって、残存する凹凸を吸収できるようにしたことを特徴とする。

【0051】

この場合、ゲイト電極202の厚さと、303で示されるアルミニウム膜及びその上下に成膜されたチタン膜との合計の厚さとをある程度一致させる必要がある。

【0052】

〔第4の発明〕

他の発明の構成は、

格子状に配置されたソース配線とゲイト配線と、

前記ソース配線にソース領域が接続され、前記ゲイト配線がゲイト電極に接続された薄膜トランジスタと、

前記ソース配線と同時に形成されたドレイン電極と、

前記ドレイン電極の上方に誘電体膜を介して形成された補助容量用電極と、

前記補助容量用電極の上方に形成された電磁シールド用の導電膜と、

前記導電膜の上方に形成された反射画素電極と、

を有し、

前記ドレイン電極と前記補助容量用電極との間には補助容量が形成され、

前記ドレイン電極は画素領域の大部分を占めて形成されており、

前記ゲイト電極と前記ソース配線及び前記ドレイン電極との厚さの差は、液晶層の厚さの20%以下であることを特徴とする。

【0053】

この構成は、ゲイト電極202の厚さ(図6に例示する場合は陽極酸化膜の膜厚も含める)と、ドレイン電極303の厚さ(図6に例示する場合は上下のチタン膜の膜厚も含める)の膜厚とをそろえたものとし、その差が液晶層の厚さの20%以下とすることを特徴とする。

【0054】

これは、図6の下段に例示するような構造においては、ゲイト電極202とドレイン電極303との膜厚の差が上方の樹脂膜で吸収しきれない場合、そのことにより生じる段差が画素電極表面の段差となり、それが液晶層の配向不良の要因となることを抑制するための構成である。

10

【0055】

20%以下というのは、最終的に残存する凹凸の段差を10%以下とする際に樹脂層による凹凸の吸収を考慮した値である。勿論、ゲイト電極とドレイン電極との膜厚の差が小さいほど好ましい。

【0056】

また図6(または図5)に示す構成においては、ソース線及びゲイト線の全てが電磁シールド用の導電膜502によって完全に覆われている。またTFTのドレインコンタクト部を除いて、電磁シールド用の導電膜502によって覆われている。

【0057】

このような構成とすることにより、画素電極とソース及びドレイン電極の電気的な干渉を排除することができる。また、画素電極とTFTとの間の電気的な干渉を排除することができる。

20

【発明の効果】

【0058】

本明細書で開示する発明を採用することで、コンタクトを容易に形成でき、かつ液晶に接する面を平坦化できる構造を有する反射型の液晶パネルを提供することができる。

【図面の簡単な説明】

【0059】

【図1】液晶パネルの作製工程を示す図。

【図2】液晶パネルの作製工程を示す図。

30

【図3】液晶パネルの作製工程を示す図。

【図4】液晶パネルの作製工程を示す図。

【図5】液晶パネルの作製工程を示す図。

【図6】液晶パネルの作製工程を示す図。

【図7】反射型の液晶パネルを透過する光の波長と透過率との関係を液晶層の厚さを代えてシミュレーションした結果を示す図。

【図8】従来の反射型の液晶パネルの断面構造を示す図。

【図9】発明を利用した液晶パネルを備えた装置の例を示す図。

【図10】TFTの構造のバリエーションを示す図。

【実施例1】

40

【0060】

本実施例は、図6の上段にその上面から見た概略を、また図6の下段にF-F'で切った断面を示すように、TFTのドレイン電極を画素領域下に延在させ、そのパターンを利用して補助容量を形成し、さらにそのパターンが存在することで、画素電極面の凹凸を抑制した構造としている。

【0061】

以下において、図1~図6に概略の作製工程を示す。まず図1に示すようにTFTの活性層となる領域を形成する。ここでは、TFTの活性層を非晶質珪素膜を結晶化させた結晶性珪素膜(厚さ50nm)を利用して構成する。

【0062】

50

ここで101、102で例示されるのがTFTの活性層パターンである。ここではTFTとしてNチャンネル型のTFTを作製する場合の例を示す。

【0063】

図1の上段に図示されるのが上面から様子である。また図1の下段に示されるのが上段のA-A'で切った断面を示すものである。また、図1の下段において、100で示されるのがガラス基板（または石英基板）である。

【0064】

図1に示す状態を得たら、図2の下段に示されるようにゲイト絶縁膜として機能する酸化珪素膜201を成膜する。ここでは、酸化珪素膜201の膜厚は100nmとする。

【0065】

図2において、上段のB-B'で切った断面が下段に示される断面状態図である。

【0066】

酸化珪素膜201を成膜したら、次にアルミニウムをもってゲイト電極202を形成する。このアルミニウム電極を構成するアルミニウム膜の膜厚は、500nmとする。

【0067】

またこのゲイト電極の周囲表面には、陽極酸化技術を利用して陽極酸化膜203を50nmの厚さに成膜する。この陽極酸化膜203は、ゲイト電極202を電気及び物理的に保護する機能を有している。

【0068】

また、ゲイト電極201は、図2の上段に示されるようにゲイト配線204から延在したものとして形成される。

【0069】

図2の下段に示す状態を得たら、燐のドーピングをプラズマドーピング法でもって行い、ソース領域207、チャンネル領域206、ドレイン領域207を自己整合的に形成する。

【0070】

ドーピングが終了したら、レーザー光の照射を行い、ドーピングされた燐の活性化とドーピング時の損傷のアニールとを行う。

【0071】

こうして図2に示す状態を得る。次に図3に示すように層間絶縁膜として酸化珪素膜301をプラズマCVD法により700nmの厚さに成膜する。

【0072】

酸化珪素膜301を成膜した状態においては、ゲイト電極202の上方は盛り上がった凸状となっている。この盛り上がりの高さは、ゲイト電極の高さ（500nm）とほぼ同じものとなる。

【0073】

次に50nm厚のチタン膜と400nm厚さのアルミニウム膜と50nm厚のチタン膜をスパッタ法によって積層成膜する。そして、それをパターニングすることによって306、303、305のパターンを得る。（ここでは、アルミニウム膜のみのパターンを示し、上下のチタン膜の記載は省略する）

【0074】

図3の306、303、305で示されるのは、パターニングされたアルミニウム膜である。そしてその上下に接しているのがチタン膜である。例えば、303で示されるアルミニウムパターンの下面にはチタン膜のパターン302が形成されており、上面にはチタン膜のパターン304が形成されている。

【0075】

なお、チタン膜を利用するのは、良好なコンタクトをとるためである。

【0076】

図3の上段には、アルミニウム膜でなるパターンが示されている。（チタン膜は示されていない）

10

20

30

40

50

【0077】

図3において、305、306はソース配線である。ソース配線305は、コンタクト部307を介してTFTのソース領域に接続される。

【0078】

302、303、304の積層体パターン(ドレイン電極)はTFTのドレイン領域にコンタクトホール308を介して接続されている。図3の上段に示されるようにこの積層体パターンは、画素領域の大部分を示す形状を有している。

【0079】

ここで、ゲイト電極202の膜厚は、およそ500nmである。(陽極酸化膜の成長形態によって、厚さは多少変化する)

10

【0080】

また、306、303、305のアルミニウムパターンとその上下のチタン膜の合計の膜厚も500nmである。

【0081】

従って、多少の凹凸は形成されるが、図3の下段に示される状態において、際上面に大きな凹凸(100nm以上に及ぶ段差を有する凹凸)は形成されない。

【0082】

よって、液晶層を3μm程度としても液晶分子の乱れの影響を顕在化させない構造とすることができる。

20

【0083】

図3に示す状態を得たら、プラズマCVD法により、窒化珪素膜400を50nmの厚さに成膜する。(図4の下段参照)

【0084】

この窒化珪素膜400は、補助容量の誘電体として機能する。また、50nmとその膜厚を薄くするのは、その容量を極力大きくするためである。

【0085】

次に厚さ100nmのチタン膜をスパッタリング法でもって成膜し、それをパターニングすることにより、補助容量形成用の電極401を形成する。

【0086】

この電極401は、図4の上段に示されるようにソース配線305、306に平行して延在している。

30

【0087】

なお、図4の上段のD-D'で切った断面が図4の下段に対応している。

【0088】

電極401とTFTのドレイン領域に接続されたドレイン電極303とは、50nm厚の窒化珪素膜を挟んで配置され、補助容量を形成している。

【0089】

この補助容量は、図3上段の303で示されるように大きな面積(コンタクト308の領域は除く)でもって構成され、また窒化珪素膜400の厚さを薄くできることから、必要とする容量を容易に確保することができる。

40

【0090】

このことは、液晶パネルが小型化し、一つ一つの画素の面積が小さくなった場合に特に有効なこととなる。

【0091】

次に図5の下段に示されるようにポリイミド樹脂でなる膜501を成膜する。膜厚は平均で1μmとする。ポリイミド以外には、ポリアミド、ポリイミドアミド、アクリル、エポキシ等の材料を利用することができる。

【0092】

このポリイミド膜によって、窒化珪素膜400の表面の凹凸やチタン膜401が存在することによる凹凸が吸収される。即ち、表面のほぼ平坦なポリイミド膜501が成膜され

50

る。

【0093】

次にチタン膜を成膜し、さらにそれをパターニングすることにより、502で示されるチタン膜のパターンを得る。

【0094】

なお、図5の上段のE-E'で切り取られる断面が図5の下段に示される。

【0095】

この状態においては、TFTのドレイン領域のコンタクト用に開口が形成された状態となる。

【0096】

チタン膜502は、その上に形成される画素電極がソース配線やTFTに電氣的な干渉を与えないようにするための電磁シールドとして設けられる。

【0097】

図5に示す状態を得たら、図6の下段に示されるようにポリイミド樹脂膜601を平均1.5 μmの厚さに成膜し、さらにコンタクトホール形成を行う。そして、反射画素電極602をアルミニウムでもって形成する。

【0098】

この画素電極602を構成するアルミニウム膜は、スパッタ法により2000の厚さに成膜したものを利用する。

【0099】

なお、図6の上段におけるF-F'で切り取られる断面を図6の下段に示す。

【0100】

この構成においては、ソース電極303が存在するために603の部分に形成されるコンタクトを比較的容易に形成することができる。即ち、反射画素電極602のコンタクト603の開口をそれ程深く形成する必要がなく、コンタクトを容易に形成することができる。(間口が狭く、深い開口はコンタクト不良の要因となる)

【0101】

画素電極は、格子状に配置されたソース配線及びドレイン配線の縁の一部が重なるように設ける。こうすることで、開溝率を最大限高めることができる。

【0102】

図6に示す状態を得たら、配向膜としてポリイミド膜(図示せず)を120nmの厚さに成膜し、ラビング処理(配向処理)を施す。この際、画素電極表面の平坦性が保たれているので、部分的な配向不良を抑制することができる。

【0103】

あとは対向基板を用意し、対向基板との間に液晶を注入して、液晶セルを作製する。こうして反射型の液晶パネルが完成する。

【0104】

なお、ここでは、アクティブマトリクス回路を駆動する周辺回路については記載していないが、周辺駆動回路をもTFTによって同一基板上に作製する構造とすることが好ましい。また周辺駆動回路をICチップの外付け回路で構成するのもよい。

【実施例2】

【0105】

本実施例に示すのは、実施例1とは異なる構造を有するTFTの例である。本実施例で示すTFTは、図10にその上面から見た概略を示すように、活性層11がゲイト配線12と3カ所において交差しており、この部分にゲイト電極が配置された構造となっている点である。

【0106】

この構造は、等価的に3つのTFTが直列に接続されたものと見ることができる。

【0107】

10

20

30

40

50

この構造においては、活性層の中の 15 の領域がソース領域、16 の領域がドレイン領域として定義される。

【0108】

図 10 には、ソース配線 13 とソース配線と同時に形成されるドレイン電極 14 が示されている。

【0109】

ドレイン電極 14 は、画素電極内の大部分を占めるようにそのパターンが形成されている。ドレイン電極 14 は、図 3 のパターン 303 に対応する。

【0110】

このドレイン電極 14 は、

- (1) 補助容量の形成
- (2) 画素電極の平坦化
- (3) 画素電極のコンタクト形成を容易にする。

といった役割を有している。

【0111】

図 10 に示すような構造は、活性層 11 中に 3 つのチャンネルが形成され、各チャンネルには、ソース配線と画素電極との間に加わる電圧を 3 分圧したものが加わることになる。こうすることで、TFT の耐圧を高めることができる。

【実施例 3】

【0112】

本実施例では、発明を利用して得られた反射型の液晶パネルを利用した表示装置の例を示す。

【0113】

図 9 (A) に示すのは、携帯型の情報処理端末であり、電話回線を利用した通信機能を有している。

【0114】

この電子装置は、集積化回路 2006 を本体 2001 の内部に備えている。そして、TFT をスイッチング素子として配置した反射型のアクティブマトリクス型の液晶パネル 2005、画像を取り込むカメラ部 2002、さらに操作スイッチ 2004 を備えている。

【0115】

図 9 (B) に示すのは、ヘッドマウントディスプレイと呼ばれる電子装置である。この装置は、バンド 2103 によって頭に本体 21201 を装着して、疑似的に目の前に画像を表示する機能を有している。画像は、左右の目に対応した反射型のアクティブマトリクス型の液晶パネル 2102 によって構成される。

【0116】

図 9 (C) に示すのは、人工衛星からの信号を基に地図情報や各種情報を表示する機能を有している。アンテナ 2204 で捉えた衛星からの情報は、本体 2201 内部に備えた電子回路で処理され、アクティブマトリクス型の反射型の液晶パネル 2202 に必要な情報が表示される。

【0117】

装置の操作は、操作スイッチ 2203 によって行われる。このような装置においても TFT を利用した回路が利用される。

【0118】

図 9 (D) に示すのは、携帯電話である。この電子装置は、本体 2301 にアンテナ 2306、音声出力部 2302、液晶パネル 2304、操作スイッチ 2305、音声入力部 2303 を備えている。

【0119】

図 9 (E) に示す電子装置は、ビデオカメラと称される携帯型の撮像装置である。この電子装置は、本体 2401 に開閉部材に取り付けられた反射型の液晶パネル 2402、開閉部材に取り付けられた操作スイッチ 2404 を備えている。

10

20

30

40

50

【 0 1 2 0 】

さらにまた、本体 2 4 0 1 には、画像の受像部 2 4 0 6、集積化回路 2 4 0 7、音声入力部 2 4 0 3、操作スイッチ 2 4 0 4、バッテリー 2 4 0 5 が備えられている。

【 0 1 2 1 】

図 9 (F) に示す電子装置は、投射型の液晶表示装置である。この装置は、本体 2 5 0 1 に光源 2 5 0 2、反射型の液晶パネル 2 5 0 3、光学系 2 5 0 4 備え、スクリーン 2 5 0 5 に画像を投影する機能を有している。

【 0 1 2 2 】

なお、本明細書で開示する発明は、液晶を利用する場合の以外のフラットパネルディスプレイにも利用することができる。例えば、ELディスプレイであれば、発光層の下地を平坦化する場合に利用することができる。またECディスプレイ等にも利用することができる。

10

【 0 1 2 3 】

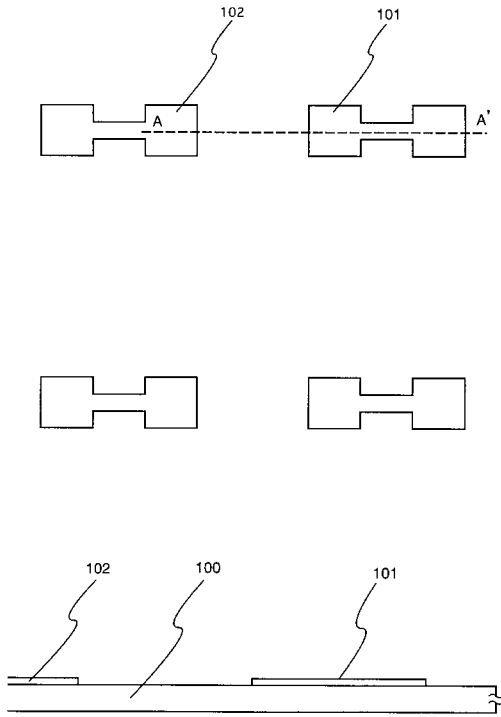
即ち、本明細書で開示する発明は、画素領域の上方の表面を平坦にしたい構造を実現するために利用することができる。

【 符号の説明 】

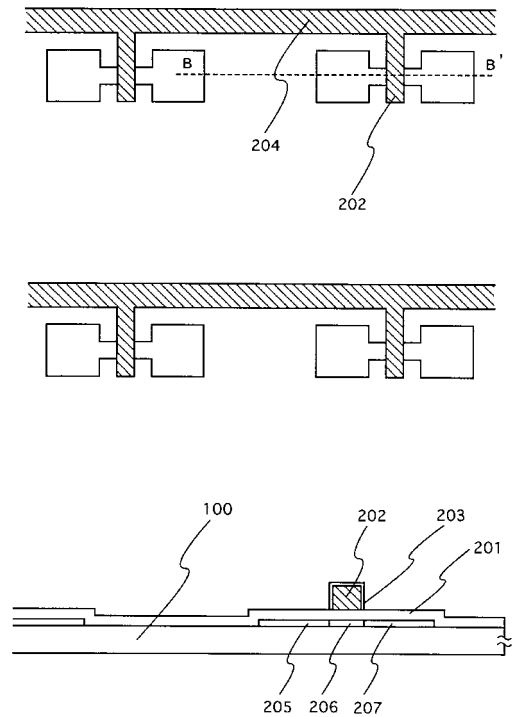
【 0 1 2 4 】

1 0 1、1 0 2	T F T の 活 性 層	
1 0 0	ガラス基板 (または石英基板)	
2 0 1	ゲイト絶縁膜	20
2 0 2	ゲイト電極 (アルミニウムで構成される)	
2 0 3	陽極酸化膜	
2 0 4	ゲイト配線	
3 0 1	層間絶縁膜 (酸化珪素膜)	
3 0 2	ドレイン電極 (チタン膜)	
3 0 3	ドレイン電極 (アルミニウム膜)	
3 0 4	ドレイン電極 (チタン膜)	
3 0 5	ソース配線 (ソース電極)	
3 0 6	ソース配線 (ソース電極)	
3 0 7	ソースコンタクト部	30
3 0 8	ドレインコンタクト部	
4 0 0	窒化珪素膜	
4 0 1	容量形成用の電極	
5 0 1	層間絶縁膜 (ポリイミド樹脂膜)	
5 0 2	電界遮蔽用シールド (ブラックマトリクス)	
6 0 1	層間絶縁膜 (ポリイミド樹脂膜)	
6 0 2	画素電極 (アルミニウム膜)	
6 0 3	画素コンタクト部	

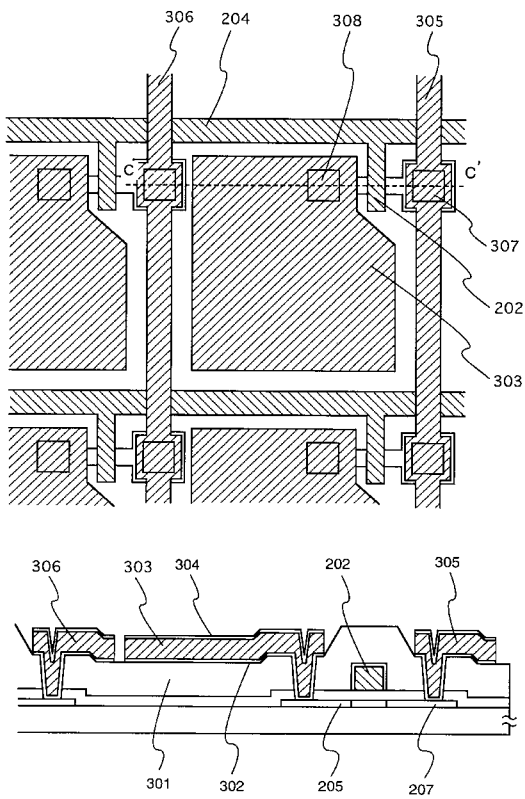
【 図 1 】



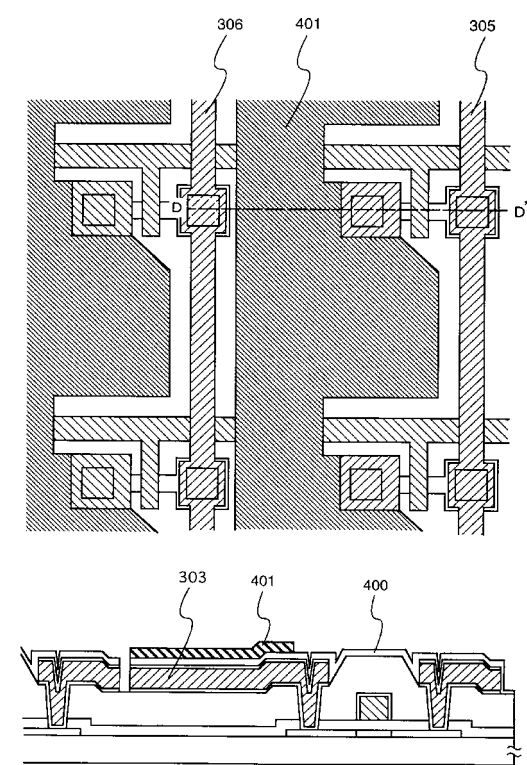
【 図 2 】



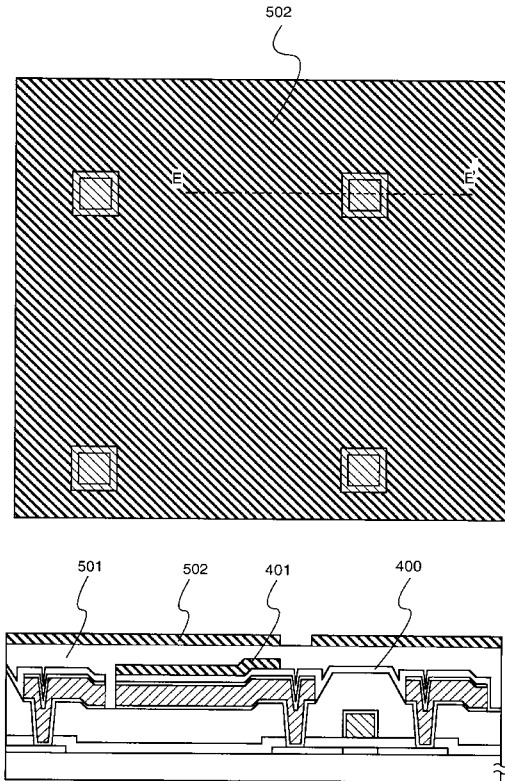
【 図 3 】



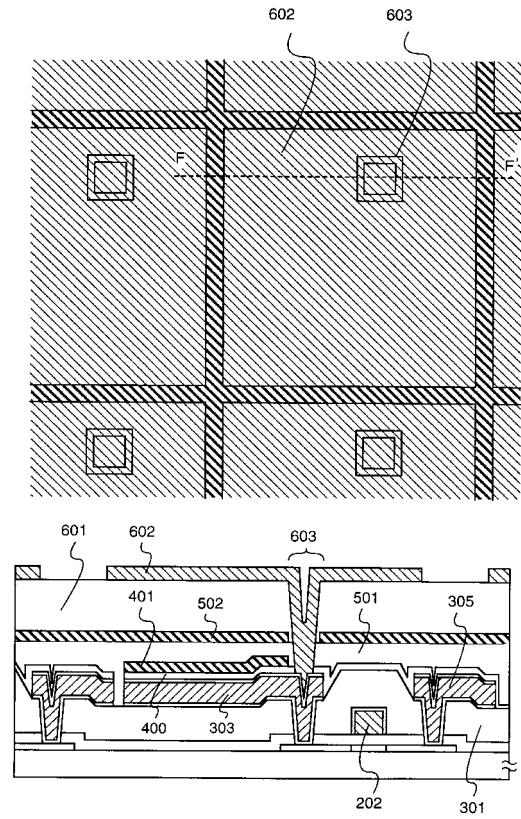
【 図 4 】



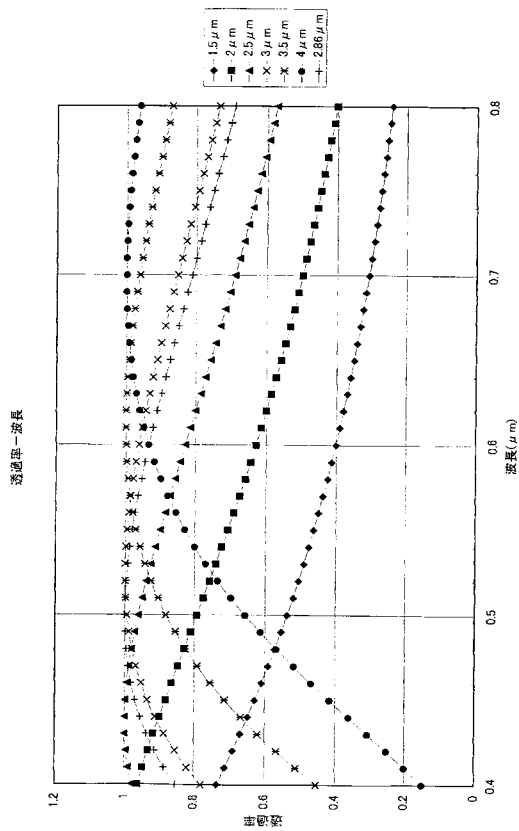
【 図 5 】



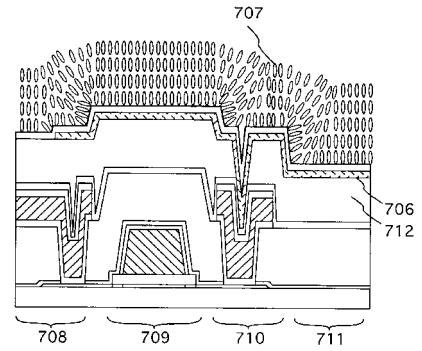
【 図 6 】



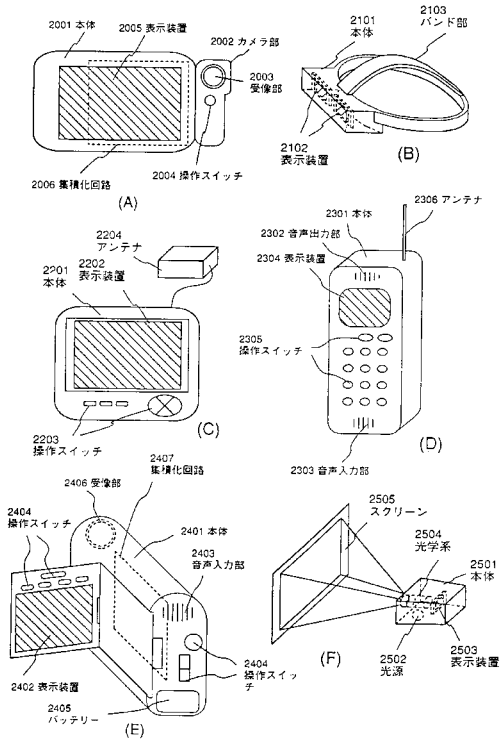
【 図 7 】



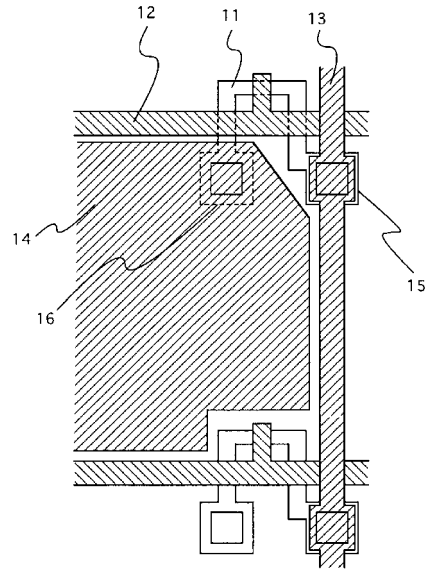
【 図 8 】



【図9】



【図10】



フロントページの続き

Fターム(参考) 2H092 JA25 JA33 JA35 JA39 JA40 JA43 JA44 JA46 JB07 JB51
JB57 JB58 JB64 JB66 JB69 KA04 KA12 KA18 KA22 KB04
KB14 KB22 KB24 KB25 MA08 MA27 NA19 RA05
5C094 AA55 BA03 BA16 BA43 EA04 EA06 EA10 FB19 HA08