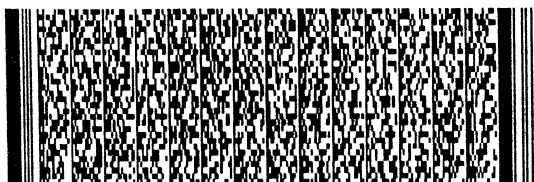


|                |            |
|----------------|------------|
| 申請日期： 92.1.23  | IPC分類      |
| 申請案號： 92101441 | H01L 23/28 |

(以上各欄由本局填註)

# 發明專利說明書 200414460

|                    |                       |                                                                                 |
|--------------------|-----------------------|---------------------------------------------------------------------------------|
| 一、<br>發明名稱         | 中 文                   | 晶片封裝製程                                                                          |
|                    | 英 文                   | METHOD FOR FABRICATING A CHIP PACKAGE                                           |
| 二、<br>發明人<br>(共1人) | 姓 名<br>(中文)           | 1. 張文遠                                                                          |
|                    | 姓 名<br>(英文)           | 1. Kenny Chang                                                                  |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW                                                                      |
|                    | 住居所<br>(中 文)          | 1. 台北縣新店市中正路533號8樓                                                              |
|                    | 住居所<br>(英 文)          | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C. |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓 名<br>(中文)    | 1. 威盛電子股份有限公司                                                                   |
|                    | 名稱或<br>姓 名<br>(英文)    | 1. VIA Technologies, Inc.                                                       |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW                                                                      |
|                    | 住居所<br>(營業所)<br>(中 文) | 1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)                                              |
|                    | 住居所<br>(營業所)<br>(英 文) | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C. |
|                    | 代表人<br>(中文)           | 1. 王雪紅                                                                          |
|                    | 代表人<br>(英文)           | 1. Hsiueh-Hong WANG                                                             |



10371twf.ptd

## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。

## 五、發明說明 (1)

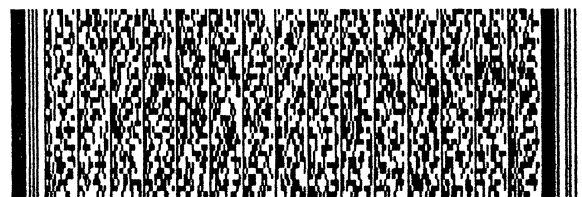
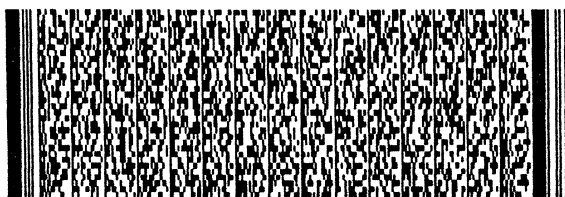
## 【發明所屬之技術領域】

本發明是有關於一種晶片封裝製程，且特別是有關於一種應用於覆晶接合型態之晶片封裝製程。

## 【先前技術】

覆晶接合技術 (Flip Chip Interconnect Technology，簡稱FC) 乃是利用面陣列 (area array) 的方式，將多個晶片墊 (die pad) 配置於晶片 (die) 之主動表面 (active surface) 上，並在晶片墊上形成凸塊 (bump)，接著將晶片翻覆 (flip) 之後，再利用這些凸塊來分別電性及機械性連接晶片之晶片墊至承載器 (carrier) 上的接點 (contact)，使得晶片可經由凸塊而電性連接至承載器，並經由承載器之內部線路而電性連接至外界之電子裝置。值得注意的是，由於覆晶接合技術 (FC) 係可適用於高腳數 (High Pin Count) 之晶片封裝結構，並同時具有縮小晶片封裝面積及縮短訊號傳輸路徑等諸多優點，所以覆晶接合技術目前已經廣泛地應用於晶片封裝領域，常見應用覆晶接合技術之晶片封裝結構例如有覆晶球格陣列型 (Flip Chip Ball Grid Array，FC/BGA) 及覆晶針格陣列型 (Flip Chip Pin Grid Array，FC/PGA) 等型態之晶片封裝結構。

第1A~1D圖繪示習知之四種覆晶球格陣列型之晶片封裝結構的剖面示意圖。請先參考第1A圖，晶片封裝結構100包括基板 (substrate) 110、多個凸塊120、晶片130、及多個錫球140。其中，基板110具有一頂面112及對

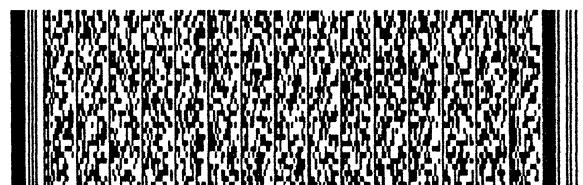
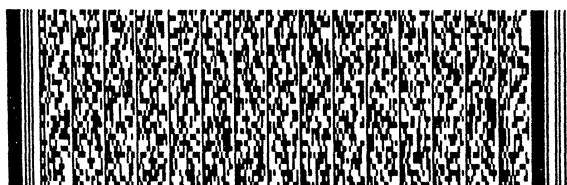


## 五、發明說明 (2)

應之一底面114，且基板110更具有多個凸塊墊 (bump pad) 116a 及多個鐸球墊 (ball pad) 116b。此外，晶片130具有一主動表面 (active surface) 132 及對應之一背面 134，其中晶片130之主動表面132係泛指晶片130之具有主動元件 (active device) (未繪示) 的一面，並且晶片130更具有多個晶片墊136，其配置於晶片130之主動表面132，用以作為晶片130之訊號輸出入的電性接點，其中這些凸塊墊116a之位置係分別對應於這些晶片墊136之位置。另外，這些凸塊120則分別電性及機械性連接這些晶片墊136之一至其所對應之這些凸塊墊116a之一。並且，鐸球140則分別配置於這些鐸球墊116b上，用以電性及機械性連接至外界之電子裝置。

請同樣參考第1A圖，底膠 (dispensed underfill) 150係以填入的方式來填充於基板110之頂面112、凸塊120與晶片130之主動表面132所圍成的空間，用以保護凸塊墊116a、晶片墊136及凸塊120所裸露出之部分，並同時緩衝基板110與晶片130之間在溫度變化時所產生的熱應力 (thermal stress) 之不匹配的現象。因此，晶片130之晶片墊136將可經由凸塊120而電性及機械性連接至基板110之凸塊墊116a，再經由基板110之內部線路 (未繪示) 連接至基板110之底面114的鐸球墊116b，最後經由鐸球墊116b上之鐸球140而電性及機械性連接至外界之電子裝置。

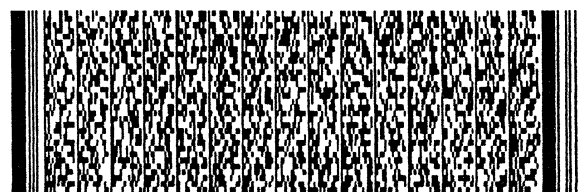
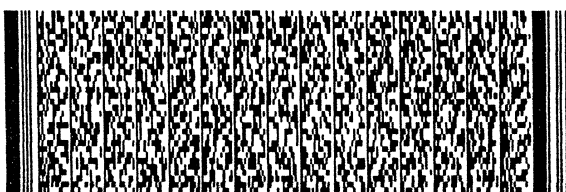
請參考第1B圖，值得注意的是，晶片封裝結構102



## 五、發明說明 (3)

中，封膠 (molded underfill) 152 係以注模的方式來完全覆蓋於基板110之頂面112及晶片130之背面134，且部分封膠152填入於基板110之頂面112、凸塊120與晶片130之主動表面132所圍成的空間，用以保護晶片130不受外力所破壞。由於封膠152之材質係為高分子聚合物，如環氧樹脂 (epoxy resin) 等，其固化之後可保護晶片130，以預防外界之濕氣進入晶片封裝結構102之內部；但值得注意的是，雖然封膠152之材質通常會選用導熱性較佳之高分子聚合物，但相對於金屬材料而言，封膠152之熱傳導性仍然較差。因此，當部分位於晶片130之背面134的封膠152愈厚時，將相對提高晶片130之背面134與晶片封裝結構102之外表面之間的熱阻抗值，相對地，晶片130於運作時所產生的熱能就更不容易散逸到外界環境中，所以位於晶片130之背面134的封膠152其厚度應該越小越好，藉以減少封膠152所產生的熱阻抗。然而，為了避免晶片130於封膠製程中遭到損毀，並且製造模具及製程均有一定的公差裕度，所以位於晶片130之背面134上的封膠152仍會被預留至一安全厚度。

請參考第1C圖，在晶片封裝結構104中，其封膠152係以注模的方式完全覆蓋於基板110a之頂面112a，而部分封膠152更可填入於基板110之頂面112、多個凸塊120與晶片130之主動表面132所圍成的空間，用以保護晶片130不受外力所破壞。然而，為了降低晶片130之背面134與晶片封裝結構204之外表面的熱阻抗，習知通常是將模具（未繪



## 五、發明說明 (4)

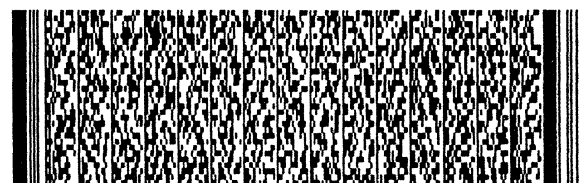
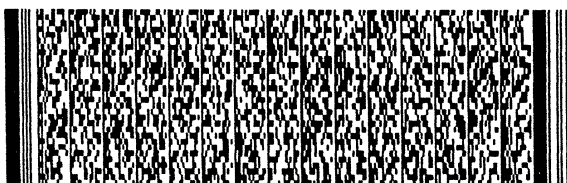
示) 緊靠密合於晶片130之背面134上, 並將未固化之封膠152灌入模具, 使得封膠152不會殘留於晶片130之背面134, 接著在固化封膠152之後, 此時才將模具移開, 而完成封膠152之製作。值得注意的是, 由於晶片130之本身質地易脆的緣故, 故當模具抵靠在晶片130之背面134時, 若模具於晶片130之抵靠的力量控制不當, 如此將導致模具壓壞晶片130, 或是造成封膠152填入模具與晶片130之背面134之間的縫隙。

請參考第1D圖, 在晶片封裝結構106中, 為了不讓模具直接抵靠在晶片130之背面134, 習知技術係在晶片130之背面134貼附一散熱貼帶(thermal conductive tape) 160, 使得模具可間接地經由散熱貼帶160, 而抵靠於晶片130之背面134, 所以未固化之封膠152將不會填入模具與晶片130之背面134之間的縫隙。值得注意的是, 雖然散熱貼帶160之熱傳導係數大於封膠152之熱傳導係數, 但與金屬相較之下, 散熱貼帶160多少還是會產生熱阻抗, 並相對增加製造成本。

## 【發明內容】

因此, 本發明的目的就是在提供一種晶片封裝製程, 用以降低晶片之背面與封裝之表面之間的熱阻抗。

為達本發明之上述目的, 本發明提出一種晶片封裝製程, 首先提供至少一晶片及一基板, 而晶片具有一主動表面及對應之一背面, 且基板具有一承載表面; 接著以覆晶接合的方式, 將晶片之主動表面連接至基板之承載表面;



## 五、發明說明 (5)

接著全面性形成一封膠於基板之承載表面，且封膠更覆蓋於晶片之背面；最後研磨封膠之遠離基板的部分，直到完全暴露出晶片之背面為止。

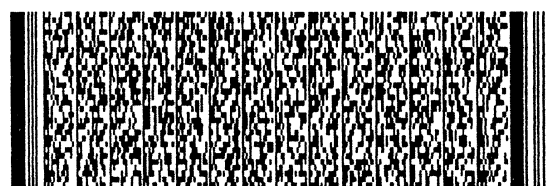
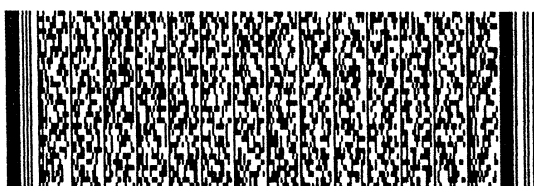
為達本發明之上述目的，本發明提出一種晶片封裝製程，首先提供多個晶片及一基板，而這些晶片分別具有一主動表面及對應之一背面，且基板具有一承載表面；接著以覆晶接合的方式，將這些晶片之主動表面分別連接至基板之承載表面；接著全面性形成一封膠於基板之承載表面，且封膠更覆蓋於這些晶片之背面；研磨封膠之遠離基板的部分，直到完全暴露出這些晶片之背面為止；最後單顆化這些晶片封裝結構，其中每一封裝體均可包含一個或一個以上的晶片。

因此，本發明之晶片封裝製程的特徵乃藉由研磨的方式，以移除位於晶片之背面的部分封膠，如此晶片之背面可易完全暴露於封膠之外，以使晶片所產生的熱能可快速散逸到外界環境中。此外，亦可藉由研磨的方式，除了可移除位於晶片之背面的部分封膠以外，更可進一步薄化晶片之厚度，進而薄化晶片封裝結構之整體厚度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

**【實施方式】**

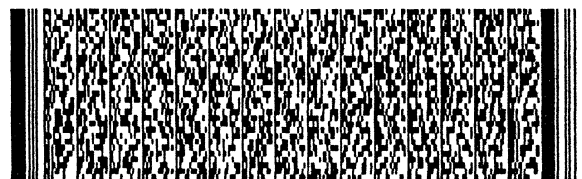
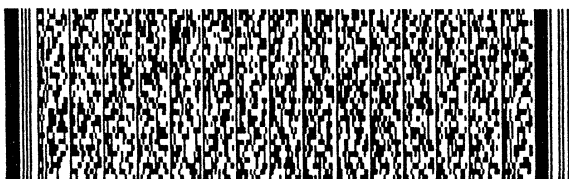
請參考第2A～2E圖，其繪示本發明之較佳實施例之一種晶片封裝製程的流程圖。如第2A圖所示，首先提供多個



## 五、發明說明 (6)

晶片230 (僅繪示其二) 及一基板210, 晶片230具有一主動表面232及對應之一背面234, 且晶片230係以覆晶接合的方式, 將晶片230之主動表面232連接至基板210之承載表面212。於覆晶接合之時, 晶片230係可經由多個凸塊220而連接至基板210之後, 接著迴錫 (reflow) 這些凸塊220, 其中迴錫之目的係在於提升凸塊220與基板210之間的接合性, 並且凸塊220於形成時, 通常會添加助錫劑 (flux), 以使凸塊220與基板210接合時, 可藉由助錫劑將凸塊220表面的氧化物及雜質析出, 故可提升凸塊220與基板210之間的接合性。接著再移除助錫劑 (deflux), 其中移除助錫劑的方式例如以溶劑來加以清洗, 並且在移除助錫劑之後, 更可利用電漿 (plasma) 來清潔基板210之承載表面212、晶片230及這些凸塊220所分別暴露出之表面, 用以去除殘留於基板210之承載表面212的助錫劑及其他雜質。

請參考第2B圖, 接著全面性形成一封膠250於基板210之承載表面212, 且封膠250更覆蓋於晶片230之背面234。值得注意的是, 由於封膠250係以注模的方式形成於基板210上, 所以必須先將未固化之封膠250注入於模具 (未繪示), 而全面性地覆蓋於基板210之承載表面212, 且未固化之部分封膠250更覆蓋於晶片230之背面234, 並且未固化之部分封膠250更將填入於晶片230、基板210及凸塊220所構成之空間, 用以保護晶片230不受外力所破壞。值得注意的是, 在全面性形成一封膠250之前, 為了避免部分





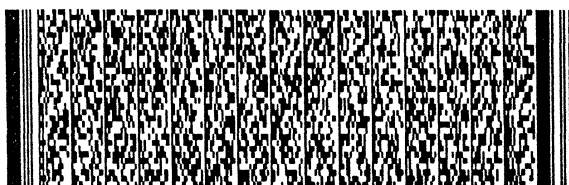
## 五、發明說明 (7)

之封膠250無法充分填入於晶片230、基板210、及這些凸塊220所構成之空間而產生空孔（或氣泡），此處亦可先填入底膠252（如虛線所示）於晶片230、基板210及這些凸塊220所構成之空間，最後再全面性形成封膠250於底膠252之外圍。

接著請參考第2C圖，研磨封膠250之遠離基板210的部分，直到完全暴露出晶片230之背面234為止，此處之研磨面所要求的平坦度不需要很高，誤差可到達約3mil左右。如此一來，封膠250不會殘留於晶片230之背面234，故可降低晶片230之背面234上方由封膠250所產生的熱阻抗值。另一方面，當研磨至晶片230之背面234時，同時研磨晶片230之背面234與封膠250之表面，以達到薄化晶片封裝結構200的效果。

接著請參考第2D圖，更可貼附一散熱片260於晶片230之背面234及封膠250之表面，用以提高晶片封裝結構200之散熱效能。接著，更可利用油墨或雷射的方式，在晶片封裝結構200之頂面印字（mark），並可選擇性地將鐳球240或其他類型之接點連接至基板210之底面214。

最後請參考第2E圖，單顆化（singulation）晶片230及其所述的封裝結構，用以形成單顆之晶片封裝結構200。值得注意的是，由於散熱片260之材質為金屬或較堅硬的材料，亦可在單顆化晶片230及其所述的封裝結構之後，再將多個散熱片260分別貼附至晶片封裝結構200之頂面，即封膠250之較遠離基板210之一面及晶片230之背面



## 五、發明說明 (8)

234。

綜上所述，本發明之晶片封裝製程乃是先全面性地形成一封膠於基板之承載表面，且部分封膠更覆蓋於晶片之背面，接著再研磨封膠之遠離基板的部分，直到完全暴露出晶片之背面為止。因此，本發明之晶片封裝製程具有下列優點：

(1) 就本發明之晶片封裝製程而言，由於封膠未包覆於晶片之背面，故可大幅減少晶片之背面與晶片封裝結構之外表面的熱阻抗，使得晶片所產生的熱能可快速散逸到外界環境中。

(2) 就本發明之晶片封裝製程而言，除可利用研磨的方式來移除部分位於晶片之背面的封膠以外，更可繼續研磨晶片之背面及封膠，進而達到薄化晶片封裝結構之效果。此外，若各個晶片之厚度不同時，更可藉研磨步驟使其厚度一致，並可同樣達到薄化整個晶片封裝結構之效果。

(3) 就本發明之晶片封裝製程而言，更可貼附一散熱片於晶片之背面及封膠之表面，用以提高晶片封裝結構之散熱效能。

(4) 就本發明之晶片封裝製程而言，本發明之晶片封裝製程亦可應用於多晶片模組 (Multi-Chip Module, MCM) 或系統單封裝 (System In Package, SIP) 等晶片封裝結構，使得多晶片模組之各個晶片之間的訊號傳輸路徑更短，故可提升多晶片模組於封裝後之電性效能。



## 五、發明說明 (9)

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



**圖式簡單說明**

第1A～1D圖繪示習知之四種覆晶球格陣列型之晶片封裝結構的剖面示意圖；以及

第2A～2E圖繪示本發明之較佳實施例之一種晶片封裝製程的流程示意圖。

**【圖式標示說明】**

100、102、104、106：晶片封裝結構

110：基板

112：頂面

114：底面

116a：凸塊墊

116b：鐳球墊

120：凸塊

130：晶片

132：主動表面

134：背面

140：鐳球

150：底膠

152：封膠

160：導熱貼片

200：晶片封裝結構

210：基板

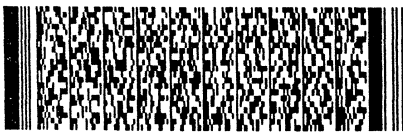
212：承載表面

214：底面



圖式簡單說明

- 220 : 凸塊
- 230 : 晶片
- 232 : 主動表面
- 234 : 背面
- 240 : 鐳球
- 250 : 封膠
- 252 : 底膠
- 260 : 散熱片



## 四、中文發明摘要 (發明名稱：晶片封裝製程)

一種晶片封裝製程，首先提供至少一晶片及一基板，而晶片具有一主動表面及對應之一背面，且基板具有一承載表面；接著以覆晶接合的方式，將晶片之主動表面連接至基板之承載表面；接著全面性形成一封膠於基板之承載表面，且封膠更覆蓋於晶片之背面；最後研磨封膠之遠離基板的部分，直到完全暴露出晶片之背面為止。由於封膠未包覆於晶片之背面，所以晶片所產生的熱能可快速散逸到外界環境中。此外，更可貼附一散熱片於晶片之背面以及封膠之表面，用以提高此晶片封裝結構之散熱效能。

伍、(一)、本案代表圖為：第 2E 圖

(二)、本案代表圖之元件代表符號簡單說明：

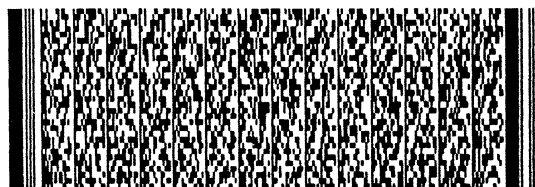
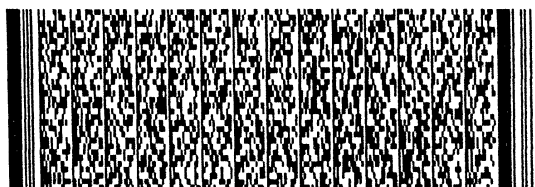
200：晶片封裝結構

210：基板

212：承載表面

## 陸、英文發明摘要 (發明名稱：METHOD FOR FABRICATING A CHIP PACKAGE)

A method for fabricating a chip package is to provide at least one chip having an active surface and a back surface thereon and a substrate having a support surface. To couple the active surface of the chip to the support surface of the substrate by the mean of flip chip attachment. Completely forming a compound on the support surface of the substrate and the compound even covers the back



## 四、中文發明摘要 (發明名稱：晶片封裝製程)

214 : 底面  
220 : 凸塊  
230 : 晶片  
232 : 主動表面  
234 : 背面  
240 : 鐳球  
250 : 封膠  
252 : 底膠  
260 : 散熱片

## 陸、英文發明摘要 (發明名稱：METHOD FOR FABRICATING A CHIP PACKAGE)

surface of the chip, then grinding the far portion of the compound opposite to the substrate until the back surface of the chip is exposed. The heat derives from the chip can be dissipated more quickly due to no compound covered the back surface of the chip. It also improves the heat dissipation of the chip package with a thermal conductive tape attached on the back surface of



四、中文發明摘要 (發明名稱：晶片封裝製程)

陸、英文發明摘要 (發明名稱：METHOD FOR FABRICATING A CHIP PACKAGE)

the chip and the surface of the compound.





## 六、申請專利範圍

1. 一種晶片封裝製程，包括下列步驟：

(a) 提供至少一晶片及一基板，其中該晶片具有一主動表面及對應之一背面，且該基板具有一承載表面；

(b) 以覆晶接合的方式，將該晶片之該主動表面連接至該基板之該承載表面；

(c) 全面性形成一封膠於該基板之該承載表面，且該封膠更覆蓋於該晶片之該背面；以及

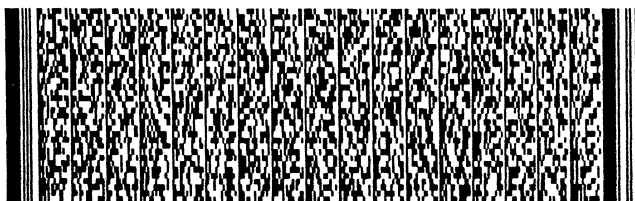
(d) 研磨該封膠之遠離該基板的部分，直到完全暴露出該晶片之該背面為止。

2. 如申請專利範圍第1項所述之晶片封裝製程，更包括貼附一散熱片於該封膠之表面及該晶片之該背面。

3. 如申請專利範圍第1項所述之晶片封裝製程，於步驟(c)之時，形成該封膠的過程包括：形成未固化之該封膠於該基板之該承載表面，且未固化之該封膠更覆蓋於該晶片之該背面，接著固化該封膠。

4. 如申請專利範圍第1項所述之晶片封裝製程，於步驟(b)之時，以覆晶接合的方式，將該晶片連接至該基板的過程包括：將該晶片經由複數個凸塊而連接至該基板之後，接著填充一底膠於該晶片、該基板及該些凸塊所構成之空間。

5. 如申請專利範圍第4項所述之晶片封裝製程，於步驟(c)之時，形成該封膠的過程包括：形成未固化之該封膠於該基板之該承載表面，且未固化之該封膠更覆蓋於該晶片之該背面，接著固化該封膠。



## 六、申請專利範圍

6. 一種晶片封裝製程，包括下列步驟：

(a) 提供複數個晶片及一基板，其中該些晶片分別具有一主動表面及對應之一背面，且該基板具有一承載表面；

(b) 以覆晶接合的方式，將該些晶片之該主動表面分別連接至該基板之該承載表面；

(c) 全面性形成一封膠於該基板之該承載表面，且該封膠更覆蓋於該些晶片之該背面；

(d) 研磨該封膠之遠離該基板的部分，直到完全暴露出該些晶片之該背面為止；以及

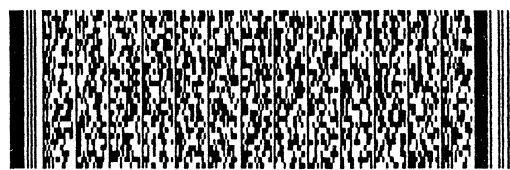
(e) 單顆化該些晶片之封裝結構。

7. 如申請專利範圍第6項所述之晶片封裝製程，於步驟(d)之後，且在步驟(e)之前，更包括貼附一散熱片於該封膠之表面及該些晶片之該背面。

8. 如申請專利範圍第6項所述之晶片封裝製程，於步驟(c)之時，形成該封膠的過程包括：形成未固化之該封膠於該基板之該承載表面，且未固化之該封膠更覆蓋於該些晶片之該背面，接著固化該封膠。

9. 如申請專利範圍第6項所述之晶片封裝製程，於步驟(b)之時，以覆晶接合的方式，將該些晶片連接至該基板的過程包括：將該些晶片經由複數個凸塊而連接至該基板之後，接著填充一底膠於該些晶片、該基板及該些凸塊所構成之空間。

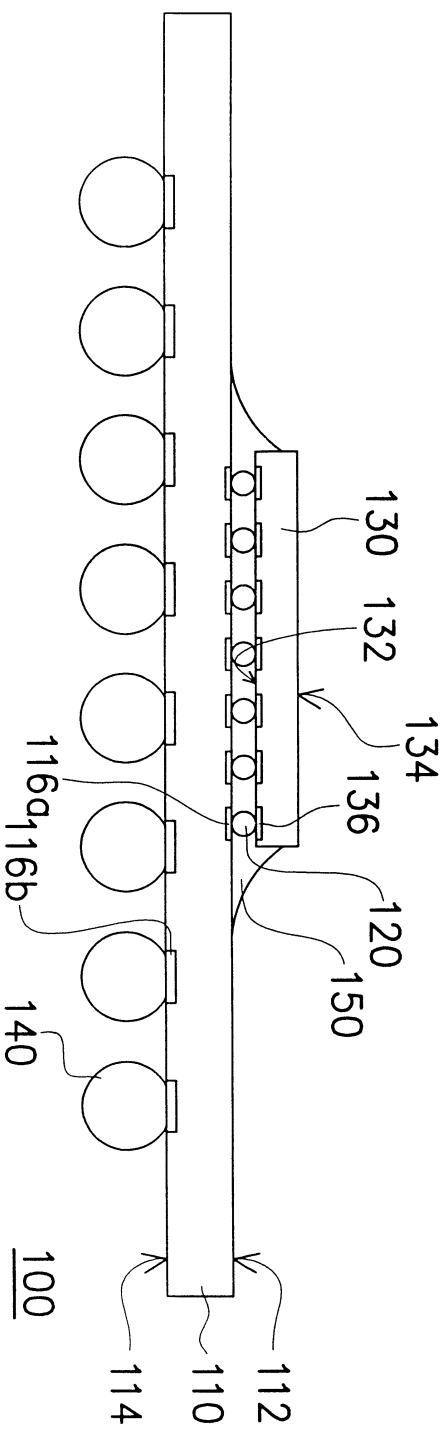
10. 如申請專利範圍第9項所述之晶片封裝製程，於步



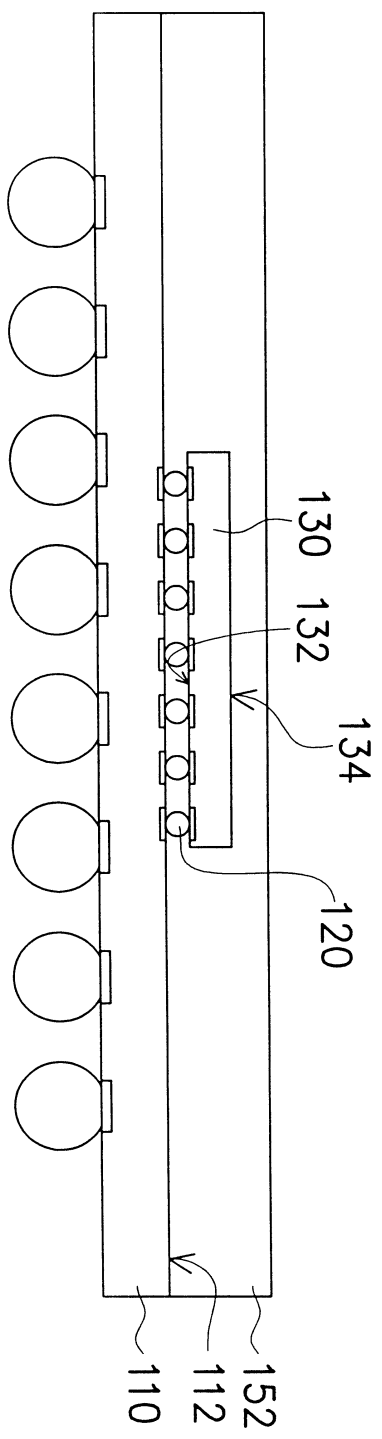
## 六、申請專利範圍

驟 (c) 之時，形成該封膠的過程包括：形成未固化之該封膠於該基板之該承載表面，且未固化之該封膠更覆蓋於該些晶片之該背面，接著固化該封膠。

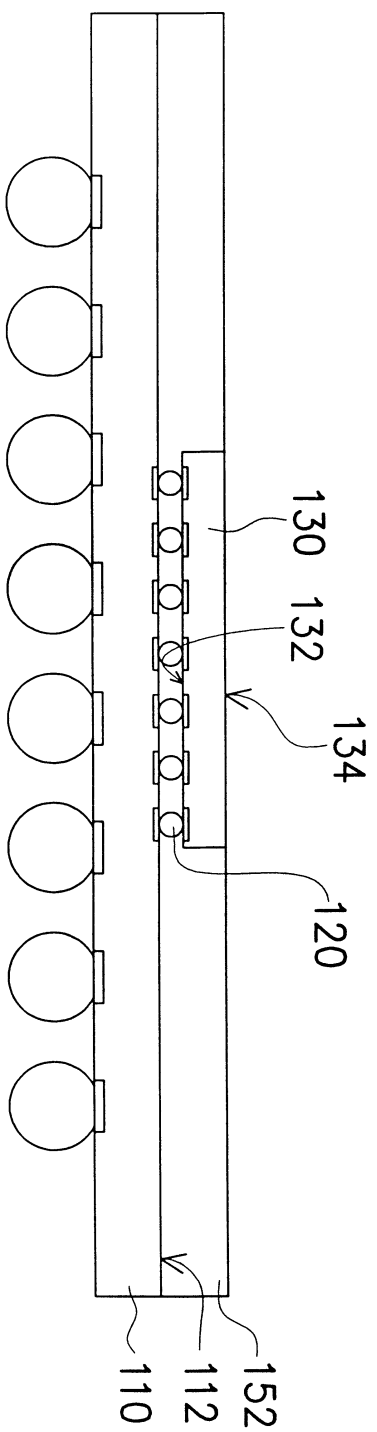




第1A圖

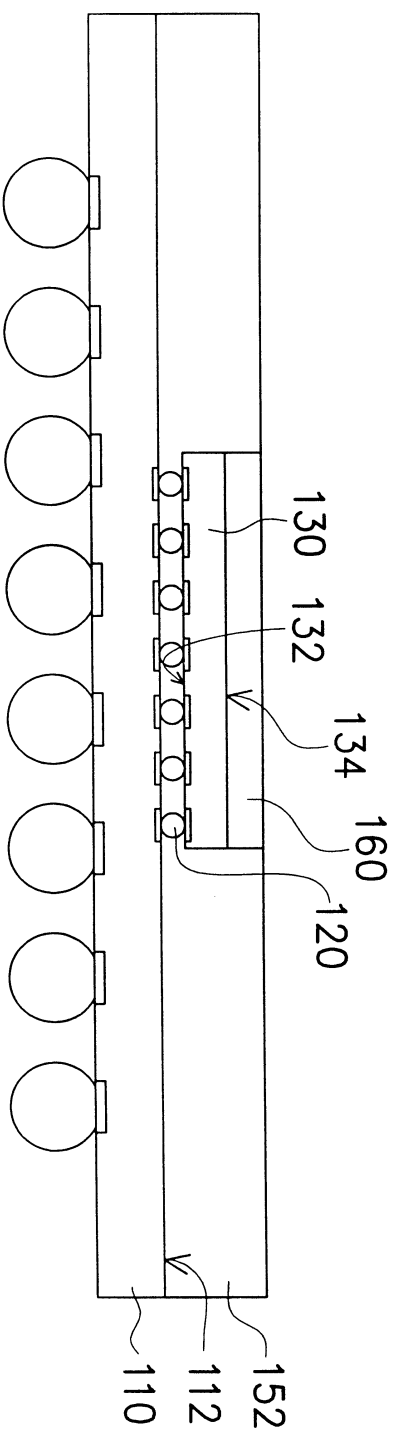


第1B圖



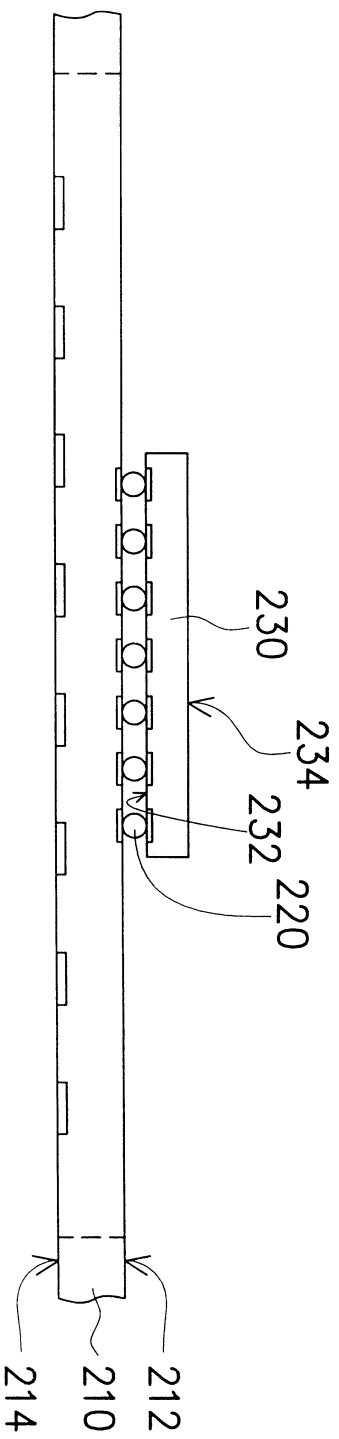
第1C圖

104

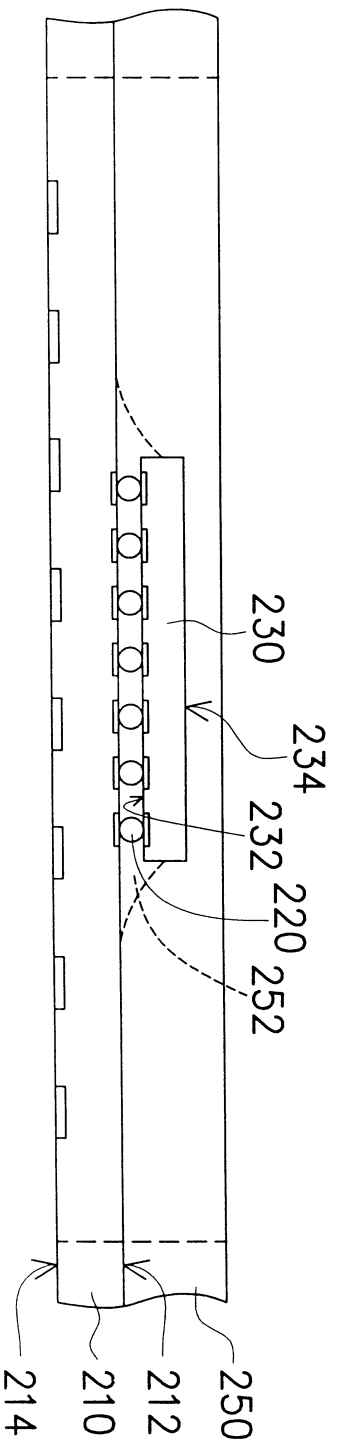


第1D圖

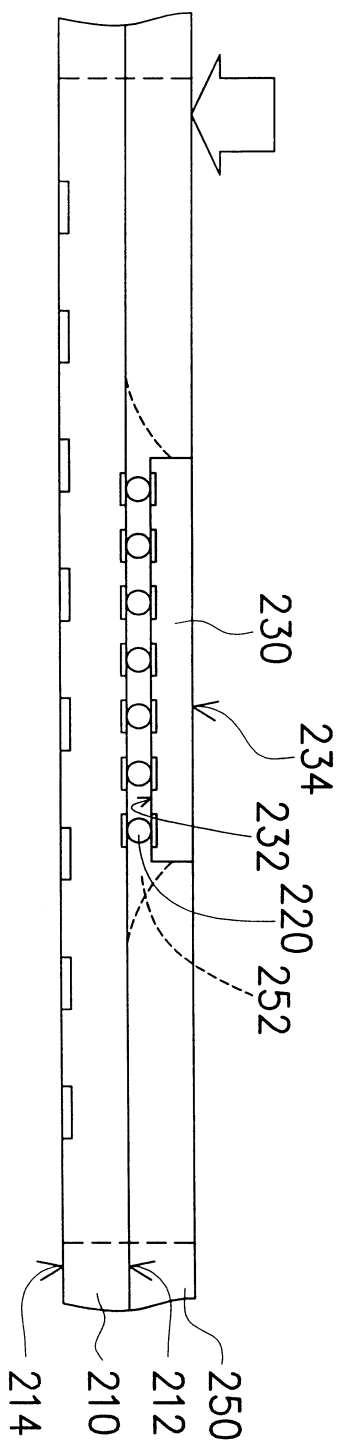
106



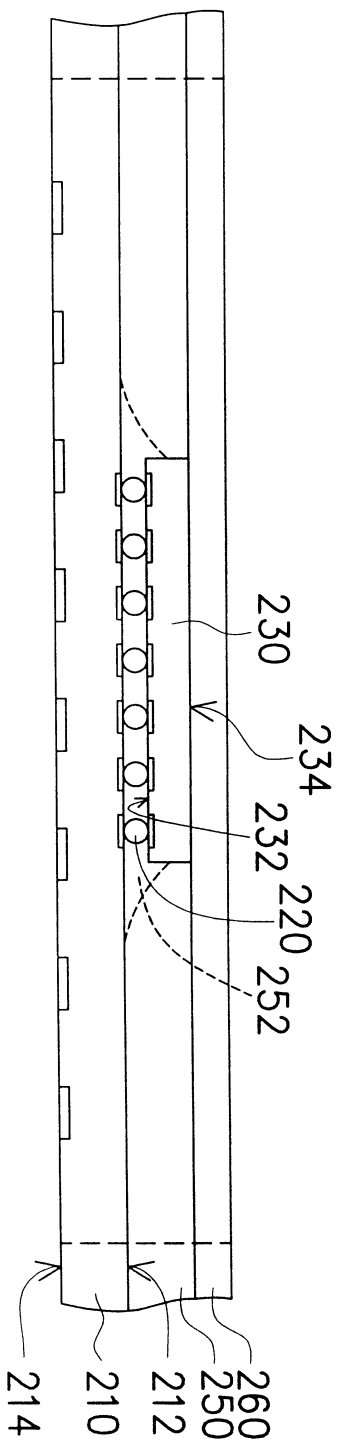
第2A圖



第2B圖



第20圖



## 第2D圖

