

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5501618号
(P5501618)

(45) 発行日 平成26年5月28日(2014.5.28)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl.		F I	
HO 1 L 29/812	(2006.01)	HO 1 L 29/80	H
HO 1 L 29/778	(2006.01)	HO 1 L 21/205	
HO 1 L 21/338	(2006.01)		
HO 1 L 21/205	(2006.01)		

請求項の数 12 (全 14 頁)

(21) 出願番号 特願2008-532215 (P2008-532215)
 (86) (22) 出願日 平成18年7月7日(2006.7.7)
 (65) 公表番号 特表2009-507396 (P2009-507396A)
 (43) 公表日 平成21年2月19日(2009.2.19)
 (86) 国際出願番号 PCT/US2006/026405
 (87) 国際公開番号 W02008/027027
 (87) 国際公開日 平成20年3月6日(2008.3.6)
 審査請求日 平成20年7月14日(2008.7.14)
 (31) 優先権主張番号 60/715,057
 (32) 優先日 平成17年9月7日(2005.9.7)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 592054856
 クリー インコーポレイテッド
 CREE INC.
 アメリカ合衆国 ノースカロライナ州 2
 7703 ダラム シリコン ドライブ
 4600
 (74) 代理人 110000578
 名古屋国際特許業務法人
 (72) 発明者 ウー イーフォン
 アメリカ合衆国 93117 カリフォル
 ニア州 ゴレタ ファイアーサイド レー
 ン 528

最終頁に続く

(54) 【発明の名称】 高電子移動トランジスタ (HEMT)、半導体デバイスおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

バッファ層と、
 前記バッファ層の上のバリア層と、
 前記バッファ層と前記バリア層との界面における2次元電子ガス(2DEG)と、
 ゲート、ソースコンタクトおよびドレインコンタクトと、
 前記バリア層の中の負イオン領域と
 を備え、
 前記ソースコンタクトと前記ドレインコンタクトの間に前記ゲートがあり、
 前記負イオン領域は、主として前記ゲートの下方において存在するとともに、前記ゲー
 トの端を超えて存在するように、前記バッファ層の中に広がっていることを特徴とする高
 電子移動度トランジスタ(HEMT)。

【請求項 2】

前記バッファ層および前記バリア層は、III族窒化物材料により作られ、
 前記負イオン領域は、フッ素イオンを備えることを特徴とする請求項1に記載のHEMT。

【請求項 3】

前記負イオン領域は、前記ゲートおよび前記ドレインコンタクトの間の位置に置かれる
 ことを特徴とする請求項1に記載のHEMT。

【請求項 4】

10

20

前記負イオン領域には、負イオン濃度が異なる部分がある請求項 1 に記載の H E M T。

【請求項 5】

フィールドプレートをさらに備えることを特徴とする請求項 1 に記載の H E M T。

【請求項 6】

半導体ベースのデバイスであって、

動作時電 (E) 界がかかる複数の活性半導体層であって、バッファ層の上のバリア層を含む複数の活性半導体層と、

少なくとも前記バリア層の中に存在する負イオン領域であって、主としてゲートの下方において存在するとともに、前記ゲートの端を超えて存在する負イオン領域と

を備えることを特徴とする半導体デバイス。

10

【請求項 7】

I I I 族窒化物ベースのバッファ層と、

前記バッファ層の上の、I I I 族窒化物ベースのバリア層と、

前記バッファ層と前記バリア層とのヘテロ界面における 2 次元電子ガス (2 D E G) と

、前記バリア層の上のソースコンタクトおよびドレインコンタクトと、

前記ソースコンタクトと前記ドレインコンタクトとの間の前記バリア層の上のゲートと

、前記バリア層の下に配置されており、前記バリア層の中に広がっており、かつ前記ゲートの端から前記ドレインへ広がっている、H E M T 中のフッ素負イオン領域と

を備えることを特徴とする高電子移動度トランジスタ (H E M T)。

20

【請求項 8】

半導体デバイスを製造する方法であって、

基板を設けるステップと、

前記基板の上、バッファ層とバリア層とを含むエピタキシャル層を成長させるステップと、

前記エピタキシャル層の中に負イオンを導入し、前記バッファ層及び前記バリア層の中に負イオン領域を形成するステップと、

前記バリア層上及び前記負イオン領域の少なくとも一部分の上にゲートを形成するステップであって、前記負イオン領域が、少なくとも部分的に、前記ゲートの下方において及び前記ゲートの端を超えて存在するステップと

を備えることを特徴とする方法。

30

【請求項 9】

前記エピタキシャル層の上にコンタクトを堆積させるステップをさらに備えることを特徴とする請求項 8 に記載の方法。

【請求項 10】

前記負イオンは、エッチングシステムにおけるプラズマ処理を用いて前記エピタキシャル層の中に導入されることを特徴とする請求項 8 に記載の方法。

【請求項 11】

前記エピタキシャル層は、I I I 族窒化物材料により作られ、

前記負イオンは、フッ素イオンを備えることを特徴とする請求項 8 に記載の方法。

40

【請求項 12】

前記半導体デバイスは、高電子移動度トランジスタ (H E M T) を備えることを特徴とする請求項 8 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタに関し、より詳細には、全体的な動作時の電界を低減する負イオン領域を有する高電子移動度トランジスタ (H E M T : high electron mobility transistor) に関する。

50

【背景技術】

【0002】

高電子移動度トランジスタ (HEMT) は、ガリウムヒ素 (GaAs) 等の半導体材料から製造することができる、一般的なタイプの固体トランジスタである。GaAsベースのHEMTは、民生用および軍事用レーダ、ハンドセットセルラ (handset cellular)、および衛星通信における高周波信号増幅に、一般的に用いられている。GaAsは、Siと比べて、高い電子移動度 (約 $6000 \text{ cm}^2 / \text{V} \cdot \text{s}$) と、低いソース抵抗を持つ。それ故、GaAsベースのデバイスは、より高い周波数で動作することができる。しかしながら、GaAsは、比較的小さなバンドギャップ (室温で 1.42 eV) と比較的低い降伏電圧を持ち、それ故に、GaAsベースのHEMTでは、高周波においては高い電力を得ることができない。

10

【0003】

AlGaN/GaN等の広いバンドギャップの半導体材料の製造における進歩は、高周波、高温、および高電力応用のためのAlGaN/GaNのHEMTの開発に対する関心を集めている。AlGaN/GaNは、大きなバンドギャップと、高いピークおよび飽和電子速度値を有する (非特許文献1参照)。AlGaN/GaNのHEMTはまた、シート密度 $10^{13} / \text{cm}^2$ 以上の2次元電子ガス (2DEG)、および、比較的高い電子移動度 (最大 $2019 \text{ cm}^2 / \text{Vs}$) を持つことができる (非特許文献2参照)。これらの特性によって、AlGaN/GaNのHEMTは、無線周波数、マイクロ波周波数、およびミリメートル波周波数で、非常に高い電圧および高い電力での動作が可能となる。

20

【0004】

AlGaN/GaNのHEMTをサファイア基板上に成長させ、電力密度 4.6 W/mm 、および、全電力 7.6 W を得た (非特許文献3参照)。さらに最近、SiCの上に成長させたAlGaN/GaNのHEMTは、 8 GHz において 9.8 W/mm の電力密度 (非特許文献4参照)、また、 9 GHz において 22.9 W の全出力電力を示した (非特許文献5参照)。

【0005】

特許文献1は、基板とバッファの上に成長させた、GaN/AlGaNベースのHEMTを開示している。他のAlGaN/GaNのHEMT、および、FET (field effect transistor) は、非特許文献6および7によって開示されている。これらのデバイスのいくつかは、 67 GHz の高い利得帯域幅積 (f_T) (非特許文献8参照)、および、 10 GHz において 2.84 W/mm の高い電力密度を示した (非特許文献9および10参照)。

30

【0006】

【特許文献1】米国特許第5,192,987号明細書

【特許文献2】米国特許第6,586,781号明細書

【特許文献3】米国特許第6,849,882号明細書

【特許文献4】米国再発行特許第34,861号明細書

【特許文献5】米国特許第4,946,547号明細書

【特許文献6】米国特許第5,200,022号明細書

40

【特許文献7】米国特許第5,290,393号明細書

【特許文献8】米国特許第5,686,738号明細書

【特許文献9】米国特許第5,393,993号明細書

【特許文献10】米国特許第5,523,589号明細書

【特許文献11】米国特許第5,739,554号明細書

【特許文献12】米国特許第6,316,793号明細書

【特許文献13】米国特許第6,586,781号明細書

【特許文献14】米国特許第6,548,333号明細書

【特許文献15】米国特許第6,849,882号明細書

【特許文献16】米国特許出願公開第2003/0020092号明細書

50

【特許文献 17】米国特許第 5,192,987 号明細書

【特許文献 18】米国特許第 5,296,395 号明細書

【非特許文献 1】B. Belmont, K. Kim and M. Shur, J.Appl.Phys. 74, 1818 (1993)

【非特許文献 2】R. Gaska, J. W. Yang, A. Osinsky, Q. Chen, M. A. Khan, A. O. Orlov, G. L. Snider and M.S. Shur, Appl.Phys.Lett., 72, 707 (1998)

【非特許文献 3】Y. F. Wu et al., IEICE Trans.Electron., E-82-C, 1895 (1999)

【非特許文献 4】Y. F. Wu, A. Saxler, M. Moore, R. P. Smith, S. Sheppard, P.M. Chavarkar, T. Wisleder, U.K.Mishra, and P. Parikh, "30W/mm GaN HEMTs by Field Plate Optimization", EDL, Vol. 25, pp. 117-119, Mar. 2004

【非特許文献 5】M. Micovic, A Kurdoghlian, P. Janke, P. Hashimoto, D. W. S. Wong, J. S.Moon, L. McCray and C. Nguyen, IEEE Trans.Electron.Dev., 48, 591 (2001) 10

【非特許文献 6】Gaska et al., "High-Temperature Performance of AlGaIn/GaN HFET's on SiC Substrates," IEEE Electron Device Letters, Vol. 18, No 10, October 1997, Page 492

【非特許文献 7】Ping et al., "DC and Microwave Performance of High Current AlGaIn Heterostructure Field Effect Transistors Grown on P-type SiC Substrates," IEEE Electron Devices Letters, Vol. 19, No. 2, February 1998, Page 54

【非特許文献 8】K. Chu et al. WOCSEMMAD, Monterey, CA (February 1998)

【非特許文献 9】G. Sullivan et al., "High Power 10-GHz Operation of AlGaIn HFET's in Insulating SiC," IEEE Electron Device Letters, Vol. 19, No. 6, Page 198 (June 1998) 20

【非特許文献 10】Wu et al., IEEE Electron Device Letters, Volume 19, No. 2, Page 50 (February 1998)

【発明の開示】

【発明が解決しようとする課題】

【0007】

電子のトラップと、それに起因する DC 特性と RF 特性との不一致が、AlGaIn/GaN の HEMT 等の、GaN ベースのトランジスタの動作における制限要因であった。窒化ケイ素 (SiN) パッシベーション (passivation) を用いることにより、このトラップの問題を軽減することができ、その結果、10 GHz において 10 W/mm を超える電力密度を有する高い動作のデバイスが得られた。特許文献 2 は、GaN ベースのトランジスタの中のトラップ効果を低減する方法と構造を開示している。しかしながら、これらの構造の中には高い電界が存在するので、高電流の構造に対する電荷のトラップおよび低い降伏電圧は、今なお議論の対象であり得る。 30

【課題を解決するための手段】

【0008】

簡単にかつ一般的な用語で言えば、本発明は、デバイスの動作時電界を打ち消すための負イオン領域を有する半導体デバイスと、そのデバイスを製造する方法に関する。本発明による半導体デバイスの一実施形態は、動作時電 (E) 界 (operating electric (E) field) がかけられる、複数の活性な半導体層を備える。動作時電 (E) 界を打ち消すために、負イオン領域が複数の半導体層の中に含まれる。 40

【0009】

本発明による半導体デバイスの別の実施形態は、バッファ層と、バッファ層の上のバリア層とを有する高電子移動度トランジスタ (HEMT) を備える。2次元電子ガス (2DEG) は、バッファ層とバリア層との界面にあり、負イオン領域は、バッファ層の中にある。

【0010】

本発明による HEMT の別の実施形態は、III 族窒化物ベースのバッファ層と、バッファ層上の III 族窒化物ベースのバリア層とを備える。2次元電子ガス (2DEG) は、バッファ層とバリア層との間のヘテロ界面にあり、ソースコンタクトとドレインコンタ 50

クトはバリア層の上にある。ゲートは、バリア層上で、ソースコンタクトとドレインコンタクトとの間にある。動作時電 (E) 界を打ち消す (counter) ために、フッ素負イオン領域が H E M T の中に含まれる。

【 0 0 1 1 】

本発明による、半導体デバイスを製造する 1 つの方法は、基板を設けるステップと、基板の上にエピタキシャル層を成長させるステップとを備える。負イオンがエピタキシャル層の中に導入されて、半導体デバイスの中の動作時電 (E) 界を打ち消すための負イオン領域を形成する。

【 0 0 1 2 】

本発明による、高電子移動度トランジスタ (H E M T) を製造する 1 つの方法は、基板を設けるステップと、基板の上に I I I 族窒化物のバッファ層とバリア層とを成長させるステップとを備える。負イオン領域がバリア層の中に形成されて、 H E M T の中の動作時電 (E) 界を打ち消す働きをする。

【 0 0 1 3 】

以下の詳細な説明と、本発明の実施形態および特徴を示す添付の図面とから、本発明の種々の態様と利点が明らかになるであろう。

【発明を実施するための最良の形態】

【 0 0 1 4 】

本発明は、半導体デバイスに関し、より詳細には、動作時に電 (E) 界 (electric (E) field) がかけられるトランジスタに関する。本発明によると、トランジスタの動作時電界を打ち消して低減するために、 1 つまたはそれ以上の負イオン領域をデバイス中に含めることができ、それにより、動作が改善される。

【 0 0 1 5 】

トランジスタは一般的に、活性領域を含み、活性領域と電氣的に接触するように形成された金属のソース電極とドレイン電極、および、活性領域の中の電界を変調 (modulate) するためにソース電極とドレイン電極との間に形成されたゲートとを含む。本発明によれば、特許文献 3 の中で説明されるものを含み、多くの異なる H E M T 構造が可能である。なお、特許文献 3 は、参照により、全て記載が本明細書に組み込まれる。 H E M T は、典型的に、バッファ層と、バッファ層の上のバリア層とを含む。 2 次元電子ガス (2 D E G) 層 / チャネルが、バッファ層とバリア層とのヘテロ界面に形成される。ゲート電極は、バリア層の上で、ソース電極とドレイン電極との間に形成される。

【 0 0 1 6 】

H E M T は、高電力デバイスとして動作しているときに、あり得る 1 つの原因として、バッファとバリア層との界面のところの分極電荷によって誘起される高い電荷密度により、ゲートからドレインのところの領域で高い電界がかかることがある。フィールドプレートを用いれば、高い電界領域を調整し、デバイス動作を改善することができる。しかし、フィールドプレートは、典型的には、デバイスの最上部にしか置くことができないので、この技術には限界がある。

【 0 0 1 7 】

本発明は、各所の電界を低減するために、高い電荷密度を打ち消す負イオン領域を用いる。負イオン領域は、トランジスタのエピタキシャル層の中に負イオンを注入することにより形成される。負イオン領域を形成するための負イオン源 (source for negative ions) として、多くの異なる材料を用いることができるが、 1 つの適した材料は、フッ素である。ドーピングは、多くの異なる方法によって行うことができるが、プラズマ処理を用いる方法、および、エッチングシステムを用いて処理する方法が適当である。フッ素イオンは、ある種のエピタキシャル層、特に、 I I I 族窒化物のエピタキシャル層では、内部に浸透することができる。負イオン領域は、エピタキシャル層の中で、イオン濃度が深さにより異なる領域を持つ種々のプロファイルを有する。

【 0 0 1 8 】

本発明は、電界の調整におけるより高い柔軟性を提供し、性能を向上させる。例えば、

10

20

30

40

50

負イオン領域は、デバイス中のピーク電界を低減することができ、その結果、降伏電圧が上昇し、トラップが減少する。電界の低減は、漏れ電流の低減および信頼度の向上等の、他の利益をもたらすこともできる。

【0019】

素子または層が、別の素子または層、「の上にある (on)」、「に接続されている (connected to)」、「に結合している (coupled to)」、または、「と接触している (in contact with)」と表現される場合、直接、他の素子または層の上にある、他の素子または層に接続または結合している、または、他の素子または層と接触していてもよいし、介在する素子または層があってもよいということが理解されるであろう。一方、素子が、別の素子または層、「の直接上にある (directly on)」、「に直接接続されている (directly connected to)」、「に直接結合している (directly coupled to)」、または、「と直接接触している (directly in contact with)」と表現される場合、介在する素子または層はない。同様に、第1の素子または層が、第2の素子または層に、「電氣的に接触している」、または、「電氣的に結合している」と表現される場合、第1の素子または層と第2の素子または層との間に、電流を流すことができる電氣的経路があることを意味する。電氣的経路は、キャパシタ、結合インダクタ、および/または、素子間の直接の接触がなくても電流を流すことができる他の素子を含むことができる。

【0020】

図1は、本発明によるトランジスタ10の一実施形態を示す。トランジスタ10は、III族窒化物ベースのHEMTであることが望ましい。本発明は他の半導体デバイスとともに用いることができること、および、他の材料系も用いることができることが理解されるだろう。III族窒化物とは、窒素と、周期律表のIII族の中の元素との間で形成される半導体化合物のことである。III族の中の元素とは、通常、アルミニウム (Al)、ガリウム (Ga)、およびインジウム (In) である。この用語は、また、AlGaIn および AlInGaIn 等の、三元化合物にも用いられる。好ましい一実施形態では、バリア層を形成する材料はAlGaInであり、バッファ層を形成する材料はGaNである。代替的实施形態では、これらの層の材料は、GaN、AlGaIn、AlGaAs、または、AlGaInPであってもよいし、他の材料であってもよい。

【0021】

HEMT10は、炭化ケイ素、サファイア、スピネット (spinet)、ZnO、ケイ素、窒化ガリウム、窒化アルミニウム、または、III族窒化物材料の成長をサポートすることができる任意の他の材料、または、それらの材料の組み合わせから作ることができる基板12を備える。適切な炭化ケイ素基板は、4Hポリタイプの炭化ケイ素であるが、3C、6H、および15Rポリタイプを含む、他の炭化ケイ素ポリタイプも用いることができる。炭化ケイ素は、他の基板材料と比べて、III族窒化物に整合したより近い結晶格子を持つことができ、その結果、より品質のよいIII族窒化物フィルムを作ることができる。炭化ケイ素はまた、非常に高い熱伝導率を持ち、エミティングデバイス (emitting device) の熱放散を高めることができる。SiC基板は、ノースカロライナ州ダラム (Durham) 在の本件特許出願人より入手可能である。また、SiC基板を製作する方法は、科学文献や特許文献4~6に開示されている。さらに他の実施形態では、HEMT10は、基板を用いずに形成することもできるし、基板は、エミッタ層を形成した後に取り除かれてもよい。

【0022】

核生成層 (nucleation layer) 14は、基板12の上に形成されて、HEMT10の中の基板12と次の層との間の格子不整合を低減することができる。核生成層14の厚さは、約1000オングストローム () であるべきだが、他の厚さを用いることもできる。核生成層14は、多くの異なる材料を備えることができるが、適した材料は、 $Al_zGa_{1-z}N$ ($0 \leq z \leq 1$) である。また、層14は、基板12の上に、有機金属化学気相成長法 (MOCVD)、ハイドライド気相成長法 (HVPE)、または分子線エピタキシ法 (MBE) 等の、公知の半導体成長技術を用いて形成することができる。

【 0 0 2 3 】

核生成層 1 4 の形成は、基板 1 2 に用いられる材料に依存する場合がある。例えば、種々の基板の上に核生成層 1 4 を形成する方法は、特許文献 7 および 8 で教示されている。なお、いずれの文献も、参照により、全ての記載が本明細書に組み込まれる。炭化ケイ素基板の上に核生成層を形成する方法は、特許文献 9 ~ 1 1 で開示されている。なお、いずれの文献も、参照により、全て記載が本明細書に組み込まれる。

【 0 0 2 4 】

H E M T 1 0 は、核生成層 1 4 の上に形成された高抵抗率のバッファ層 1 6 をさらに備える。バッファ層 1 6 は、I I I 族窒化物材料の、ドーピングまたはドーピングしない層を備えることができ、 $A l_x G a_y I n_{(1-x-y)} N$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$) 等の、I I I 族窒化物材料によって作られることが望ましい。G a N 等の、その他の材料もまた、バッファ層 1 6 のために用いることができる。この場合、バッファ層の厚さは、約 $2 \mu m$ であり、バッファ層の一部には F e がドーピングされる。

【 0 0 2 5 】

バリア層 1 8 はバッファ層 1 6 の上に生成され、バッファ層 1 6 は、バリア層 1 8 と核生成層 1 4 との間にサンドイッチされる。バッファ層 1 6 と同様に、バリア層 1 8 は、I I I 族窒化物材料のドーピングまたはドーピングなしの層と、好ましくは A l G a N / G a N 材料とを備えることができる。典型的な H E M T 構造は、特許文献 1 2 ~ 1 6 に示されている。これらの文献は、参照により、全て記載が本明細書に組み込まれる。この他の窒化物ベースの H E M T 構造は、特許文献 1 7 および 1 8 に示されている。これらの文献は、参照により、全て記載が本明細書に組み込まれる。バッファ層 1 6 とバリア層 1 8 は、核生成層 1 4 を成長させるために用いる方法と同じ方法を用いて形成することができる。デバイス間の電氣的なアイソレーションは、活性な H E M T の外側をメサエッチするかまたはイオン注入をするかによって形成することができる。

【 0 0 2 6 】

金属ソース電極 2 0 と金属ドレイン電極 2 2 は、バリア層 1 8 にオーム接触を作ることにより形成される。ゲート 2 4 は、バリア層 1 8 の上でソース電極 2 0 とドレイン電極 2 2 との間に形成される。当技術分野において知られているように、2 次元電子ガス (2 D E G) 1 7 は、バッファ層 1 6 とバリア層 1 8 とのヘテロ界面のところに誘起され、形成される。電流は、ゲート 2 4 が適当なレベルにバイアスされた場合に、ソース電極 2 0 とドレイン電極 2 2 との間を、2 D E G 1 7 を介して流れることができる。ソース電極 2 0 およびドレイン電極 2 2 の形成は、上述した特許文献および刊行物の中で詳しく説明されている。

【 0 0 2 7 】

ソース電極 2 0 とドレイン電極 2 2 は、種々の材料で作ることができ、その材料は、チタン、アルミニウム、金、またはニッケルの合金を含むが、これらには限定されない。ゲート 2 4 も同様に、種々の材料で作ることができ、その材料は、金、ニッケル、ニッケル-クロム、白金、チタン、クロム、チタンとタングステンの合金、または、白金シリサイドを含むが、これらには限定されない。ゲート 2 4 は、多くの異なる長さ (L_g) を取ることができ、適したゲート長は、0 . 1 ミクロンから 0 . 2 ミクロンの範囲にあるが、他のゲート長も用いることができる。本発明による一実施形態では、好ましいゲート長 (L_g) は約 0 . 5 ミクロンである。

【 0 0 2 8 】

負イオン領域 2 6 は、バリア層 1 8 の中に含まれるが、他の実施形態では、バッファ層 1 6 の中に広がることもできる。負イオン領域は、導入されたまたは埋め込まれた負イオンを中に有する、デバイスのエピタキシャル層の領域であり、周囲の材料と比較して、より多くの負イオンを有する領域を形成する。図示したように、負イオン領域 2 6 は、主にゲート 2 4 の下にあり、電界を調整するために、希望に応じて、外に広がっている。上述したように、領域 2 6 の中の負イオンは、全体的な電界 (E) を低減することにより、H E M T 1 0 の中の電界を低減する。例えば、負イオンは、バッファ層 1 6 とバリア層 1 8

10

20

30

40

50

との間のAlGaIn/GaN界面のところの分極に由来する正の電荷に対して、反対に作用するように配置することができ、それにより、HEMTの正味の電荷を減少させることができる。

【0029】

上記でも述べたように、領域26の中の負イオンは、III族窒化物半導体材料の種々のレベルに浸透することができるフッ素イオンであることが望ましい。上記で示したように、フッ素イオンは、AlGaIn/GaNバリア層18の中に浸透するが、他の実施形態では、フッ素イオンは、バッファ層16または核生成層等の下の層の中にも浸透することができる。フッ素イオンは、多くの異なる方法を用いて導入し、層16および層18の中に浸透させることができるが、好ましい方法は、エッチングシステムにおけるフッ素プラズマ処理である。適したエッチングシステムは、リアクティブイオンエッチング(RIE)処理または誘導結合プラズマエッチング(ICP)処理を用いた、フッ素ベースのドライエッチを含む。その他の実施形態では、イオン注入処理を用いることができる。種々の異なる材料を、エッチング処理に用いることができる。これらは、CF₄、SF₆、または、CHF₃のプラズマガス化学処理を含むが、それに限定はされない。好ましい実施形態においては、エッチングの方法は、エッチングを行っている間にAlGaIn/GaN材料に損傷を与えてはならず、AlGaIn/GaNに浸透するフッ素イオンのソースを設けなければならない。

10

【0030】

希望する深さの浸透を達成するために必要な時間は、いくつかの異なる要因に依存する。フッ素イオンがバリア層18の中に注入されて、バリア層18またはバッファ層16の中に広がる速度は、一般に、エッチング処理に用いる電圧(電力)レベル、エッチング処理を行っている間のガスの流量、ガス濃度、および、表面に対してエッチを行う時間に依存する。電圧レベル、ガス濃度、およびガスの流量が高ければ、浸透が希望のレベルに達するまでの時間は短くなるであろう。フッ素イオンの浸透が希望する区画だけに起きて、希望する負イオン領域が形成されるように、マスクを含むことができる。

20

【0031】

種々の負イオン領域の深さと幅とを有する負イオンプロファイルを得るために、エッチング処理はカスタマイズすることができる。また、領域の異なる部分は、異なるイオン濃度、または異なる深さにすることができる。限定的でない例として、公知の複数のマスクング技術を含む多くの異なる方法が、このプロファイルを形成するために用いることができる。AlGaIn/GaNと異なる材料系で作られるHEMTでは、その材料系に損傷を与えない種々のエッチング処理を、負イオンを導入するために用いることができる。

30

【0032】

フッ素イオンは、トランジスタの電界の高い他の領域に負イオン領域を設けるために、エピタキシャル層の他の区画にさらに導入することができる。電界の高い領域の別の例は、メサアイソレーションの端の部分である。負イオン領域を設けて、ゲート金属がメサの端を横切る場所における漏れ電流と、ゲート金属パッドの下の漏れ電流とを低減するように、メサアイソレーション処理のフォローアップ(follow-up)ステップとして、フッ素処理を用いることができる。

40

【0033】

HEMT10の動作時に、電界は、ゲートからドレインまでの領域28と、その周囲に広がって行く。負イオン領域26は、この電界を打ち消して低減するように配置され、その結果、降伏電圧が上昇してトラップが減少する。電界の低減は、漏れ電流の低減および信頼度の向上等の、その他の利益ももたらすことができる。

【0034】

本発明は、フィールドプレート等の、電界を調整するための他の構造/特徴を有するデバイスの中で用いることができる。図2は、本発明によるHEMT40の別の実施形態を示す。HEMT40も、基板12、AlGaIn/GaN核生成層14、AlGaIn/GaNバッファ層16、AlGaIn/GaNバリア層18、ソース電極20、ドレイン電極2

50

2、および、ゲート24を有する。第1の非導電性スペーサ層42が、ゲート24とソース電極20との間およびゲート24とドレイン電極22との間のバリア層18の表面を覆って形成される。第1のスペーサ層42は、誘電体層、または、複数の誘電体層の組み合わせを備えることができる。SiN、SiO₂、Si、Ge、MgO_x、MgN_x、ZnO、SiN_x、SiO_x、これらの混合または順番に重ねた層等の、種々の誘電体材料が使用可能である。スペーサ層は、多くの異なる厚さであってよいが、適した厚さの範囲は、約0.05ミクロンから2ミクロンである。

【0035】

デバイスのメタライゼーション(metallization)の前にスペーサ層42が形成される場合には、スペーサ層はまた、Al、Ga、または、Inの合金等の、III族元素を有するIII族窒化物材料等の、エピタキシャル材料を備えることができるが、適したスペーサ層材料は、Al_xGa_{1-x}N(0 < x < 1)である。バリア層18をエピタキシャル成長させた後に、同じエピタキシャル成長の方法を用いて、第1のスペーサ層42を成長させることができる。適した誘電体スペーサ層はまた、バリア層のエピタキシャル成長の後に、同じエピタキシャル成長の方法を用いて成長させることができる。

【0036】

次いで、第1のスペーサ層42がエッチングされ、ゲート24、ソース電極20、およびドレイン電極22は、2DEG17と電氣的に接触するように適切に形成することができる。フッ素(負)イオンをバリア層18の中に注入し、希望に応じて、バッファ層16の中に広げることができるのは、このエッチング処理の間である。ゲート線は、典型的に、スペーサ層の中で確定され、ゲートのための空間は、エッチングにより空けられる。典型的には、スペーサ層42は、フッ素ベースのRIEを用いてエッチングされる。スペーサ層42のエッチングに続いて、バリア層18は、さらにフッ素暴露処理を行い、バリア層18のAlGa_n/Ga_nNの中に、希望するフッ素イオンを浸透させることができる。他の実施形態では、スペーサ層42の堆積(deposition)およびエッチングの前に、フッ素イオンをバリア層の中に注入することができる。フッ素イオンは負電荷を帯びており、AlGa_n/Ga_nN材料系の中の正の分極電荷を打ち消すドーパントとして働く。

【0037】

第1のフィールドプレート44は、スペーサ層42の上に形成され、ゲート24からドレイン電極22の方に向かって広がる。フィールドプレートはまた、ソース電極20の方に向かって広がる部分を有することができる。スペーサ層42は、第1のフィールドプレート44と下の層との間のアイソレーションを与えるように配置される。図に示すように、フィールドプレート44は、ゲート24に集積されているが、他の実施形態ではゲート24から分離されていてもよく、ゲート24またはソース電極20と電氣的に結合する。

【0038】

フィールドプレート44は、ゲート24の端からバリア層の上に種々の距離L_fにわたり広がることができ、適した距離の範囲は、0.1ミクロンから1.0ミクロンであるが、異なる距離であってもよい。フィールドプレート44は、多くの異なる導電性材料を備えてよいが、適した材料は、標準的なメタライゼーションの方法を用いた金属堆積である。このフィールドプレート配置は、デバイスの中のピーク電界を低減し、その結果、降伏電圧の上昇、漏れ電流の低減、および、信頼度の向上を得ることができる。ソースに結合したフィールドプレートのシールド効果はまた、C_{gd}を減少させることができ、それにより、入力-出力のアイソレーションを増すことができる。このフィールドプレートの配置は、上述したように、負イオン領域26と一緒に用いることができ、デバイスの動作をさらに向上させる。

【0039】

図3は、本発明によるHEMT50の別の実施形態を示す。HEMT50も、基板12、核生成層14、バッファ層16、バリア層18、ソース電極20、ドレイン電極22、および、ゲート24を有する。スペーサ層42は、バリア層18の上で、ゲート24とソース電極20との間、およびゲート24とドレイン電極22との間に含まれる。スペーサ

10

20

30

40

50

層42は、ゲート24に対する開口を設け、負イオンを注入するために、上述したようにエッチングされる。フィールドプレート44は、スペーサ層42の上に形成され、ゲート24に集積される。他の実施形態では、フィールドプレート44は、ゲート24から分離された形で、ゲート24またはソース電極20と電氣的に結合されてもよい。

【0040】

HEMT50は、スペーサ層42と同じ材料で作ることができる、第2の非導電性スペーサ層52をさらに備える。第2のフィールドプレート54は、スペーサ層42の上であって、第1のフィールドプレート44およびゲート24と重なっている。しかし、他の実施形態では、フィールドプレート44とだけ重なっていてもよいし、またはどちらとも重なっていてもよい。第2のフィールドプレート54は、典型的には、ソース電極20と電氣的に接続される。上記の実施形態は、マイクロ波周波数およびミリメートル波周波数において電力を向上させたワイドバンドギャップトランジスタを与える。複数のフィールドプレートを有するトランジスタは、入力と出力との間の高いアイソレーションによって、高利得、高電力、およびより安定的な動作を同時に実現する。

10

【0041】

複数のフィールドプレートの配置は、上述した方法を用いてバリア層18の中に注入されたフッ素イオンを備えることが望ましい、負イオン領域56と一緒に用いることもできる。図示したように、領域56は、バッファ層16の中に広がることのできる、異なる厚さの部分の備えることができる。第1の領域58は、主にゲート24の下にあり、バッファ層16の中には広がらない。部分58は、典型的には、スペーサ層42のエッチング時に形成される。第2の部分60は、おもに、第1のフィールドプレート44の下方にあり、バッファ層16の中に広がる。第3の部分62は、おもに、第2のフィールドプレート54の一部の下方にあり、ドレイン22の方に向かって広がっている。第2の部分60と第3の部分62は、典型的には、スペーサ層42の堆積を行う前に形成される。この調整された負イオン領域56は、フィールドプレート44およびフィールドプレート54と一緒に働き、電界を低減してデバイス動作を向上させる。

20

【0042】

図4は、図2に示して上述したHEMT10と同様な、幅246 μm のデバイスの動作を示すグラフ70である。デバイスは、ドレインバイアス50V、ベース電極温度200、連続出力電力8.3W/mmの100時間動作の後で、何も劣化を示さない。

30

【0043】

図5は、2つのデバイスの動作を示すグラフ80であり、一方は低いフッ素ドーズ量を有し、もう一方は高いドーズ量を有する。どちらのデバイスも高温高電界ストレス試験を行い、高フッ素デバイスの方が低ドーズデバイスと比較して、より低いゲート漏れ電流を示した。これらの結果は、フッ素イオンのレベルが全体的な電界を低減して、それによりデバイス動作が改善されるという事実をサポートしている。

【0044】

いくつかの半導体材料では、高い温度、または高い電界のもとでは、負イオンが、半導体材料の中でマイグレーションを起こす(migrate)、または、材料から散逸(dissipate)することがある。高温下でのマイグレーション/散逸(dissipation)を減少させるため、負イオンプロファイルを有する半導体デバイスは、熱処理を行って、注入されたイオンを安定化させることができる。多くの異なる熱処理温度と熱処理時間とが可能であるが、適した熱処理温度の範囲は、200 $^{\circ}$ から1000 $^{\circ}$ である。高電界下でのマイグレーション/散逸を減少させるために、負イオンプロファイルを有する半導体デバイスには、「バーンイン(burn in)」処理として知られる、デバイスにある期間バイアスをかける処理を施すことができる。

40

【0045】

図6は、本発明による半導体デバイスを製造するための、特に、III族窒化物HEMTを製造するための、本発明による方法90の一実施形態である。方法90は、一連のステップとして示されているが、本発明によれば、方法の中で、異なるステップが異なる順

50

序で行われてもよいことが理解されるだろう。

【0046】

ステップ92において、基板が設けられる。基板は、多くの異なる材料によって作られたものでよいが、図1に示した基板12のために列挙され、上記で詳しく説明した任意の材料が適した材料である。ステップ94において、MOCVD、HVPE、または、MBE等による公知の半導体のいずれかを用いて、基板の上にエピタキシャル層を成長させる。HEMTについては、エピタキシャル層は、少なくともバッファとバリア層とを含み、2つの層の間のヘテロ界面の中に2DEGを有する、III族窒化物層であることが望ましい。

【0047】

ステップ96において、負イオンがエピタキシャル層の中に導入され、負イオンは浸透して負イオン領域を形成することができる。負イオンの導入には多くの異なる方法を用いることができるが、上述したように、好ましい方法は、リアクティブイオンエッチング(RIE)か、誘導結合プラズマエッチング(ICP)処理を用いた、フッ素ベースのドライエッチングである。上述したように、エッチング処理には種々の材料を用いることができ、エッチング処理により、エピタキシャル層は本質的に無損傷でなければならない。負イオン領域は、HEMTの完成品の動作時電界を打ち消す位置に形成されるべきである。

【0048】

負イオン領域が、ある特定の深さまたは濃度プロファイルを有する実施形態に対しては、さらに付加的な負イオン導入のステップを実行することができる。当技術分野において公知のステップを用いた公知のマスキング方法を用いることができる。ステップ98において、ソース電極(コンタクト)とドレイン電極(コンタクト)は、バリア層とオーミック接触を作るように形成され、ゲート24が、バリア層の上でソース電極とドレイン電極との間に形成される。それぞれは、上述した材料によって作ることができ、公知の処理を用いて形成される。他の実施形態においては、ソースコンタクトおよびドレインコンタクトは、そのどちらか、またはいずれも、負イオン領域の形成の前に形成することができる。ゲートは、負イオン領域を形成した後に、形成することができる。

【0049】

本発明による方法は、付加的なデバイス処理のステップ100を含むことができると理解されるだろう。たとえば、上述したように、負イオン領域を安定化させるための、熱処理またはバーンインのステップが含まれてもよい。上記で説明し、図2および図3に示されているフィールドプレートデバイスを形成するために、デバイスの上に1つまたはそれ以上のフィールドプレートを形成するための付加的なステップが、さらに実行されてもよい。

【0050】

本発明が、いくつかの好ましい構成を参照して詳しく説明されたが、他の形態も可能である。負イオン領域は、本発明による多くの異なるデバイスの中で用いること、多くの異なる形状をもつこと、および、多くの異なる位置に置かれることが可能である。従って、本発明の趣旨と範囲は、上述した形態に限定されるべきではない。

【図面の簡単な説明】

【0051】

【図1】本発明によるHEMTの一実施形態を示す図である。

【図2】本発明による、1つのフィールドプレートを有するHEMTの別の実施形態を示す図である。

【図3】本発明による、複数のフィールドプレートを有するHEMTの別の実施形態を示す図である。

【図4】本発明によるHEMTに対し、ベースプレート温度200 およびドレインバイアス50Vで、100時間の無線周波数HTOL寿命試験を行った結果のグラフを示す図である。

【図5】本発明によるHEMTに対し、 $V_{ds} = 96V$ 、 $V_{gs} = -8V$ 、温度200 で、

10

20

30

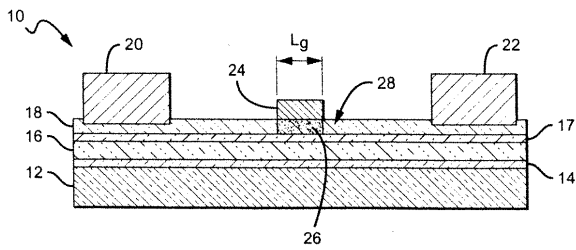
40

50

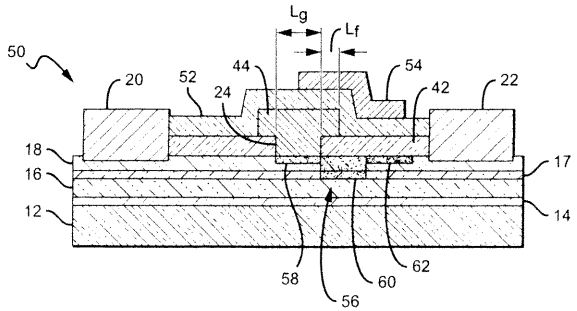
高電界高温ストレス試験を行った結果のグラフを示す図である。

【図6】負イオン領域を有する半導体デバイスを製造するための、本発明の一実施形態を示す図である。

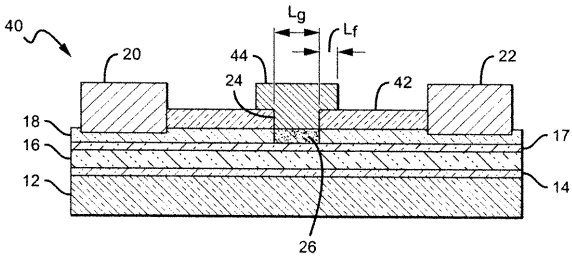
【図1】



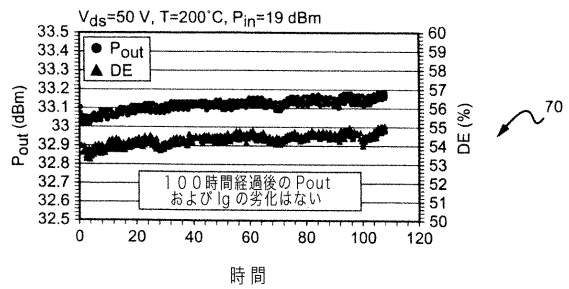
【図3】



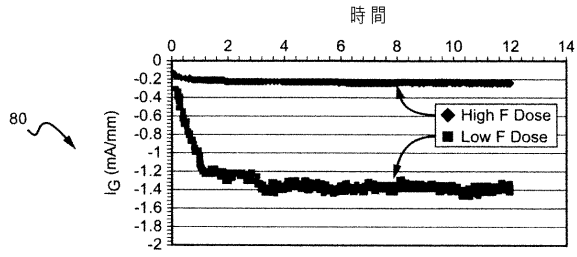
【図2】



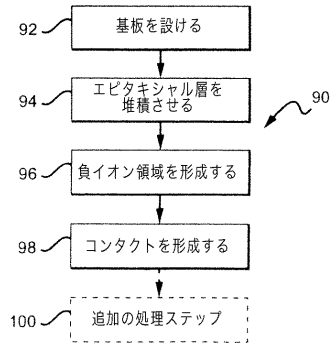
【図4】



【図5】



【図6】



フロントページの続き

- (72)発明者 マルシア ムーア
アメリカ合衆国 93101 カリフォルニア州 サンタ バーバラ ウェスト ヴァレリオ ス
トリート 1438
- (72)発明者 プリミット パリク
アメリカ合衆国 93117 カリフォルニア州 ゴレタ シャドールック ドライブ 683
2
- (72)発明者 ティム ウィスレーダー
ニュージーランド 1010 オークランド アッパー キーン ストリート 20 フラット
114

審査官 小田 浩

- (56)参考文献 特開平10-173036(JP,A)
特開平11-111968(JP,A)
特開平09-246527(JP,A)
特開平07-326737(JP,A)
特開平08-264760(JP,A)
特開2003-297852(JP,A)
国際公開第2004/068590(WO,A1)
特表2006-513580(JP,A)
特開平10-326890(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 21/205
H01L 29/778
H01L 29/812