I239779

申請日期：	案號：
類別：	

（以上各欄由本局填註）

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人	姓 名（中文）	3. 安德魯・貝納茲
	姓 名（英文）	3. Andrew F. Bednarz
	國 籍	3. 美國
	住、居所	3. 美國紐約州11530花園城杜拉摩路153號 (153 Tullamore Road, Garden City, NY 11530, United States of America)
三、申請人	姓 名（名稱）（中文）	
	姓 名（名稱）（英文）	
	國 籍	
	住、居所（事務所）	
	代表人姓 名（中文）	
	代表人姓 名（英文）	

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	2001/06/22	60/300,412	有
美國 US	2001/10/31	09/998,885	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

本發明係有關於使用者設備（UE）對一基地台之同步。特別是，本發明係有關於一種改良胞元搜尋方法及系統。

第一圖係介紹一無線通信系統。此通信系統係具有複數個基地台2_1至2_n（2）。各基地台2係於其操作區域或胞元6_1至6_n（6）內部，與使用者設備（UE）4_1至4_n（4）進行通信。

當一使用者設備（UE）4首先啟動時，此使用者設備並不瞭解其位置、以及欲進行通信之基地台2（或胞元6）。此使用者設備（UE）4決定欲進行通信之胞元4之程序係稱為"胞元搜尋"。

在典型的分碼多重存取（CDMA）通信系統中，一多重步驟之程序係用以進行胞元搜尋。在第一步驟中，各基地台2係傳送一主要同步通道（PSCH）中之相同主要同步數碼（PSC）。在使用分碼多重存取（CDMA）之一分時雙工（TDD）通信系統中，此主要同步通道（PSCH）在第一例之胞元搜尋中係十五個時槽中之一個時槽（如第二圖A所示），諸如：時槽1或通用表示為時槽K、或在第二例之胞元搜尋中係十五個時槽中之兩個時槽（如第二圖B所示），諸如：時槽0及8或通用表示為時槽K及時槽K＋8。各基地台係傳送此主要同步通道（PSCH）時槽中之相同主要同步數碼（PSC）。為降低在第二步驟中所使用次要同步數碼（SSC）間之干擾，各主要同步數碼（PSC）係以一不同時間偏移進行傳送。此等主要同步數碼（PSC）偏移係

五、發明說明（2）

位於一設定數目之晶片。

此使用者設備（UE）14係藉由搜尋接收主要同步數碼（PSC）之主要同步通道（PSCH），諸如：利用一匹配濾波裝置，藉以決定欲同步之基地台12。此種搜尋結果之一個範例係表示於第四圖中。如第四圖所示，峰值26_1至26_2係發生於此主要同步通道（PSCH）中、與此主要同步數碼（PSC）具有一高度相關性之地方。典型地，此等搜尋結果係累加複數個訊框，藉以改良其精確度。利用此等累加結果，此主要同步數碼（PSC）峰值位置係決定於此主要同步通道（PSCH）中。

請回來參考第二圖A及第二圖B，伴隨著各基地台之傳送主要同步數碼（PSC），各基地台12亦同時傳送次要同步數碼（SSC），諸如：三個（不論是在分時雙工（TDD）之第一例或第二例中）。各基地台12所傳送之次要同步數碼（SSC）係用以識別特定胞元參數，諸如：此胞元所使用之數碼群組及訊框時序。此使用者設備（UE）14係典型地使用一相關裝置，藉以在第一步驟中所識別之各個主要同步數碼（PSC）峰值，偵測此等次要同步數碼（SSC）及調變其上之資料。此使用者設備（UE）14係用以讀取此廣播控制通道。不論是第一類型或第二類型，在分時雙工（TDD）之第三步驟中，此使用者設備（UE）14係典型地偵測此廣播通道中所使用之中間文字（midamble）、並接著讀取此廣播通道。

先前所述之啟始胞元搜尋系統係具有一缺點，其係：

五、發明說明（3）

第二步驟之效能（次要同步數碼（SSC）偵測）係由接收信號之品質所支配，其可能會導致錯誤之偵測（若此信號係品質粗劣的）。再者，在過往之系統中，此第二步驟卻不會因為第一步驟之成功執行而有所受益。

因此，本發明之目的係提供一種啟始胞元搜尋系統，其中，此第二步驟之效能不僅是由接收輸入信號所支配，亦可以提供更精確之次要同步數碼（SSC）偵測。

本發明之系統及方法係建立一通信系統中一使用者設備（UE）及一基地台間之一通信鍊路，此通信系統係具有複數個基地台，各此等基地台係在一系統訊框內，結合一基地台特定之次要同步數碼（SSC）以分別傳送一主要同步通道中之一共用主要同步數碼（PSC），此通信系統係利用此使用者設備（UE）接收一輸入信號，包括：至少一基地台之主要同步數碼（PSC）及次要同步數碼（SSC）。此使用者設備（UE）係分析此輸入信號以偵測在一選擇時間周期內之任何接收主要同步數碼（PSC），此選擇時間周期係具有一期間，其對應一系統訊框之長度、並決定此選擇時間周期內一最強主要同步數碼（PSC）之一相對位置。此輸入信號隨即係加以處理，藉以至少自此決定主要同步數碼（PSC）位置移除此主要同步數碼（PSC）。此決定位置之一次要同步數碼（SSC）隨即係由此處理信號偵測得到。此通信鍊路隨即係利用此等偵測次要同步數碼（SSC）以建立。

【圖式之簡單說明】

五、發明說明（4）

第一圖係一無線通信系統之一介紹。

第二圖A及第二圖B分別係第一例及第二例主要同步通道（PSCH）之介紹。

第三圖係在一主要同步通道（PSCH）中峰值之介紹。

第四圖係本發明啟始胞元搜尋系統之一方塊圖。

第五圖係一第二步驟處理器之一範例方塊圖。

第六圖係一第三步驟處理器之一範例方塊圖。

第七圖係本發明啟始胞元搜尋系統之一流程圖。

第八圖係此啟始胞元搜尋系統之一第二實施例之一方塊圖。

第九圖係此啟始胞元搜尋系統之一第三實施例之一方塊圖。

【較佳實施例之詳細說明】

本發明之較佳實施例係配合圖式說明如下，文中，類似編號係表示類似元件。

根據本發明較佳實施例之啟始胞元搜尋系統10係介紹於第四圖中。此系統10係包括：一第一步驟處理器12、一取消裝置18、一第二步驟處理器14、以及一第三步驟處理器16，藉以達成一使用者設備（UE）及一基地台間之啟始同步。

此啟始胞元搜尋演算法之第一步驟係利用此第一步驟處理器12以達成。第四圖係表示一第一步驟處理器之一實施方式，雖然其他實施方式亦可以使用。此第一步驟處理器12係包括：一階層式高萊相關裝置（HGC）21、以及一

五、發明說明（5）

主要同步數碼（PSC）決定裝置22。此第一步驟處理器12之目的係在值得取樣之一訊框或複數訊框上，尋找最強基地台之主要同步數碼（PSC）。一晶片取樣輸入信號I係由此使用者設備（UE）接收、並由此階層式高萊相關裝置（HGC）21處理。此階層式高萊相關裝置（HGC）21係主要同步數碼（PSC）及此輸入信號間在連續晶片位置之相關處理之一降低複雜度實施方式。此階層式高萊相關裝置（HGC）21之輸出係表示此階層式高萊相關裝置（HGC）21所偵測基地台之偵測主要同步數碼（PSC）功率位準大小。具有一高接收功率位準之此等基地台之主要同步數碼（PSC）顯然是此訊框中之峰值。此階層式高萊相關裝置（HGC）21之輸出係輸出至此主要同步數碼（PSC）決定裝置22。

此主要同步數碼（PSC）決定裝置22，其耦合至此階層式高萊相關裝置（HGC）21，係接收此階層式高萊相關裝置（HGC）21所輸出、一訊框中值得晶片之各晶片相關數值。一訊框之值得晶片最好是等於此系統訊框，其舉例來說，係等於三萬八千四百個晶片。如熟習此技藝者所瞭解，此系統訊框係可以大於或小於文中所揭露者。

此決定裝置22係儲存此階層式高萊相關裝置（HGC）21於一預定數目（N）訊框之各晶片相關數值、並將各晶片相關數值平均。舉例來說，一系統訊框係四位元長度，且N等於二。此階層式高萊相關裝置（HGC）21係針對這四個晶片分別輸出相關數值A_1、B_1、C_1、及D_1。此決定裝置22

五、發明說明（6）

係儲存此等數值、並針對此階層式高萊相關裝置（HGC）21之各個晶片、接收次一訊框之相關數值，亦即：A_2、B_2、C_2、及D_2。各晶片之相關數值隨即係加以平均，亦即：（A_1+A_2）／2、（B_1+B_2）／2、（C_1+C_2）／2、及（D_1+D_2）／2。

一旦此決定裝置22找到一訊框中各平均相關晶片之平均相關數值，則訊框最大平均之位置係加以決定、且其數值係與一預定臨界數值比較。此臨界數值係基於接收端之雜訊位準（亦即：干擾加上熱雜訊）。此雜訊預測裝置24係具有一輔助階層式高萊相關裝置（HGC）（圖中未示），其係基於在主要同步數碼（PSC）及次要同步數碼（SSC）間非常低相互相關之一數值。此雜訊預測裝置之階層式高萊相關裝置（HGC）係為此系統訊框中之各個晶片計算一雜訊預測。此雜訊預測裝置係重覆與此階層式高萊相關裝置（HGC）21相同之訊框數目、並平均此預測主要同步通道（PSCH）位置附近一視窗中之幾個雜訊預測。此視窗大小最好是約一百二十八，亦即：在此主要同步通道（PSCH）位置兩側分別具有六十四晶片。如熟習此技藝者所瞭解，此視窗大小亦可以大於或小於一百二十八。

若此最大平均係大於此臨界數值，此決定裝置22係決定：關連此最大平均位置之基地台傳輸圖案係第一例或第二例。此決定動作係藉由比較最大位置＋（8*2560）或最大位置＋（7*2560）之晶片相關數值以完成。若此數值係大於此臨界數值，則此傳輸圖案係第二例。反之，則此傳

五、發明說明（7）

輸係第一例。

若此最大位置數值係小於此臨界數值，則此第一步驟處理器12係繼續處理此輸入信號I，直到找到大於此臨界數值之一相關數值或達到一失敗條件。如熟習此技藝者所瞭解，此決定處理器22係可以應用任何一種決定最強主要同步數碼（PSC）位置之方法。一旦找到此最大位置，則此決定處理器22係轉送此位置及此主要同步數碼（PSC）至此取消裝置18及此第二步驟處理器14。

此取消裝置18，其耦合至此第一步驟處理器12及此第二步驟處理器14，係取得此最大位置、此主要同步數碼（PSC）、及此輸入信號I，並由此輸入信號I中減去此主要同步數碼（PSC）。此減去動作係由此輸入信號I中在最大位置之晶片消除此主要同步數碼（PSC）。由此輸入信號I減去主要同步數碼（PSC）之動作係可以藉由複數種取消方法完成，諸如：干擾取消方法。利用干擾取消方法，此主要同步數碼（PSC）係利用一干擾建設裝置（圖中未示）以轉換成對此輸入信號I之一貢獻之一預測。此接收主要同步數碼（PSC）貢獻係加以減去，諸如：利用一減法裝置。得到之信號係具有自該輸入信號I最大位置移除之主要同步數碼（PSC）貢獻。在數碼多工系統中，一數碼係可能為其他數碼之雜訊。因此，此主要同步數碼（PSC）基本上係此次要同步數碼（SSC）之雜訊。因此，當此主要同步數碼（PSC）由此輸入信號I中取消時，此第二步驟處理器14係可以設置此次要同步數碼（SSC）、並

五、發明說明（8）

以較大精確度及速度進行時槽偏移。

此第二步驟處理器14，其耦合至此取消裝置18、此第一步驟處理器12、及此第三步驟處理器16，係接收來自此取消裝置18之調整輸入信號及來自此第一步驟處理器12之主要同步數碼（PSC）。

一第二步驟裝置之一範例係介紹於第五圖中，雖然其他範例亦可以使用。此第二步驟裝置係包括：取消裝置31、一快速哈達馬德轉換（FHT）33、一相位預測裝置37、一去旋裝置34、一累加裝置36、以及一決定裝置39。由於此主要同步數值（PSC）之位置係由此第一步驟處理器12決定，此第二步驟處理器14只需要自此第一步驟處理器12之最大位置輸入中搜尋次要同步數碼（SSC）。在此步驟中，此使用者設備（UE）係標識此數碼群組及關連最大位置基地台之時間偏移t_{offset}。此第二步驟處理器14亦決定兩訊框交插周期之訊框索引數目、且其係決定此時槽索引（K或K＋8）。如熟習此技藝者所瞭解，在此步驟中決定之時間偏移t_{offset}係允許此使用者設備（UE）與時槽邊界$c_r(i)=c_1(i)*z(i)$同步。此調整輸入信號及此主要同步數碼（PSC）位置係輸入至此相關裝置31。此相關裝置31，其耦合至此快速哈達馬德轉換（FHT）33及此取消裝置18，係相關此接收輸入信號及主要同步數碼（PSC）位置之長度二百五十六晶片數碼，藉以得到十六個相關數值。此數碼C_R係經由第一次要同步數碼（SSC）C1及一遮罩序列Z之逐一晶片相乘以得到。此係表示如下：

五、發明說明（9）

$c_r(i)=c_l(i)*z(i)$，$i=0,\cdots,255$ 等式（1）

此十六個複數相關數值$R_C(K)$係利用上述數碼以得到。此相關數值RC（K）係利用下列等式（2）以得到：

$$r_c(k,n)=\sum_{i=0}^{15} c_r(16k+i)R_x(t_{cp}+16k+i,n),\ k=1,\cdots,15;\ n=0,\cdots,N$$

其中，t_{cp}係由第一步驟處理器12所得到之主要同步數碼（PSC）位置，且N係用於平均之最大數目主要同步通道（PSCH）時槽。

在此相關裝置31輸出所取得之相關數值係施加至此快速哈達馬德轉換（FHT）33。此快速哈達馬德轉換（FHT）33係耦合至此相關裝置及一去旋裝置34，藉以取得十六個複數相關數值，其對應於十六個次要同步數碼（SSC）及接收信號之相關性。亦即：

$$r_f(k,n)=FHT\{rc(k,n)\}$$

$$\approx\sum_{i=0}^{255} c_k(i)z(i)R_x(t_{cp}+i,n),\ k=0,\cdots,15;\ n=0,\cdots,N$$

等式（3）

如熟習此技藝者所瞭解，計算$R_c(K)$的快速哈達馬德轉換（FHT）係等於未遮罩次要同步數碼（SSC）及接收信號之相關性。此係因為十六個次要同步數碼（SSC）之結構而成為可能。請注意，一第一例信號係使用六個次要同步數碼（SSC），而一第二例信號係使用十二個次要同

五、發明說明（10）

步數碼（SSC）。四個次要同步數碼（SSC）係未加使用。

此相位預測裝置37係接收調整晶片取樣接收信號，以及來自此第一步驟處理器12之主要同步數碼（PSC）位置。此第一步驟階層式高萊相關裝置（HGC）在此主要同步數碼（PSC）位置之輸出係對應於此主要同步數碼（PSC）與此主要同步數碼（PSC）位置所接收信號之相關性。此複數相關數值係此相位預測裝置37之輸入。在此相位預測裝置37中，此複數相關數值係加以正規化並取其正軛。此相位預測係此等次要同步數碼（SSC）之去旋動作所必須。

此去旋裝置34，其耦合於此相位預測裝置37及此快速哈達馬德轉換（FHT）33，係由此快速哈達馬德轉換（FHT）33接收十六個次要同步數值（SSC）及由此相位預測裝置37接收相位預測。此去旋裝置34係將此快速哈達馬德轉換（FHT）33之輸出去旋。此去旋相位係此主要同步數碼（PSC）之相位。此複數相關數值係與此相位複數相乘。

此去旋相關數值隨即係轉送至此累加裝置36。此累加裝置36係耦合至此去旋裝置34及此第二步驟決定裝置39。此去旋相關數值係根據等式（4），連貫地利用二（第一例）或四（第二例）之一周期相加N次：

$$r_a^l(k,n)=r_a^l(k,n-1)+rd(k,n)d(1-(n \bmod L))$$

$$k=0,\cdots K;n=0,\ldots,N;1=0,\ldots,L \quad \text{等式（4）}$$

其中，N係最大數目重覆以取得一可靠之信號數值，K

五、發明說明（11）

係次要同步數碼（SSC）所使用之數目（第一例之K等於六，且第二例之K等於12），且L係主要同步通道（PSCH）之周期（第一例之L等於二，且第二例之L等於四）。此等相關數值係啟始設定為零。此等決定變數係根據次要同步數碼（SSC）傳輸圖案，由此等相關數值以形成。

在此累加裝置36中取得之決定變數係轉送至此決定裝置39。第一例係具有六十四個決定變數、三十二個數碼群組、及兩個訊框索引。第二例係具有一百二十八個決定變數、三十二個數碼群組、兩個索引、及兩個時槽（K或K＋8）。此決定裝置39係依序比較所有決定變數（一個接一個地）。此方法係足夠效率，因為決定變數之數目並不大且此方法可以不需要高複雜度地實施。最大決定變數所屬之傳輸圖案係指示第一例及第二例之數碼群組數目、及第二例之主要同步通道（PSCH）時槽索引。

此時間偏移t_{offset}、擾頻數碼群組數目、次要同步數碼（SSC）、及主要同步數碼（PSC）位置隨即係轉送至此第三步驟處理器16。此第三步驟處理器16，其耦合至此第二步驟處理器14，係取得中間文字（mideamble）及此使用者設備（UE）使用之主要擾頻數碼。此第二步驟處理器14所抓取之數碼群組數目係關連於四個胞元參數。因此，此數碼群組數目之識別係用來識別此胞元所使用之中間文字（midamble）。關連於此數碼群組之四個胞元參數係經由第一表所繪示之系統訊框數目（SFN）以進行循環。

第一表

五、發明說明（12）

數碼群組 i＝1，...，32	胞元參數 （啓始指定）	胞元參數 （SFN mod 2＝0）	胞元參數 （SFN mod 2＝1）
	4（i－1）	4（i－1）	4（i－1）＋1
	4（i－1）＋1	4（i－1）＋1	4（i－1）
	4（i－1）＋2	4（i－1）＋2	4（i－1）＋3
	4（i－1）＋3	4（i－1）＋3	4（i－1）＋2

第六圖係介紹第三步驟處理器16之一範圍。雖然第六圖係介紹一種第三步驟處理器，但任何類型之第三步驟處理器亦可以應用。此第三步驟處理器16係包括：一相關裝置41、一累加裝置42、及一決定裝置43。此相關裝置41係自此第二步驟處理器14轉送得到此數碼群組及訊框索引、及自此第一步驟處理器12得到此主要同步數碼（PSC）位置。一周期性視窗大小Pws及多重路徑視窗大小mpWS亦輸入至此相關裝置41。此輸入信號I係與四個中間文字（midamble）相關，其係關連於此相關裝置41之數碼群組。此相關動作係執行於P－CCPCH上之WS3計算候選中間文字（midamble）位置，其係由此數碼群組之偏移時間toffset、周期視窗大小pWS、及多重視窗大小mpWS以決定；其中，WS3係等於pWS＋2mpWS。

基本中間文字（midamble）數碼係隨系統訊框數目（SFN）雙態觸變（奇數／偶數）。若此系統訊框數目（SFN）係偶數，則此相關裝置41係就基本中間文字（midamble）數碼進行相關。若此系統訊框數目（SFN）

五、發明說明（13）

係奇數，則此相關裝置41係就循環中間文字（midamble）數碼進行相關。舉例來說，在數碼群組為零之例子中，此相關裝置41係就偶數系統訊框數目（SFN）上之中間文字（midamble）數碼0，1，2，3進行相關，且此相關裝置41係就奇數系統訊框數目（SFN）上之中間文字（midamble）數碼1，0，3，2進行相關。應該注意的是，胞元搜尋方法並不知道此系統訊框數目（SFN），但其係根據此第二步驟處理器14所找到之訊框索引（1或2）而知道此系統訊框數目（SFN）係偶數的或奇數的。

此相關裝置41係計算4＊WS3個相關動作。此周期視窗係允許此相關裝置41找到最大相關性。此多重路徑視窗之目的係調整此主要同步通道（PSCH）位置以包括多重路徑之最大數量。這個步驟係必要的，若最強多重路徑元件並非是第一重大多重路徑元件。

此相關裝置41所輸出之相關數值係轉送至此累加裝置42，其係耦合於此相關裝置41及此決定裝置43。此累加裝置42係累加一特定數目N3訊框之相關數值。應該注意的是，此啟始胞元搜尋並不知道訊框邊界，是以，此啟始胞元搜尋通常於晶片位置中使用三萬八千四百個晶片之方塊（2560晶片*15時槽）。此累加裝置42係藉由相加此複數（表示此相關數值）實數部分及虛數部分之絕對值，藉以形成此等決定變數。一決定變數係對應相關數值之大小量測。為具有更可靠的決定，此等決定變數係可以累加N3次，其中，N3係一可靠信號雜訊比（SNR）位準之最大重

五、發明說明（14）

覆數目。

利用此累加裝置42產生之決定變數係轉送至此決定裝置43。此決定裝置43，其耦合至此累加裝置42，係藉由簡單依序比較而決定最大決定變數。此最大決定變數係對應於胞元所使用之基本中間文字（midamble）。與識別中間文字（midamble）關連之此擾頻數碼數目係此胞元之擾頻數碼。此擾頻數碼隨即係為此使用者設備（UE）應用於廣播通道處理。

啟始胞元搜尋系統之流程圖係介紹於第七圖。此使用者設備（UE）係接收共用下行鍊路通道上之輸入信號（步驟601）。此第一步驟處理器12係偵測此主要同步數碼（PSC）之位置，其關連於最強之基地台（步驟602）。此第一步驟處理器12係轉送此主要同步數碼（PSC）至此取消裝置18（步驟603）。此取消裝置18隨即係由此輸入信號I中減去此第一步驟處理器12所偵測之主要同步數碼（PSC）（步驟604）、並轉送此調整信號至此第二步驟處理器14（步驟605）。使用來自此取消裝置18之調整輸入信號及來自此第一步驟處理器12之主要同步數碼（PSC），此第二步驟處理器14係抓取此等次要同步數碼（SSC）、並決定與最強基地台關連之時間偏移toffset及數碼群組數目（步驟607）。此數碼群組數目隨即係轉送至此第三步驟處理器16（步驟608），並由此抓取中間文字（midamble）及主要擾頻數碼（步驟609）。此等數碼隨即係為此使用者設備（UE），藉以與此基地台同步（步驟

五、發明說明（15）

610）。

由於此啟始胞元搜尋之第二步驟係最弱的，由輸入此第二步驟處理器14之信號中取消此主要同步數碼（PSC）係提供一較清潔信號、並導致此等次要同步數碼（SSC）時間之一較佳預測。這會導致一更精確之時槽偏移及數碼群組數目決定。最終，此程序係減少使用者設備（UE）之錯誤偵測數目。

第八圖係介紹一第二實施例。類似於第一圖之系統，此第二實施例之系統係應用一取消裝置182以在第三步驟處理器16處理前、由輸入信號I中減去主要同步數碼（PSC）及次要同步數碼（SSC）。第二步驟並不會接收一主要同步數碼（PSC）移除之輸入信號，相反地，此第三步驟處理器16之調整輸入信號係能夠更精確地偵測到偵測基地台之中間文字及數碼群組。

第九圖係介紹一第三實施例。此第三實施例係應用此取消裝置181及182以改良此啟始胞元搜尋系統10之精確度。此取消裝置181係在此第二步驟處理器14處理前、由輸入信號中之偵測位置中移除主要同步數碼（PSC）。此取消裝置182係在此第三步驟處理器16處理前移除次要同步數碼（SSC）。

圖式簡單說明

第一圖係一無線通信系統之一介紹。

第二圖A及第二圖B分別係第一例及第二例主要同步通道（PSCH）之介紹。

第三圖係在一主要同步通道（PSCH）中峰值之介紹。

第四圖係本發明啟始胞元搜尋系統之一方塊圖。

第五圖係一第二步驟處理器之一範例方塊圖。

第六圖係一第三步驟處理器之一範例方塊圖。

第七圖係本發明啟始胞元搜尋系統之一流程圖。

第八圖係此啟始胞元搜尋系統之一第二實施例之一方塊圖。

第九圖係此啟始胞元搜尋系統之一第三實施例之一方塊圖。

元件符號說明

2、2_1~2_n：基地台

6、6_1~6_n：胞元

4、4_1~4_n：使用者設備（UE）

10：啟始胞元搜尋系統

12：第一步驟處理器

14：第二步驟處理器

16：第三步驟處理器

18、18_1、18_2、31：取消裝置

21：階層式高萊相關裝置（HGC）

22：主要同步數碼（PSC）決定裝置

24：雜訊預測裝置

圖式簡單說明

26_1~26_2：峰值

33：快速哈達馬德轉換（FHT）

34：去旋裝置

36、42：累加裝置

37：相位預測裝置

39、43：決定裝置

41：相關裝置

四、中文發明摘要　（發明之名稱：無線通信系統中執行初始胞元檢索之裝置與方法）

本發明之系統及方法係建立一通信系統中一使用者設備（UE）及一基地台間之一通信鍊路，此通信系統係具有複數個基地台，各此等基地台係在一系統訊框內，結合一基地台特定之次要同步數碼（SSC）以分別傳送一主要同步通道中之一共用主要同步數碼（PSC），此通信系統係利用此使用者設備（UE）接收一輸入信號，包括：至少一基地台之主要同步數碼（PSC）及次要同步數碼（SSC）。此使用者設備（UE）係分析此輸入信號以偵測在一選擇時間周期內之任何接收主要同步數碼（PSC），此選擇時間周期係具有一期間，其對應一系統訊框之長度、並決定此選擇時間周期內一最強主要同步數碼（PSC）之一相對位置。此輸入信號隨即係加以處理，藉以至少自此決定主要

英文發明摘要　（發明之名稱：An Apparatus and Method for Performing Initial Cell Search in Wireless Communication Systems）

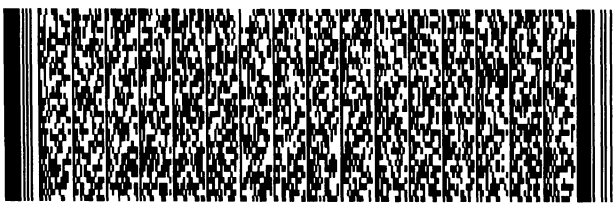
The system and method of the present invention establishes a communication link between a user equipment (UE) and a base station in a communication system having a plurality of base stations which each transmit a common primary synchronization code (PSC) in a primary synchronization channel in conjunction with a base station specific secondary synchronization code (SSC) within a system frame, which receives with the UE an input signal including the PSC and SSC

四、中文發明摘要　（發明之名稱：無線通信系統中執行初始胞元檢索之裝置與方法）

同步數碼（PSC）位置移除此主要同步數碼（PSC）。此決定位置之一次要同步數碼（SSC）隨即係由此處理信號偵測得到。此通信鍊路隨即係利用此等偵測次要同步數碼（SSC）以建立。

英文發明摘要　（發明之名稱：An Apparatus and Method for Performing Initial Cell Search in Wireless Communication Systems）

from at least one of the base stations. The UE analyzes the input signal to detect any received PSCs within a selected time period which has duration corresponding to the length of a system frame and determining a relative location of a strongest PSC within the selected time period. The input signal is then processed to remove the PSC from at least the determined PSC location. A secondary synchronization code (SSC) is then detected for the determined location from the



四、中文發明摘要　(發明之名稱：無線通信系統中執行初始胞元檢索之裝置與方法)

英文發明摘要　(發明之名稱：An Apparatus and Method for Performing Initial Cell Search in Wireless Communication Systems)

processed signal. The communication link is then established using the detected SSCs.

六、申請專利範圍

1. 一種在一通信系統中一使用者設備（UE）及一基地台間建立一通信鍊路之方法，該通信系統係具有複數個基地台，各該等基地台係在一系統訊框內，結合一基地台特定之次要同步數碼（SSC）以分別傳送一主要同步通道中之一共用主要同步數碼（PSC），該方法係包括：

利用該使用者設備（UE）接收一輸入信號，其包括：至少一該等基地台之該等主要同步數碼（PSC）及次要同步數碼（SSC）；

分析該輸入信號以偵測一選擇時間周期內之接收主要同步數碼（PSC）、並決定系統訊框內一最強主要同步數碼（PSC）之一相對位置；以及

處理該輸入信號以自至少該決定主要同步數碼（PSC）位置移除該主要同步數碼（PSC）、並在該決定位置自該處理信號偵測一次要同步數碼（SSC）。

2. 如申請專利範圍第1項所述之方法，更包括下列步驟：偵測一擾頻數碼數目，藉以決定與該等偵測次要同步數碼（SSC）關連之一基地台之胞元參數。

3. 如申請專利範圍第2項所述之方法，其中，該偵測主要同步數碼（PSC）之移除係包括：干擾取消方法。

4. 如申請專利範圍第1項所述之方法，更包括下列步驟：

處理該輸入信號以自至少該決定主要同步數碼（PSC）位置移除該等主要同步數碼（PSC）及次要同步數碼；以及

由此處理信號偵測一擾頻數碼數目，藉以決定與該偵測

六、申請專利範圍

次要同步數碼（SSC）關連之一基地台之胞元參數。

5. 如申請專利範圍第4項所述之方法，其中，該偵測主要同步數碼（PSC）及該次要同步數碼（SSC）之該移除步驟係包括：干擾取消方法。

6. 一種通信系統，包括：複數基地台，各該等基地台係在一系統訊框內，結合一基地台特定之次要同步數碼（SSC）以分別傳送一主要同步通道中之一共用主要同步數碼（PSC）；以及一使用者設備，其包括一胞元搜尋系統以建立一使用者設備（UE）及一基地台間之一通信鍊路，該使用者設備（UE）係用以接收一輸入信號，其包括：至少一該等基地台之主要同步數碼（PSC）及次要同步數碼（SSC），該胞元搜尋系統係包括：

一第一處理器，用以分析該輸入信號，藉以偵測在一選擇時間周期內之接收主要同步數碼（PSC）、並決定該系統訊框內一最強主要同步數碼（PSC）之一相對位置；

一取消處理器，用以處理該輸入信號，藉以自至少該決定主要同步數碼（PSC）位置移除該主要同步數碼（PSC）；以及

一第二處理器，用以在該決定位置、由該處理信號偵測該等次要同步數碼（SSC）。

7. 如申請專利範圍第6項所述之系統，其中，該胞元搜尋系統更包括：一第三處理器，因應於該等次要同步數碼（SSC），用以偵測與該決定位置關連之該基地台之一擾頻數碼數目。

六、申請專利範圍

8. 如申請專利範圍第7項所述之系統，其中，該取消處理器係用干擾取消法以自該輸入信號中移除該主要同步數碼（PSC）。

9. 一種使用者設備（UE），包括：一胞元搜尋系統，用以建立一通信系統中該使用者設備（UE）及一基地台間之一通信鍊路，該通信系統係包括：複數基地台，各該等基地係在一系統訊框內之一不同時間，結合一基地台特定之次要同步數碼（SSC）以傳送一主要同步通道中之一共用主要同步數碼（PSC），

該使用者設備（UE）係接收一輸入信號，其具有至少一該等基地台之主要同步數碼（PSC）及次要同步數碼（SSC）；

該胞元搜尋系統係包括：

一第一處理器，用以分析該輸入信號，藉以偵測在一選擇時間周期內之接收主要同步數碼（PSC），該選擇時間周期係具有一期間，其對應於一系統訊框之長度、並決定在該選擇時間周期內一最強主要同步數碼（PSC）之一相對位置；

一取消處理器，用以處理該輸入信號，藉以自至少該決定主要同步數碼（PSC）位置移除該主要同步數碼（PSC）；以及

一第二處理器，用以自該處理信號偵測該決定位置之該等次要同步數碼（SSC）；以及

該系統係使用該等次要同步數碼（SSC）以建立該通信

六、申請專利範圍

鍊路。

10. 如申請專利範圍第9項所述之使用者設備（UE），其中，該胞元搜尋系統更包括：一第三處理器，因應於該等次要同步數碼（SSC），藉以偵測與該決定位置關連之該基地台之一擾頻數碼數目。

11. 如申請專利範圍第10項所述之使用者設備（UE），其中，該取消處理器係使用干擾取消法以自該輸入信號中移除該主要同步數碼（PSC）。

12. 一種建立一通信系統中一使用者設備（UE）及一基地台間一通信鍊路之方法，該通信系統係包括：複數基地台，各該等基地台係在一系統訊框內，結合一基地台特定之次要同步數碼（SSC）以分別傳送一主要同步通道中之一共用主要同步數碼（PSC），該方法係包括：

利用該使用者設備（UE）接收一輸入信號，其包括至少一該等基地台之主要同步數碼（PSC）及次要同步數碼（SSC）；

分析該輸入信號以偵測一選擇時間周期訊框內之接收主要同步數碼（PSC）、並決定系統訊框內一最強主要同步數碼（PSC）之一相對位置；

由該輸入信號偵測該決定位置之一次要同步數碼（SSC）；以及

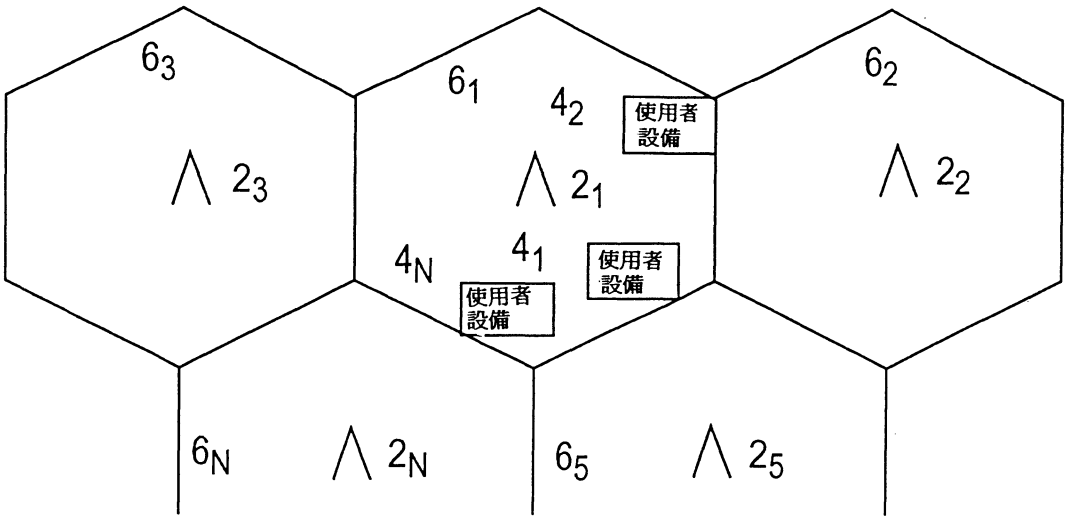
處理該輸入信號以自至少該決定主要同步數碼（PSC）位置移除該等主要同步數碼（PSC）及次要同步數碼（SSC）。

六、申請專利範圍

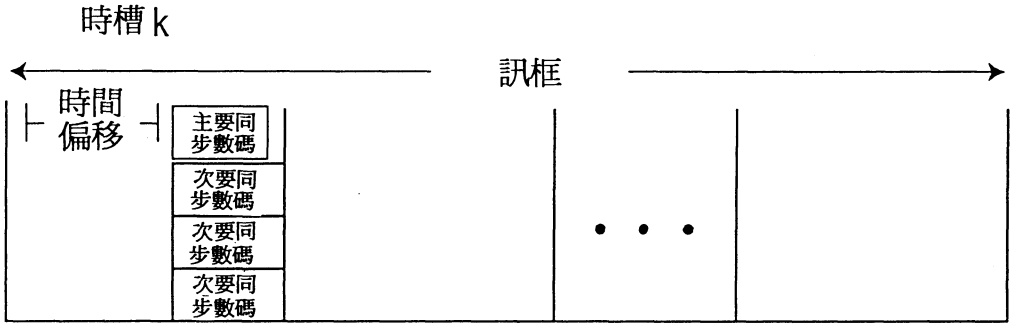
13. 如申請專利範圍第12項所述之方法，更包括下列步驟：由該處理信號偵測一擾頻數碼數目，藉以決定與該偵測次要同步數碼（SSC）關連之一基地台之胞元參數。

14. 如申請專利範圍第2項所述之方法，其中，該偵測次要同步數碼（SSC）之該移除步驟係包括：干擾取消方法。

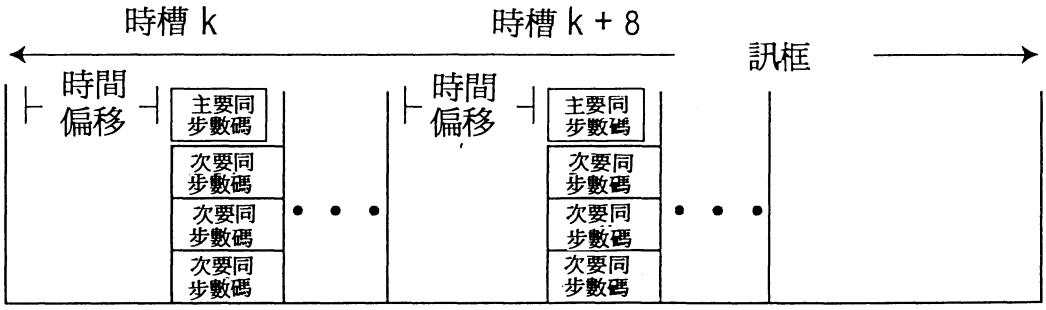
圖式



第一圖

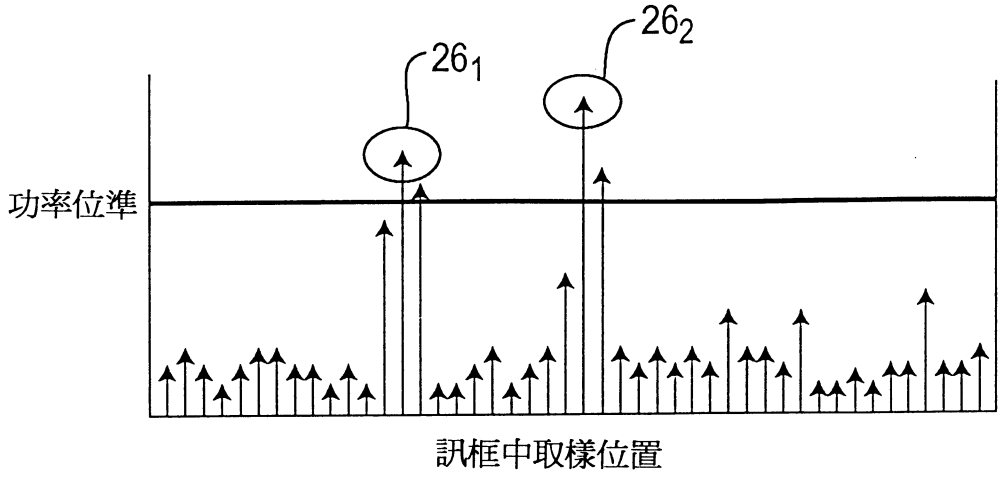


第二圖A

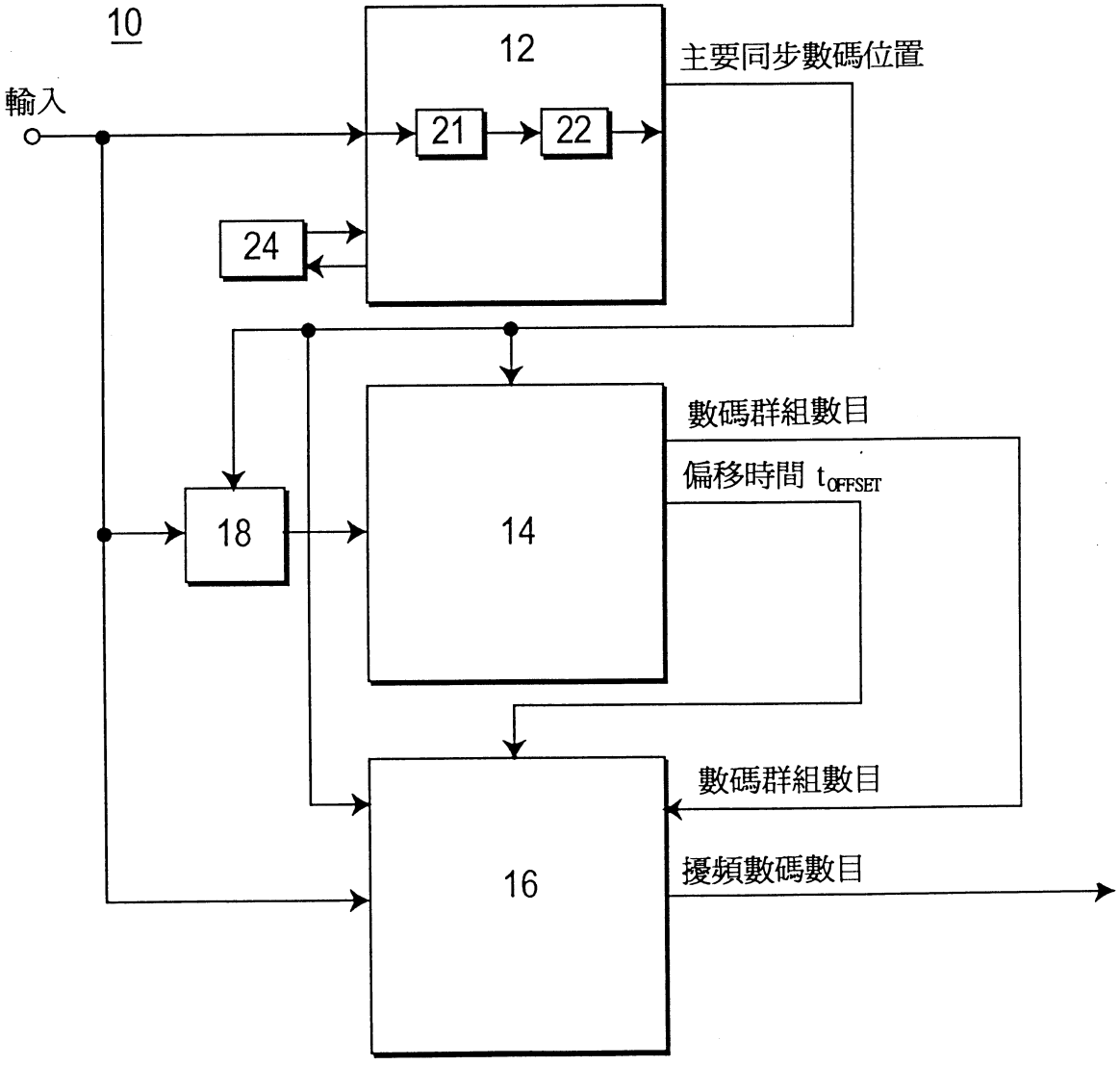


第二圖B

圖式

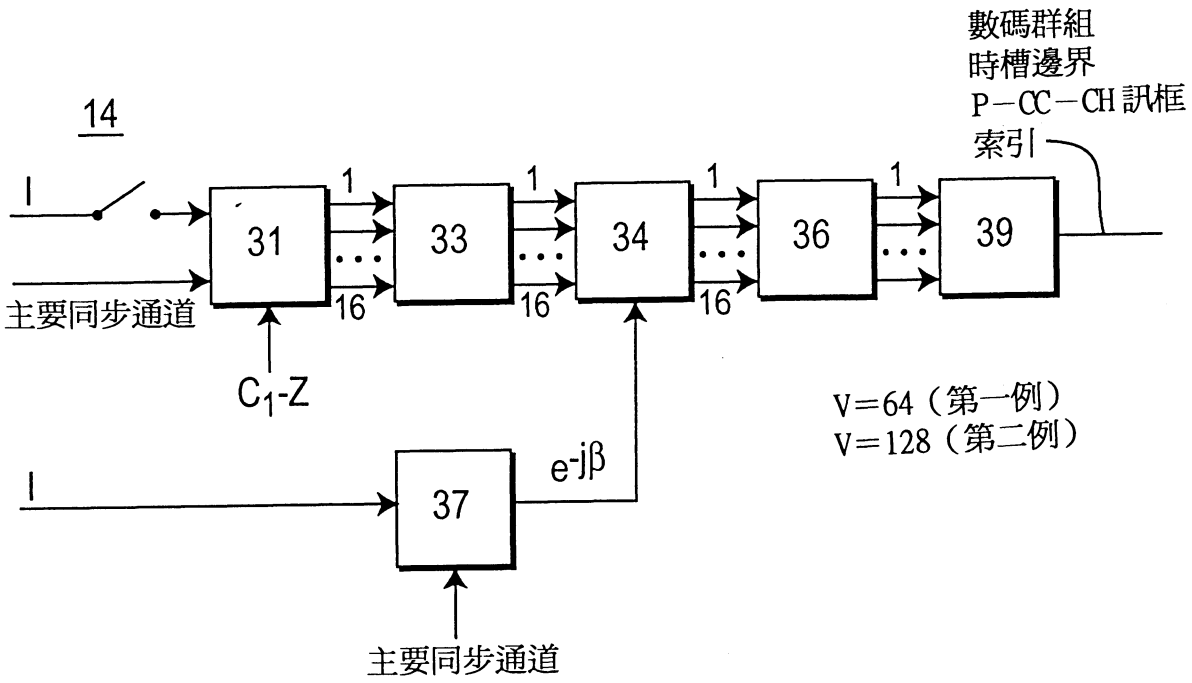

26_1
26_2
功率位準
訊框中取樣位置

第三圖

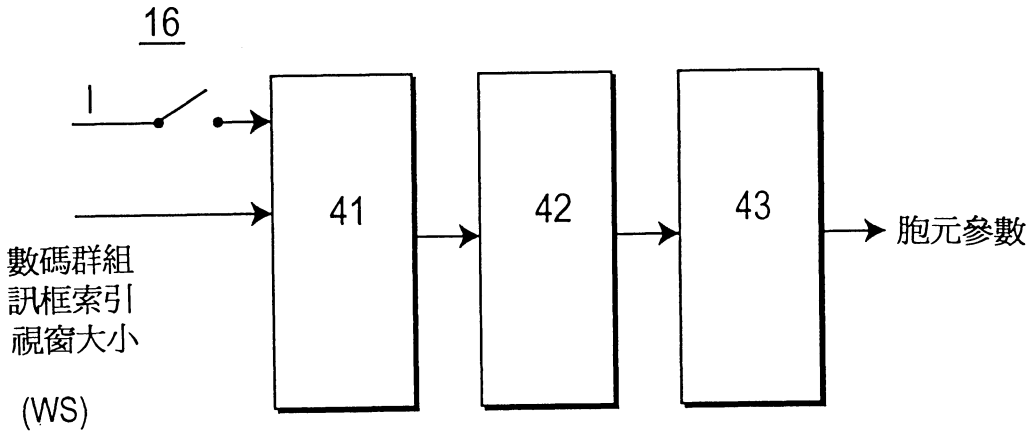

10
12
主要同步數碼位置
輸入
21
22
24
18
14
數碼群組數目
偏移時間 t_{OFFSET}
16
數碼群組數目
擾頻數碼數目

第四圖

圖式



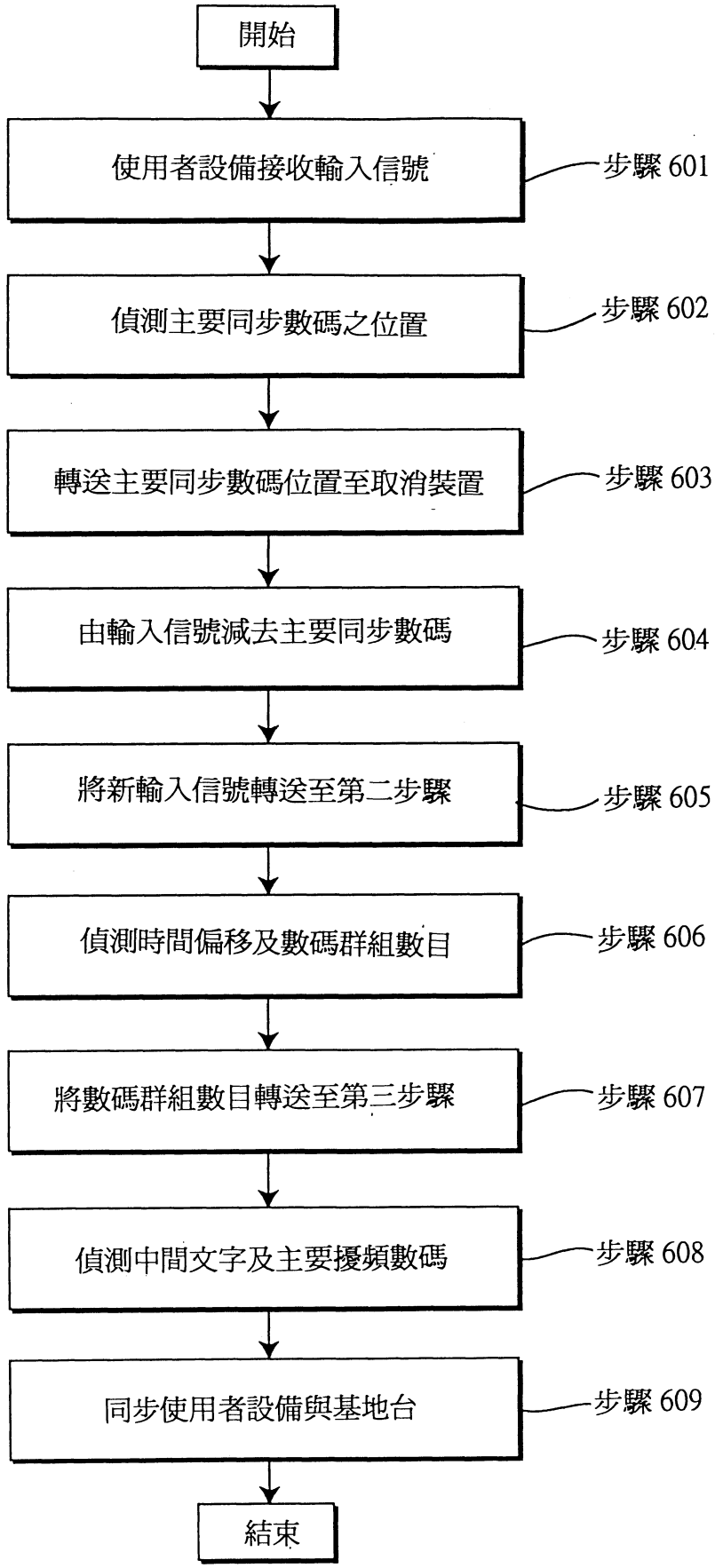
第五圖



N3＝第三步驟重覆數目

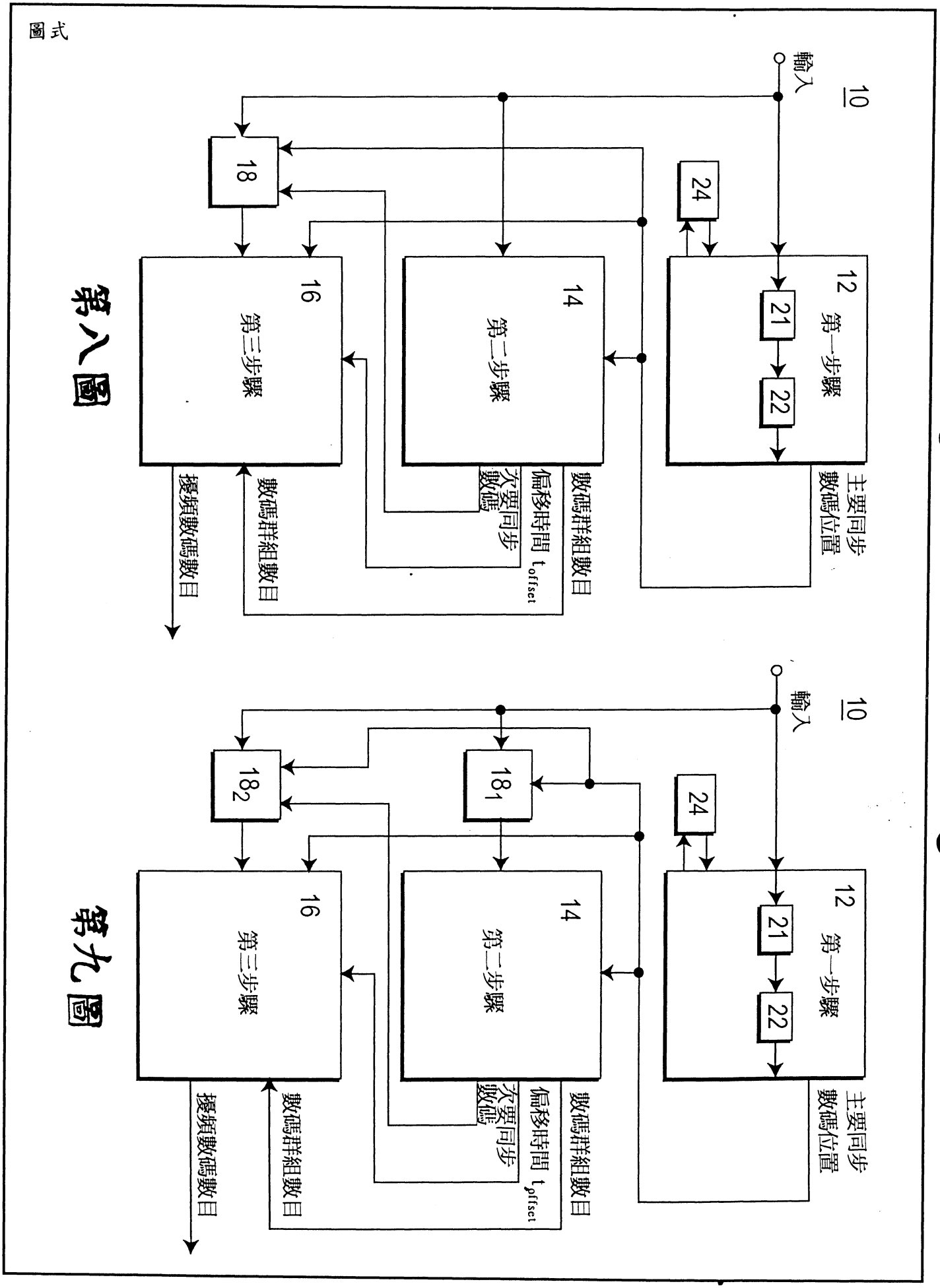
第六圖

圖式


開始
使用者設備接收輸入信號
步驟 601
偵測主要同步數碼之位置
步驟 602
轉送主要同步數碼位置至取消裝置
步驟 603
由輸入信號減去主要同步數碼
步驟 604
將新輸入信號轉送至第二步驟
步驟 605
偵測時間偏移及數碼群組數目
步驟 606
將數碼群組數目轉送至第三步驟
步驟 607
偵測中間文字及主要擾頻數碼
步驟 608
同步使用者設備與基地台
步驟 609
結束

第七圖

圖式


10
輸入
12
第一步驟
21
22
24
主要同步
數碼位置
14
第二步驟
偏移時間 t_{offset}
次要同步
數碼
數碼群組數目
16
第三步驟
18
數碼群組數目
擾頻數碼數目
10
輸入
12
第一步驟
21
22
24
主要同步
數碼位置
14
第二步驟
偏移時間 t_{offset}
次要同步
數碼
數碼群組數目
16
第三步驟
18_1
18_2
數碼群組數目
擾頻數碼數目

第八圖

第九圖

公告本

更正替換頁
92年10月20日

I239779

申請日期：91、4、25	IPC分類 H04Q 7/00
申請案號：91108598	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	無線通信系統中執行初始胞元檢索之裝置與方法
	英文	An Apparatus and Method for Performing Initial Cell Search in Wireless Communication Systems
二、發明人(共3人)	姓名(中文)	1.帕哈卡・季拉普 2.路易斯・古希尼 3.安德魯・貝納茲
	姓名(英文)	1.Prabhakar R. Chitrapu 2.Louis J. Guccione 3.Andrew F. Bednarz
	國籍(中英文)	1.美國 US 2.美國 US 3.美國 US
	住居所(中文)	1.美國賓州19422藍鈴布康特道135號 2.美國紐約州10709東賈斯特林肯道211號 3.美國紐約州11530花園城杜拉摩路153號
	住居所(英文)	1.135 Brochant Drive, Blue Bell, PA 19422, United States of America 2.211 Lincoln Place, Eastchester, NY 10709, United States of America 3.153 Tullamore Road, Garden City, NY 11530, United States of
三、申請人(共1人)	名稱或姓名(中文)	1.內數位科技公司
	名稱或姓名(英文)	1.InterDigital Technology Corporation
	國籍(中英文)	1.美國 US
	住居所(營業所)(中文)	1.美國德拉威州19801威明頓德拉威大道300號527室 (本地址與前向貴局申請者不同)
	住居所(營業所)(英文)	1.300 Delaware Avenue, Suite 527, Wilmington, DE 19801, U.S.A.
	代表人(中文)	1.唐納爾德・伯萊斯
	代表人(英文)	1.Donald M. Boles