

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 11/40

(11) 공개번호 특2001-0048995
(43) 공개일자 2001년06월 15일

(21) 출원번호	10-1999-0053902
(22) 출원일자	1999년11월30일
(71) 출원인	주식회사 하이닉스반도체 박종섭
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 양태흠
(74) 대리인	서울특별시관악구신림1동1624-8 강성배

심사청구 : 없음

(54) 디램의 데이터 출력 경로 회로

요약

본 발명은 반도체 메모리 소자인 디램의 데이터 출력 경로 회로에 관한 것으로, 글로벌데이터라인을 입/출력 당 1개씩 사용함으로써 기존의 방식보다 라인 수를 줄여 칩 사이즈와 전류 소모를 줄일 수 있는 효과가 있다.

이를 실현하기 위하여, 본 발명의 디램의 데이터 출력 경로 회로는, 센스앰프 구동신호가 활성화 상태일 때 입력된 2개의 글로벌버스데이터에 의해 제 1 논리의 출력 신호를 기준글로벌버스라인으로 출력하는 기준센스앰프와, 상기 기준센스앰프에서 출력된 제 1 논리의 출력신호에 의해 일정시간 지연후 상기 기준글로벌버스라인을 프리차지시키는 기준글로벌버스라인 프리차지 회로부와, 상기 센스앰프 구동신호가 활성화 상태일 때 각각 입력된 2개의 글로벌버스데이터에 의해 증폭된 n개의 출력 신호를 n개의 글로벌버스라인으로 각각 출력하는 n개의 글로벌데이터버스센스앰프와, 상기 기준센스앰프에서 출력된 제 1 논리의 출력신호에 의해 일정시간 지연후 상기 각각의 글로벌버스라인을 프리차지시키는 n개의 글로벌버스라인 프리차지 회로부와, 상기 기준센스앰프의 출력신호에 의해 상기 n개의 글로벌버스라인에 실린 각각의 데이터를 임시 저장하는 n개의 데이터 래치 회로부를 포함하여 구성된 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 디램의 데이터 출력 경로를 나타낸 회로구성도

도 1b는 종래 기술에 따른 디램의 데이터 출력 경로의 블럭도

도 2는 본 발명에 의한 디램의 데이터 출력 경로를 나타낸 회로구성도

* 도면의 주요부분에 대한 부호의 설명 *

10, 14, 112, 114 : 데이터버스 센스앰프 110 : 기준센스앰프

20, 24, 30, 34, 120, 130, 134 : 프리차지 회로

22, 32, 122 : 딜레이 회로부

40, 44, 140, 144 : 데이터 래치 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 디램의 데이터 출력 경로 회로{Circuit of data output path in DRAM}에 관한 것으로, 특히 글로벌데이터라인을 입/출력 당 1개씩 사용함으로써 기존의 방식보다 라인 수를 줄여 칩 사이즈와 전류 소모를 줄인 디램의 데이터 출력 경로 회로에 관한 것이다.

로오 어드레스 경로에서 센스 앰프에 의해 증폭된 신호가 비트 라인으로부터 컬럼 셀렉트(select)의 선택에 의해 데이터버스라인에 실린 뒤 데이터버스라인 센스앰프로 다시 증폭되어 출력 버퍼에 다다른 경로

를 리드(Read) 경로라 하며, 데이터 입력 버퍼로부터 입력된 데이터가 센스 앰프에 이르는 경로를 라이트(Write) 경로라 하고 이 둘을 합하여 데이터 경로라 부른다.

본 발명은 데이터 출력 경로에 관한 것이므로 리드(Read) 경로에 대해 자세히 살펴본다.

로오 어드레스 경로에서 센스 앰프에 의해 증폭된 셀 데이터는 컬럼 디코더의 출력 신호가 비트라인과 데이터버스라인을 연결시켜주는 트랜지스터를 구동함에 따라 비트 라인으로부터 데이터버스라인에 전달된다. 이 신호가 데이터버스라인센스앰프(DBSA)에 입력되면 데이터버스라인센스앰프를 활성화시켜 신호를 다시 증폭하고 리드 드라이버로 전송한다. 데이터 출력의 비트 체계에 따라 선택된 리드 드라이버만이 활성화되어 출력 버퍼로 데이터가 전송된다. 데이터출력버퍼는 출력인에이블신호(/OE)와 카스바(/CAS)의 제어를 받아 활성화되어 데이터를 외부로 출력한다. 이러한 데이터의 출력 경로를 리드 경로라 한다.

메모리에서 데이터를 출력하는 경로는 크게 비트라인센스앰프(BLSA), 데이터버스센스앰프(DBSA), 글로벌리드입출력라인(Global Read IO line ; 'grio'), 데이터 래치, 출력 드라이버로 나눌 수 있다. 비트라인센스앰프와 데이터버스센스앰프는 각각의 बैं크(Bank)에 속해 있고, 글로벌리드입출력라인(grio)부터는 여러 बैं크가 공유하게 된다.

종래 방식의 글로벌리드입출력라인(grio)에서 데이터 래치까지의 회로는 도 1에 도시하였다. 이 회로는 글로벌리드입출력라인(grio)을 프리차지 시켜 놓은 후에 데이터센스앰프의 출력을 이용하여 디스차지(discharge) 시켜서 데이터를 판별하고 래치(Latch)하는 방법이다. 이것을 자세히 설명하면 아래와 같다.

도 1에서처럼, 이 회로는 글로벌리드입출력라인(grio)을 중심으로 데이터버스센스앰프(10~14), 프리차지 회로(20,24,30,34), 데이터 래치 회로(40,44)로 이루어져 있다.

우선, 글로벌리드입출력라인(griox와 grioz)는 전원전위(Vdd)로 프리차지 되어 있다. 이때, 센스앰프 구동신호(iosastbz)가 '로우'에서 '하이'가 되면 데이터버스센스앰프(10~14)가 동작하여 글로벌리드입력신호(gdbx와 gdbz)의 차이에 따라 센스앰프는 값을 래치하게 된다. 만약, 글로벌리드입력신호인 'gdbz'가 'gdbx'보다 클 경우 노드(Nd2)가 '로우'가 되어 글로벌리드입출력라인(grioz <0>)은 디스차지(discharge) 된다. 이 신호는 데이터 래치회로(40)의 제어신호로 이용되어 NAND 게이트(NA1)에서 펄스신호인 'latchz'를 만들어 데이터를 래치하게 된다. 또한, 이 글로벌리드입출력라인(griox와 grioz)이 '로우'가 되면 일정한 딜레이 후에 프리차지 회로(24)의 PMOS 트랜지스터(P6, P7)를 동작시켜 글로벌리드입출력라인(griox와 grioz)을 다시 프리차지 시킨다.

도 1b는 한번에 16개의 데이터가 나오는 $\times 16$ 모드를 표현한 것으로, 32개의 글로벌 라인(grioz <0:15>, grio <0:15>), 32개의 프리차지 회로(24,34), 16개의 데이터버스센스앰프(14), 16개의 데이터래치회로(44)를 나타낸 것이다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같이 구성된 종래의 디램의 데이터 출력 경로 회로에 있어서는, 한 비트의 데이터를 래치하기 위해 2 개의 글로벌리드입출력라인(griox와 grioz)이 필요하였다. 왜냐하면, 한 비트의 데이터를 래치하기 위해서는 글로벌리드입출력라인(grio)의 '로우' 펄스를 제어신호로 이용하기 때문에 한 라인만을 이용하면 '하이' 상태로 있는 경우가 있기 때문이다. 이렇게 두 라인을 이용하면 칩 사이즈(size)가 증가하게 되며, 또한 반드시 한 라인은 충전(charge)과 방전(discharge)을 반복해야함으로 전류 소모가 증가하는 문제점이 있었다.

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 글로벌데이터라인을 입/출력 당 1개씩 사용함으로써 기존의 방식보다 라인 수를 줄여 칩 사이즈와 전류 소모를 줄인 디램의 데이터 출력 경로 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 디램의 데이터 출력 경로 회로는,

센스앰프 구동신호가 활성화 상태일때 입력된 2개의 글로벌버스데이터에 의해 제 1 논리의 출력 신호를 기준글로벌버스라인으로 출력하는 기준센스앰프와,

상기 기준센스앰프에서 출력된 제 1 논리의 출력신호에 의해 일정시간 지연후 상기 기준글로벌버스라인을 프리차지시키는 기준글로벌버스라인 프리차지 회로부와,

상기 센스앰프 구동신호가 활성화 상태일때 각각 입력된 2개의 글로벌버스데이터에 의해 증폭된 n개의 출력 신호를 n개의 글로벌버스라인으로 각각 출력하는 n개의 글로벌데이터버스센스앰프와,

상기 기준센스앰프에서 출력된 제 1 논리의 출력신호에 의해 일정시간 지연후 상기 각각의 글로벌버스라인을 프리차지시키는 n개의 글로벌버스라인 프리차지 회로부와,

상기 기준센스앰프의 출력신호에 의해 상기 n개의 글로벌버스라인에 실린 각각의 데이터를 임시 저장하는 n개의 데이터 래치 회로부를 포함하여 구성된 것을 특징으로 한다.

여기서, 상기 제 1 논리의 출력신호는 '로우' 전위레벨을 갖는 것을 특징으로 한다.

그리고, 상기 소문자 n은 앞의 예와 비교하기 위해 $\times 16$ 모드 동작을 나타내므로 자연수 16이다. 그리고, 적용에 따라서 이 n은 바뀔 수 있다.

이하, 본 발명의 실시예에 관하여 첨부도면을 참조하면서 상세히 설명한다.

또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적

인 설명은 생략한다.

도 2는 본 발명에 의한 디램의 데이터 출력 경로를 나타낸 회로구성도이다.

도시한 바와 같이, 센스앰프 구동신호가 활성화 상태일때(iosastbz = '하이') 입력된 2개의 글로벌버스데이터(gdbz와 gdbx)에 의해 '로우' 논리의 출력 신호를 기준글로벌버스라인(grioz_ref)으로 출력하는 기준센스앰프(110)와, 상기 기준센스앰프(110)에서 출력된 '로우' 논리의 출력신호에 의해 일정시간 지연후 상기 기준글로벌버스라인(grioz_ref)을 프리차지(precharge)시키는 기준글로벌버스라인 프리차지 회로부(120)와, 센스앰프 구동신호가 활성화 상태일때(iosastbz = '하이') 각각 입력된 2개의 글로벌버스데이터(gdbz와 gdbx)에 의해 증폭된 n개의 출력 신호를 n개의 글로벌버스라인(grioz <0:15>)으로 각각 출력하는 n개의 글로벌데이터버스센스앰프(112,114)와, 상기 기준센스앰프(110)에서 출력된 '로우' 논리의 출력신호에 의해 일정시간 지연후 상기 각각의 글로벌버스라인(grioz <0:15>)을 프리차지(precharge)시키는 n개의 글로벌버스라인 프리차지 회로부(130,134)와, 상기 기준센스앰프(110)의 출력신호에 의해 상기 n개의 글로벌버스라인(grioz <0:15>)에 실린 각각의 데이터를 임시 저장하는 n개의 데이터 래치 회로부(140,144)로 구성된다.

기준센스앰프(110)는 데이터버스센스앰프(112,114)와 같지만, 그 출력 신호(grioz_ref)가 센스앰프 구동신호(iosastbz)가 '하이'가 되면 항상 '로우'가 되도록 한다. 이는 기준센스앰프(110)로 입력되는 글로벌버스데이터인 'gdbz'를 'gdbx' 보다 크도록 하면 된다. 이때, 'grioz_ref'는 실제 데이터가 실리는 글로벌 라인 'grioz <0:15>'의 데이터를 래치시키는 데이터 래치회로(140, 144)를 인에이블시켜 pu <0:15>를 래치한다. 이러한 방법은 매번 16개의 라인이 차지(charge)와 디스차지(discharge)를 반복하는 기존의 방법보다 전류소모를 줄일 수 있게 되고, 또한 글로벌데이터버스라인의 수를 반(1/2)으로 줄여 칩 사이즈의 감소를 가져온다.

도 2에서는, ×16 모드를 기준으로, 17개의 센스앰프, 17개의 프리차지 회로, 17개의 글로벌버스라인이 필요하다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 디램의 데이터 출력 경로 회로에 의하면, 글로벌데이터라인을 입/출력 당 1개씩 사용함으로써 기존의 방식보다 라인 수를 줄여 칩 사이즈와 전류 소모를 줄일 수 있는 효과가 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1

반도체 메모리 장치에 있어서,

센스앰프 구동신호가 활성화 상태일때 입력된 2개의 글로벌버스데이터에 의해 제 1 논리의 출력 신호를 기준글로벌버스라인으로 출력하는 기준센스앰프와,

상기 기준센스앰프에서 출력된 제 1 논리의 출력신호에 의해 일정시간 지연후 상기 기준글로벌버스라인을 프리차지시키는 기준글로벌버스라인 프리차지 회로부와,

상기 센스앰프 구동신호가 활성화 상태일때 각각 입력된 2개의 글로벌버스데이터에 의해 증폭된 n개의 출력 신호를 n개의 글로벌버스라인으로 각각 출력하는 n개의 글로벌데이터버스센스앰프와,

상기 기준센스앰프에서 출력된 제 1 논리의 출력신호에 의해 일정시간 지연후 상기 각각의 글로벌버스라인을 프리차지시키는 n개의 글로벌버스라인 프리차지 회로부와,

상기 기준센스앰프의 출력신호에 의해 상기 n개의 글로벌버스라인에 실린 각각의 데이터를 임시 저장하는 n개의 데이터 래치 회로부를 포함하여 구성된 것을 특징으로 하는 디램의 데이터 출력 경로 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 논리의 출력신호는 인에이블시 '로우' 전위레벨을 갖고 일정시간 후에 프리차지는 것을 특징으로 하는 디램의 데이터 출력 경로 회로.

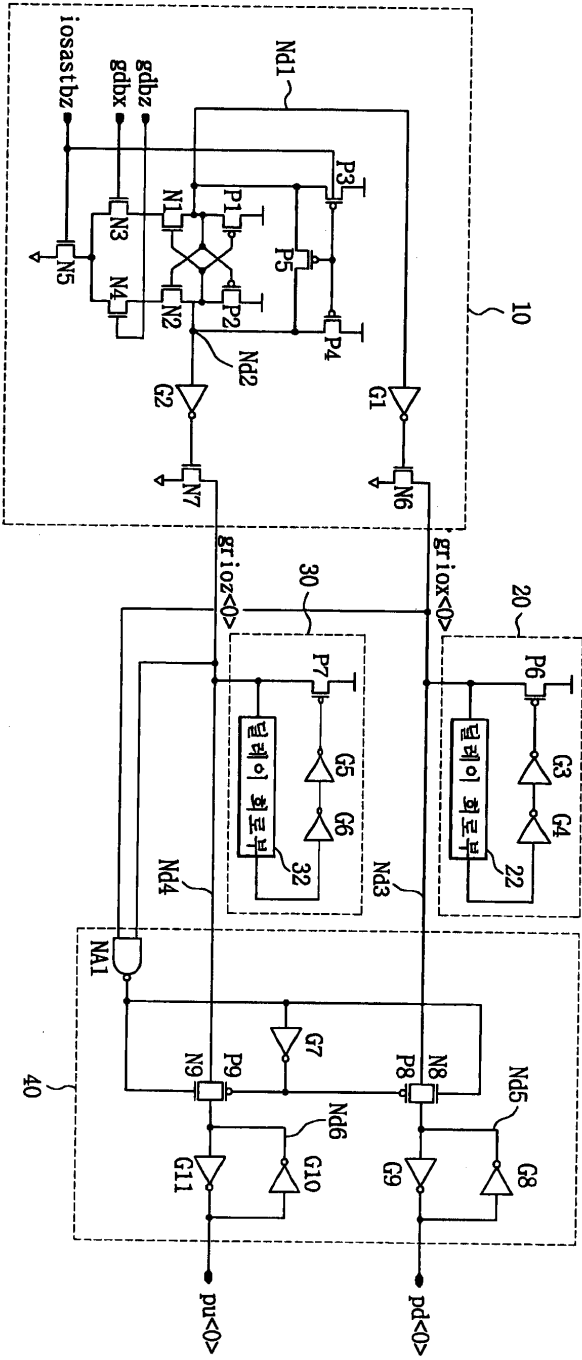
청구항 3

제 1 항에 있어서,

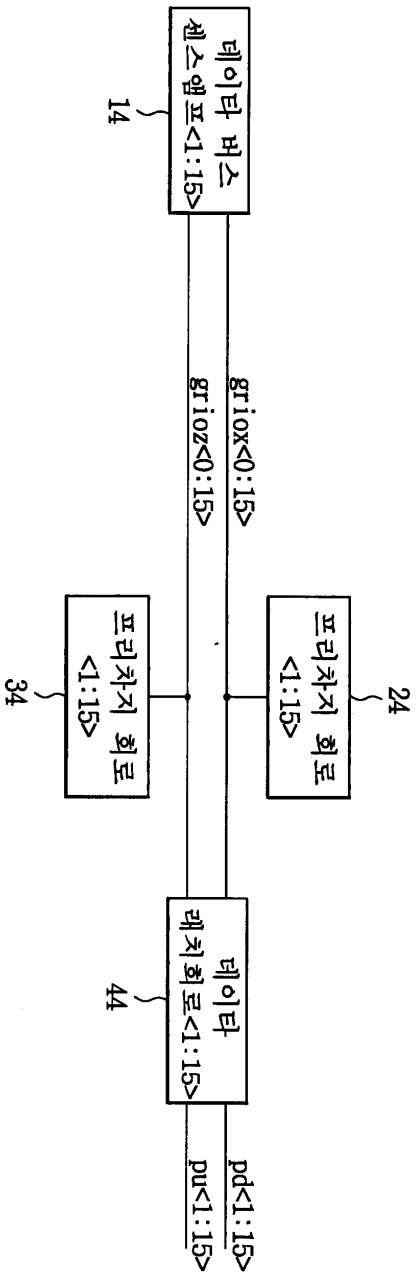
상기 소문자 n은 자연수 4, 8, 16, 32, 64인 것을 특징으로 하는 디램의 데이터 출력 경로 회로.

도면

도면 1a



도면 1b



도면2

