



[12] 发明专利申请公布说明书

[21] 申请号 200580050954.2

[43] 公开日 2008年7月9日

[11] 公开号 CN 101218570A

[22] 申请日 2005.6.30
 [21] 申请号 200580050954.2
 [86] 国际申请 PCT/IB2005/052173 2005.6.30
 [87] 国际公布 WO2007/003984 英 2007.1.11
 [85] 进入国家阶段日期 2008.1.2
 [71] 申请人 飞思卡尔半导体公司
 地址 美国得克萨斯
 [72] 发明人 乌里·沙沙 沙吉·古芬克尔
 吉拉德·阿西 埃兰·坎
 耶胡达·施瓦格尔

[74] 专利代理机构 中原信达知识产权代理有限责任
 公司
 代理人 黄启行 穆德骏

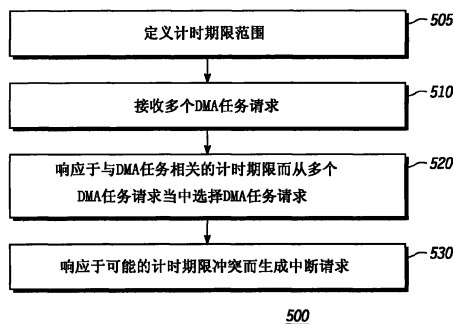
权利要求书 3 页 说明书 27 页 附图 9 页
 按照条约第 19 条的修改 3 页

[54] 发明名称

在直接存储器存取任务请求之间进行仲裁的装置和方法

[57] 摘要

本发明涉及一种用于在直接存储器存取 (DMA) 任务请求之间进行仲裁的方法 (500)，该方法 (500) 包括接收多个 DMA 任务请求 (510)；该方法的特征在于响应于与 DMA 任务有关的计时期限而从多个 DMA 任务请求当中选择 DMA 任务请求 (520)。本发明还涉及一种装置 (90)，它包括接口 (420)，其适用来接收 DMA 任务请求；该装置 (90) 特征在于，包括仲裁器 (410)，其适用来响应于与 DMA 任务有关的计时期限而从多个 DMA 任务请求当中选择 DMA 任务请求。



500

1. 一种用于在直接存储器存取 (DMA) 任务请求之间进行仲裁的方法 (500)，所述方法 (500) 包括接收多个DMA任务请求 (510)；所述方法的特征在于：响应于与所述DMA任务相关的计时期限而从所述多个DMA任务请求当中选择DMA任务请求 (520)。

2. 根据权利要求 1 所述的方法 (500)，其中所述选择 (520) 进一步包括响应于预定的优先级而在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

3. 根据权利要求 1 所述的方法 (500)，其中所述选择 (520) 进一步包括通过应用计时期限无差异仲裁方案来在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

4. 根据权利要求 1-3 中任一项所述的方法 (500)，其中所述选择进一步响应于至少一个可用带宽参数。

5. 根据权利要求 1-4 中任一项所述的方法 (500)，其中所述选择进一步响应于至少一个请求的带宽参数。

6. 根据权利要求 1-5 中任一项所述的方法 (500)，其中至少一个 DMA 任务是重复性任务。

7. 根据权利要求 1-6 中任一项所述的方法 (500)，进一步包括定义计时期限范围 (505)，以及其中所述选择 (520) 包括在与属于一个计时期限范围的计时期限相关的多个 DMA 任务请求之间进行选择。

8. 根据权利要求 1-7 中任一项所述的方法 (500)，其中每一个 DMA 任务与 I/O 端口相关，以及其中所述选择 (520) 包括在与所述相

同 I/O 端口相关的 DMA 任务请求之间进行仲裁。

9. 根据权利要求 1-8 中任一项所述的方法（500），其中至少一个 DMA 任务涉及从多维缓冲器检索信息。

10. 根据权利要求 1-9 中任一项所述的方法（500），进一步包括响应于可能的计时期限冲突生成中断（530）。

11. 一种装置（90），包括接口（420），其适用来接收 DMA 任务请求；所述装置（90）的特征在于包括仲裁器（410），其适用来响应于与 DMA 任务相关的计时期限而从多个 DMA 任务请求当中选择 DMA 任务请求。

12. 根据权利要求 11 所述的装置（90），其中所述仲裁器（410）适用来响应于预定的优先级而在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

13. 根据权利要求 11 所述的装置（90），其中所述仲裁器（410）适用来通过应用计时期限无差异仲裁方案来在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

14. 根据权利要求 11-13 中任一项所述的装置（90），其中所述仲裁器适用来响应于至少一个可用带宽参数来进行选择。

15. 根据权利要求 11-14 中任一项所述的装置（90），其中所述仲裁器适用来响应于至少一个请求的带宽参数来进行选择。

16. 根据权利要求 11-15 中任一项所述的装置（90），其中至少一个 DMA 任务是重复性任务。

17. 根据权利要求 11-16 中任一项所述的装置 (90)，其中至少一个 DMA 任务涉及从多维缓冲器检索信息。

18. 根据权利要求 11-17 中任一项所述的装置 (90)，其进一步适用来响应于可能的计时期限冲突而生成中断。

19. 根据权利要求 11-18 中任一项所述的装置 (90)，包括多个端口，而且其中所述仲裁器 (410) 适用来在与单个端口相关的 DMA 任务之间进行仲裁。

20. 根据权利要求 11-19 中任一项所述的装置 (90)，其进一步适用来定义计时期限范围，而且其中所述仲裁器 (410) 适用来在与属于一个计时期限范围的计时期限相关的多个 DMA 任务请求之间进行选择。

在直接存储器存取任务请求之间进行仲裁的装置和方法

发明领域

本发明涉及在 DMA 任务请求之间进行仲裁的装置和方法。

发明背景

最近十年以来，集成电路的复杂性极大地提高了。为了支持各种应用，例如，但不局限于，多媒体应用、实时应用等，正在研究芯片上系统和其他多核集成电路。

现代的集成电路能够实质上并行执行大量任务。其中某些任务要求在存储器映射装置之间传输相对大量数据。多通道直接存储器存取（DMA）控制器可以管理多个数据传输，同时减少了来自集成电路核心（处理器）的加载。然而，DMA 控制器还可以通过每当完成特定 DMA 任务时发布中断来加载这些核心。

以下所有的在此引用作为参考的专利和专利申请描述了各种 DMA 控制器：Olivier 等人的美国专利 6738881、Wunderlich 的美国专利 6122679、Amini 等人的美国专利 5450551、Farazmandnia 等人的美国专利 6728795、Kihara 的美国专利 4502117、Brewer 等人的美国专利 4556952、Riley 等人的美国专利 5838993、Wolford 等人的美国专利 5692216、5603050 和 5884095、Loyer 等人的美国专利 6298396、Morrison 等人的美国专利 6542940、Leichty 等人的美国专利 6041060、Goff 等人的序列号为 2004/0073721A1 的美国专利申请、Takashi 等人的序列号为 20040037156A1 的美国专利申请、Cheung 的序列号为 2004021618A1 的美国专利申请、Hedeki 等人的公开号为 JP07168741A2 的日本专利、Masahiko 的公开号为 JP06187284A2 的日本专利、Yoshihiro 的公开号为 JP2004252533A2 的日本专利、Tadayoshi 等人的公开号为

JP04324755A2 的日本专利、Hiroyuki 的公开号为 JP2004013395A2 的日本专利、Tetsuya 的公开号为 JP08249267A2 的日本专利、Katsuyuki 等人的公开号为 JP02048757A2 的日本专利以及 Simon 等人的公开号为 WO2005/013084 的 PCT 专利申请。

由于 DMA 任务的复杂性，所以大量 DMA 任务研究员在定义每一个 DMA 任务的优先级上花费了许多资源。这些优先级可以被定制于专用程序。

这就需要提供一种在 DMA 任务请求之间进行仲裁的有效的装置和方法

发明内容

一种正如所附权利要求所述的在 DMA 任务请求之间进行仲裁的装置和方法。

附图说明

从以下结合附图的详细描述将更加全面地了解和理解本发明，其中：

图 1 示出了一种根据本发明实施例的装置；

图 2 示出了一种根据本发明实施例的 DMA 控制器；

图 3 示出了一种根据本发明实施例的总线接口；

图 4 示出了根据本发明实施例的文件寄存器的各个寄存器；

图 5 示出了一种根据本发明实施例的缓冲器描述符表；

图 6 示出了一种根据本发明实施例的四维缓冲器；

图 7 示出了一种根据本发明实施例的 DMA 通道和选定的 DMA 通道逻辑；

图 8 示出了根据本发明实施例在示范性数据传输操作中涉及的各个缓冲器；

图 9 是一种根据本发明实施例的在多个 DMA 任务请求之间进行

仲裁的方法的流程图；

图 10 是一种根据本发明实施例的用于控制第一个 DMA 任务的执行的方法的流程图；

图 11 是一种根据本发明实施例的用于执行 DMA 任务的方法的流程图；

图 12 是一种根据本发明实施例的用于控制多个 DMA 任务的方法的流程图。

优选实施例的详细描述

以下附图示出了本发明的示范性实施例。它们并不是打算用来限定本发明的范围，而是帮助理解本发明的某些实施例。还要注意所有附图都不是按照比例绘制的。

DMA 任务包括从一个位置到另一个位置的信息传输。DMA 任务可以要求许多 DMA 事务处理（transaction）。每个 DMA 任务的 DMA 事务处理的数量响应于在 DMA 任务期间应当传输的数据的总大小与在单个 DMA 事务处理期间能够传输的数据的大小之间的关系。还要注意，DMA 事务处理的数量可以响应于 DMA 事务处理的成功，这是因为在失败的 DMA 事务处理后面可以有数据的重发，该数据是在失败的 DMA 事务处理过程中要传输的数据。

单个 DMA 任务可以包括多个 DMA 子任务。单个 DMA 子任务可以包括要求多个 DMA 事务处理。DMA 子任务与对多维缓冲器中单个维度的写入（或从其读出）有关。

周期性 DMA 任务可以包括多个 DMA 任务循环（iteration）。每一个周期性 DMA 任务操作可以包括多个 DMA 事务处理，并且可以包括多个 DMA 子任务。一个 DMA 循环可以认为是重复性的 DMA 任务，除非它被掩蔽、冻结、去使能（disabled）或者要不然就被停止。

多维缓冲器包括多个相互链接的缓冲器段。这些段可以形成连贯的地址范围，但这不是必需的。

缓冲器通常与多个逻辑组件例如寄存器有关。一个多维缓冲器比一组独立的缓冲器（虽然其中每一个缓冲器对应于多维缓冲器中一个单独的维度）要求更少的逻辑。方便地，多维缓冲器包括多个存储器段。由每一个维度的大小信息来定义存储器段的数量。特定维度的大小信息表示在之前维度的大小与当前维度的大小之间的比率。比如说，如果第一个维度包括 Z 个基本存储器段，而第二个维度的大小信息为 Y ，则该二维缓冲器包括 $(Z \times Y)$ 个存储器段。

根据本发明的实施例，多个 DMA 任务可以是基于周期时间的 DMA 任务。基于周期时间的 DMA 任务是重复的 DMA 任务，但是它的重复率受到 DMA 任务执行周期的限制。方便地，在单个 DMA 任务执行周期内应当仅执行基于单一周期时间的 DMA 任务。

根据本发明的实施例，可以将大量的 DMA 任务定义为基于周期时间的 DMA 任务，因此降低了 DMA 控制器预编程的复杂性。而且，利用基于周期时间的 DMA 任务防止了在每一个周期对 DMA 控制器进行编程。

方便地，提供了一种装置（例如图 1 的装置 90）。该装置包括至少一个存储器单元以及适用来访问该存储器单元的 DMA 控制器。装置 90 适用来在该至少一个存储器单元内实现多维缓冲器。该装置包括 DMA 控制器 100，它适用来执行多个 DMA 子任务，其中该执行包括在缓冲器间的跳变点上在缓冲器之间跳转；其中，所述缓冲器间的跳变点基本被定义在多个多维缓冲器当中的每一个多维缓冲器的一个或多个维度的末端。

方便地，提供了一种装置（例如图 1 的装置 90）。装置 90 包括一

个或多个存储器单元（例如图 1 的存储器单元 93、94）。装置 90 还包括 DMA 控制器 100，它适用来：（i）访问为多个 DMA 通道中的每一个 DMA 通道而定义的多个缓冲器描述符当中的至少一个缓冲器描述符，其中至少两个缓冲器描述符包括计时信息，该计时信息控制基于周期时间的 DMA 任务的执行；（ii）接收多个 DMA 任务请求，（iii）从该多个 DMA 任务请求当中选择 DMA 任务请求，以及（iv）执行 DMA 任务或 DMA 任务循环，并更新与所选定的 DMA 任务请求有关的缓冲器描述符，以此来反映该执行。

以下的说明描述了各种计数器。本领域技术人员将理解可以使用向上计数器和向下计数器而不脱离本发明的范围。因此，可以用计数器减量操作来代替计数器增量操作。

为了简单起见，以下附图并不包括在实际系统中要求的本领域技术人员所理解的特定细节。比如说，没有显示某些控制路径和供电路径。这些将从以下进一步的描述中显而易见。通常地，存在许多可能的方法来在硬件中实现系统 90 和 DMA 控制器 100 的逻辑功能，而附图仅仅是用于图示说明的目的。本领域技术人员将基于此处的描述而理解如何实现系统 90，尤其是 DMA 控制器 100。

图 1 示出了根据本发明实施例的系统 90。系统 90 包括 DMA 控制器 100 以及附加组件。

方便地，装置 90 具有第一 DAM 任务控制性能。它包括存储器单元和 DMA 控制器，该 DMA 控制器适用来监视第一 DMA 任务的执行，该执行包括访问存储器单元，并适用来在第一 DMA 任务执行子间隔期间未完成第一个 DMA 任务的情况下执行第一可能的计时冲突（timing violation）响应操作。

DMA 控制器 100 可以连接到多个存储器映射组件，并且可以是各

种片上系统的系统的一部分。发明人使用了一种 32 通道 DMA 控制器 100，但是可以改变 DMA 通道的数量。多个寄存器和逻辑与每一个 DMA 通道有关。方便地，多个诸如但不限于外围设备、核心和存储器单元的组件可以连接到 DMA 控制器 100。方便地，DMA 控制器可以动态地选择运行哪一个组件。因此，仅仅是在 DMA 控制器与组件之间的连接并不必然意味着 DMA 通道被分配给该组件。

总线 91 连接到 DMA 控制器 100、总线媒体访问控制器（用 MAC 表示）98、多个核心 92、多个存储器单元 94、外部高级存储器接口 95 和通信端口，例如以太网端口 97 和 PCI 99。另外，多个（M 个）外围设备 98 连接到 DMA 控制器 100。

注意，DMA 控制器 100 的不同端口可以连接到不同的总线，可以用多个总线来代替总线 91，方便地，每一个总线都具有它自己的 MAC。

系统 90 包括多个存储器单元，包括在 DMA 控制器 100 内的内部存储器单元（未显示）。可以在各个存储器单元内存储各种信息。方便地，在存储器单元 94 内存储缓冲器描述符。注意，可以在 DMA 控制器 100 本身内存储至少一个缓冲器描述符，但是这不是必需的。缓冲器描述符所指示的缓冲器可以实现在存储器单元 94 或外部高级存储器单元 93 内。

预先对缓冲器描述符进行编程，而且该缓冲器描述符包括用于控制 DMA 任务的信息。

图 2 示出了根据本发明实施例的 DMA 控制器 100。

DMA 控制器 100 包括两个 I/O 端口 172 和 174、I/O 端口接口 160、总线接口 140、多个 FIFO 150、PRAM 130、DMA 逻辑 120、通道逻辑与仲裁器 110 以及寄存器文件 200。

DMA 逻辑 120 连接到总线接口 140、通道逻辑与仲裁器 110、寄存器文件 200、参数 RAM (PRAM) 130 和 FIFO 150。PRAM 130 连接到总线接口 140 和通道逻辑与仲裁器 110。寄存器文件 200 连接到通道逻辑与仲裁器 100。FIFO 150 连接到总线接口 140。I/O 端口接口 160 连接到 I/O 端口 172 和 174 以及总线接口 140。

注意，DMA 控制器 100 可以包括对于每一个 I/O 端口的总线接口和 I/O 端口接口，但是为了解释的简单性，只示例了一个 I/O 端口 160 和一个单独的总线接口 140。

两个 I/O 端口 172 和 174 连接到总线 176，该总线连接到像存储器单元 94 那样的外部存储器单元。双 I/O 端口有利于并行执行两个 DMA 任务。注意，I/O 端口的数量可以不同于两个。

存储器单元 94 存储缓冲器描述符，而且还用来实现缓冲器。这些缓冲器可以包括单维缓冲器或多维缓冲器。多维缓冲器包括多个相互链接的地址范围。注意，可以在一个或多个存储器单元内存储缓冲器描述符，同时可以用一个或多个其他存储器单元来实现缓冲器。缓冲器描述符定义了 DMA 任务的各种特性，例如缓冲器的位置、为完成 DMA 任务或 DMA 子任务而要传输的剩余数据（所述大小还称为剩余大小）、缓冲器维度数、DMA 任务的计时、一旦 DMA 任务结束和/或缓冲器为满或空时要执行的操作等等。

比如说，缓冲器描述符可以包括指令或控制信息，它们使 DMA 控制器在一旦缓冲器为满的情况下执行以下操作中的一种：（i）关闭 DMA 通道（比如说，通过阻止 DMA 通道向仲裁器发送 DMA 任务请求），（ii）重新初始化（由此实现周期性缓冲），（iii）一旦特定的重新写入周期期满进行重新初始化（由此实现基于时间的周期性缓冲），（iv）重新设置缓冲器大小（由此实现增量缓冲），或者（v）

切换到另一个缓冲器（由此实现链接缓冲）等。

方便地，通过用户或另一个实体来定义缓冲器描述符，并且在—个或多个存储器单元 94 内存储该缓冲器描述符。每一个 DMA 通道可以与多个缓冲器描述符相关。可以按照多种方式来布置这些缓冲器描述符，例如，但不局限于，缓冲器描述符表（BDT）。每一个 DMA 通道可以与唯一的 BDT 相关。

对于与缓冲器描述符，可以应用多种数据检索（retrieval）方法。方便地，在第一次通过仲裁器选择特定的 DMA 任务请求时，从存储器单元 94 中检索相关的缓冲器描述符。然后在 PRAM 130 中存储该缓冲器描述符，通过 DMA 控制器 100 更新该缓冲器描述符，并最终将其写回到存储器单元 94。所述写回操作可以发生在 DMA 任务结束时，但这不是必需的。

通道逻辑与仲裁器 110 包括接口 420 和仲裁器 410。它接收来自于各种存储器管理组件（诸如但不局限于外围设备 96）的 DMA 任务请求，并执行仲裁序列以从这些 DMA 任务请求当中选择一个请求。

接口 420 可以适用来在向仲裁器 410 发送 DMA 任务请求之前，检验是否可以—进行 DMA 任务（如果相关的 DMA 任务请求赢得了仲裁对话）。该检验可以包括确定 DMA 通道是否为使能的、非冻结的，是否可以 I/O 端口可以服务，和/或是否暂时掩蔽 DMA 任务请求等。

比如说，如果特定的 DMA 任务是基于时间的周期性 DMA 任务，以及如果在预定的 DMA 任务周期内执行之前的 DMA 任务，就可以暂时掩蔽 DMA 任务请求。

根据本发明的实施例，仲裁器 410 适用来响应于与 DMA 任务有关的计时期限而从多个 DMA 任务请求当中选择 DMA 任务请求。方便

地，仲裁器 410 适用来响应于预定的优先级而在与基本相同的计时期限有关的 DMA 任务请求之间进行选择。

方便地，仲裁器 410 适用来通过应用计时无差异仲裁方案（timing indifferent arbitration scheme）来在与基本相同的计时期限有关的 DMA 任务请求之间进行选择。这样的一种仲裁方案并不响应于计时期限，并可以包括任何众所周知的现有技术仲裁方案，例如循环复用（round robin）、加权的循环复用、固定优先级、动态分配的优先级、加权的公平队列、低延迟队列等。动态分配的优先级可以每一个或多个仲裁周期改变 DMA 请求的优先级。其中至少某些仲裁方案可以限制特定的 DMA 通道所消耗的带宽量。

方便地，仲裁器 410 适用来响应于至少一个可用带宽参数（ABP）来选择 DMA 任务。该可用带宽参数可以是连接到总线的装置的数量、总线带宽、总线状态（总线是否繁忙）等，其中该总线还连接到 DMA 控制器 100。根据本发明的实施例，仲裁器就忽略那些一旦仲裁结束无法执行的 DMA 任务请求。比如说，某些 DMA 任务要求总线不繁忙，而且数据接收方可用。如果不满足这些条件，仲裁器 410 就可以忽略包括在繁忙的总线上传输数据和/或向繁忙的数据接收方传输数据的 DMA 请求。

方便地，仲裁器 410 适用来响应于至少一个请求的带宽参数（RBP）来选择 DMA 任务。所述请求的带宽参数可以是完成 DMA 任务而要求的数据传输操作的数量、在每一个数据传输过程中传输的数据的大小等。

根据本发明的实施例，仲裁器 410 可以响应于一个或多个 RBP 以及一个或多个 ABP 来选择 DMA 任务。

根据本发明的实施例，每一个 DMA 任务可以与 I/O 端口 172 和

174 中的一个相关。在这样一种情况下，仲裁器 410 可以执行两个独立的仲裁对话。第一个仲裁对话选择与 I/O 端口 172 相关的 DMA 任务，而另一个对话选择与 I/O 端口 174 相关的 DMA 任务。可以并行执行这两个仲裁对话。

根据本发明的另一个实施例，DMA 任务并不是一开始与特定的 I/O 端口相关的。在这种情况下，仲裁器 410 可以选择两个 DMA 任务，然后 DMA 控制器 100 将判定哪一个 I/O 端口将服务于 DMA 任务。

根据本发明的实施例，仲裁处理包括两个阶段。在第一阶段期间，仲裁器 410 将 DMA 任务划分到预定的计时期限范围。然后，它在与最短的计时期限范围相关的 DMA 任务之间进行选择。发明人使用了 8 比特计时期限值 and 四个计时期限范围（0 和 1）、（2 到 7）、（8 到 63）和（64 到 255），但是也可以定义其他范围。

DMA 控制器 100 包括多个 FIFO 150。方便地，对每一个 DMA 通道分配一个 FIFO。可以向 DMA 逻辑 120 提供 FIFO 的状态，DMA 逻辑 120 可以响应于该状态而向通道逻辑与仲裁器 110 发送一个或多个 DMA 请求。比如说，如果特定的 FIFO 为空，则 DMA 逻辑 120 可以判定填满它（通过执行写操作），而且当它为满时，DMA 逻辑 120 可以决定清空它（通过执行读操作）。通道逻辑与仲裁器 110 可以决定在 DMA 任务之间进行仲裁，或者响应于 DMA 通道状态（冻结、去使能、解冻、使能）、I/O 端口可用性、与 DMA 通道相关以参与到 DMA 传输中的组件的当前性能等而暂时忽略它们。

之前提到，如果在 DMA 任务期间应当使用的 I/O 端口繁忙，DMA 任务请求就不进入仲裁对话。注意，DMA 控制器的不同部件可以执行这一检验。根据本发明的另一实施例，不检验 I/O 端口的状态，而且如果这一 DMA 任务请求赢得了仲裁对话，就可以将它存储在 DMA 控制器 100 的内部队列中，忽略或暂时忽略该 DMA 任务请求。

图 3 示出了根据本发明实施例的总线接口 140。总线接口 140 包括 DMA 任务请求采样单元 (RSU) 142, 写 FIFO 144, 读 FIFO 146 和任务管理器 148。RSU 142 对 DMA 逻辑提供的 DMA 任务请求进行采样, 并将其发送到 I/O 端口接口 160。

RSU 142 对 DMA 逻辑发送的 DMA 任务请求进行采样。一旦检测到 DMA 任务请求, 就将它发送到 I/O 端口接口 160。如果与该 DMA 任务请求相关的 I/O 端口不繁忙, 则对该请求提供服务。方便地, 在一个时钟周期之后对该请求提供服务, 但这不是必需的。

如果与该 DMA 任务请求相关的 I/O 端口繁忙, 则 RSN 142 可以向 DMA 逻辑 120 发送 RSU 繁忙信号。方便地, 在任务管理器 148 的队列内存储该 DMA 任务请求直至对该 DMA 任务请求提供服务为止。

任务管理器 148 包括能够存储少量 (例如 8 个) DMA 任务请求的队列。一旦任务管理器 148 满了, 它就向 DMA 逻辑发送任务管理器繁忙指示信号, 以暂时阻断来自于 DMA 逻辑的新的请求。注意, 可以对每一个 I/O 端口分配队列。

总线接口 140 包括内部的读 FIFO 146 和写 FIFO 148。这些 FIFO 使计时约束缓和并提供一种用于通过 I/O 端口接口 160 和 I/O 端口 172 和 174 的读和写操作的流水线 (pipelined) 结构。

图 4 示出了根据本发明实施例的文件寄存器 200 的多种寄存器。

根据本发明的实施例, 文件寄存器 200 包括一个或多个影子寄存器 (shadow register)。影子寄存器与相应的寄存器相关, 而且即使是当寄存器正在使用时, 也可以允许更新该寄存器的内容。

文件寄存器 200 包括多个可编程寄存器，例如 DMA 缓冲器描述符基本寄存器、DMA 通道配置寄存器、DMA 全局配置寄存器 220、DMA 通道使能寄存器 230、DMA 通道去使能寄存器 232、DMA 通道冻结寄存器 234、DMA 通道解冻寄存器 236、DMA EDF 寄存器、DMA EDF 掩蔽寄存器 250、DMA EDF 状态寄存器 254、DMA 错误寄存器 260 以及多种调试寄存器、轮廓（profiling）寄存器、附加状态寄存器和更新寄存器。

每一个 DMA 通道都与一个缓冲器描述符表（BDT）相关。BDT 包括多个缓冲器描述符。每一个 DMA 通道都具有 DMA 缓冲器描述符基本寄存器，例如寄存器 202，它存储该 DMA 通道的缓冲器描述符表的基本地址。

每一个 DMA 通道都与一个 DMA 通道配置寄存器相关，例如 DMA 通道配置寄存器 210。它包括以下字段：DMA 通道激活（ACTV）字段 212、源 I/O 端口（SPRT）字段 213、目的 I/O 端口（DPRT）字段 214、源多维（SMDC）字段 215、目的多维（DMDC）字段 216、源 BDT 指针 217、目的 BDT 指针 218、循环复用优先级组（RRPG）字段 219。另外，这些寄存器可以包括诸如源/目的延迟或使用最优方案等。

ACTV 212 指示 DMA 通道是否为激活的。SPRT 213 指示源 I/O 端口，而 DPRT 214 指示目的 I/O 端口。SMDC 215 指示源缓冲器是否为多维缓冲器。DMDC 216 指示目的缓冲器是否为多维缓冲器。

源 BDT 指针 217 包括在 BDT 内对源缓冲器描述符的偏移量。目的 BDT 指针 218 包括在 BDT 内对目的缓冲器描述符的偏移量。根据缓冲器描述符基本地址与该偏移量计算选定的缓冲器描述符的地址。

RRPG 219 指示在循环复用仲裁方案中 DMA 通道的优先级。

DMA 全局配置寄存器 220 包括多种字段，诸如内部的或外部的缓冲器描述符使能字段 222、仲裁类型字段 224 等。配置仲裁类型字段以便在多个可用仲裁方案之间进行选择。比如说，这些仲裁方案可以包括基于计时期限的仲裁方案、计时期限无差异仲裁方案、和/或它们的组合。

DMA 通道使能寄存器 230 包括多个比特。每一个置位比特指示相关的 DMA 通道被使能。忽略复位比特。DMA 通道去使能寄存器 232 对于每一个 DMA 通道都包括一个比特。如果设置该比特，则去使能 DMA 通道。忽略复位比特。DMA 通道冻结寄存器 234 对于每一个 DMA 通道都包括一个比特。如果设置该比特，则冻结 DMA 通道。冻结的 DMA 通道与去使能的 DMA 通道之间的差异在于，冻结的 DMA 通道的请求被考虑而不服该请求，而忽略去使能的 DMA 通道的请求。冻结的 DMA 通道的 DMA 通道设置并不改变且保持有效。DMA 通道解冻寄存器 236 对于每一个 DMA 通道都包括一个比特。如果设置该比特，则该 DMA 通道被解冻，其离开冻结状态。

每一个 DMA 通道都与一个 DMA EDF 寄存器相关，例如 DMA EDF 寄存器 240。它包括三个计时字段。第一个计时字段称为当前计数器字段 242，而且它存储与该 DMA 字段相关的计时计数器的当前值（当前时间）。第二个计时字段称为阈值字段 244，而且它存储阈值，该阈值反映当 DMA 任务按期时的计时计数器的值。第三个计时字段称为基本计数器字段 246，而且它存储基本计数器值，在初始化计时计数器时向计数器加载该基本计数器值。方便地，DMA 任务执行周期反映了基本计数器值与阈值之间的差异。计时期限反映了当前计数器值与阈值之间的差异。

方便地，一旦 DMA 通道被去使能，与该 DMA 通道相关的计时计数器就停止。在该 DMA 通道被使能时，该通道的计时计数器重新加载以基本计数器值。

DMA EDF 掩蔽寄存器 250 包括多个比特，它们在计时期限一旦发生或者将要发生时，要么使能中断请求的生成，要么掩蔽中断请求的生成。根据本发明的实施例，如果在 DMA 任务执行周期的预定子周期内没有完成特定的 DMA 任务，就可以指示出现了可能的计时冲突。可由子周期阈值来定义该子周期。一旦经过该阈值，DMA 控制器 100 或另一个装置（例如核心 92）可以执行以下操作中至少一种操作：（i）删除 DMA 任务，（ii）增加 DMA 任务的优先级，（iii）迫使 DMA 任务的执行，（iv）如果这是基于周期时间的 DMA 任务，允许将要在下一个 DMA 任务执行周期内执行多于一个 DMA 任务，（v）迫使一个或多个 DMA 事务处理的执行，（vi）迫使一个或多个 DMA 子任务的执行等。

DMA EDF 状态寄存器 254 指示是否出现一个或多个计时冲突。DMA 错误寄存器 260 包括多个字段，这些字段指示各种错误的出现。这些错误可以包括各种 I/O 端口错误、地址错误、PRAM 奇偶校验失败、FIFO 错误、计时冲突错误等。

图 5 示出了一种根据本发明实施例的缓冲器描述符表 300。

每一个 DMA 通道都与缓冲器描述符表（BDT）相关。便利地，BDT 300 存储在一个或多个存储器单元 94 内，并开始于一个 BDT 基本地址。BDT 300 包括缓冲器描述符的列表，这些缓冲器描述符可以与 DMA 通道的各种 DMA 任务相关。预先对 BDT 300 进行编程，尽管可以以各种方式来更新 BDT 300。

方便地，存在读缓冲器描述符和写缓冲器描述符。其中每一个缓冲器描述符都可以是单维缓冲器描述符或多维缓冲器描述符。

BDT 300 包括共同地用 302 来表示的多维读缓冲器描述符和共同

地用 304 来表示的多个单维写缓冲器描述符。注意，读缓冲器描述符可以包括一个或多个单维缓冲器描述符和/或一个或多个多维缓冲器描述符。写缓冲器描述符可以包括一个或多个单维缓冲器描述符和/或一个或多个多维缓冲器描述符。

注意，每一个 BDT 都可以包括大量缓冲器描述符。发明人使用了一种具有高达 1024 个单维写缓冲器描述符的 DMA 控制器，但是可以使用其他数量和类型的缓冲器描述符。方便地，如果仅仅使用少量的缓冲器描述符，则可以在 DMA 控制器 100 内存储这些缓冲器描述符。

像 BD 310 那样的单维缓冲器描述符包括四个字段：BD_ADDR 312、BD_SIZE 314、BD_BSIZE 316 和 BD_ATTR 320。每一个字段为 32 个比特长。BD_ADDR 312 包括指向当前缓冲器条目（entry）的指针。该指针扫描缓冲器，并在每一个 DMA 事务处理时递增。BD_SIZE 314 指示为了完成 DMA 任务或 DMA 子任务而要传输的剩余数据的大小。每当完成 DMA 事务处理时，就将该值减去 DMA 事务处理大小。方便地，当该字段达到 0 时，DMA 任务完成。BD_BSIZE 308 存储该缓冲器的基本大小（将要在整个 DMA 任务期间传输的数据的总大小）。

BD_ATTR 320 包括以下字段：（i）SST 321，它指示是否在 DMA 任务结束时生成掩蔽的中断请求，（ii）CYC 322，它指示缓冲器是否为周期性的或是递增的，（iii）CONT 323，它指示当 BD_SIZE 达到 0 时是否关闭缓冲器，（iv）NPRT 324，它指示在下一个 DMA 任务期间要使用哪一个 I/O 端口，（v）NO_INC 325，它指示是否在完成一个 DMA 任务之后递增缓冲器地址（通常通过改变缓冲器偏移量），（vi）NBD 326，它选择将用于下一个 DMA 任务的缓冲器，（vii）PP 328，它设置将由 MAC 98 考虑的缓冲器优先级，（viii）TSZ 330，它指示在单个 DMA 任务期间可以传输的最大数据量，（ix）RFZ 331，它指示一旦 BD_SIZE 达到 0 时，是否冻结缓冲器，（x）MR 332，它指示在 DMA 控制器发送的数据达到其目的地之前，是否掩蔽来自于 DMA 通

道的请求，(xi) BTSZ 333，它指示 DMA 事务处理大小，以及 (xii) EDF 327，它指示如果选择了基于计时期限的仲裁，一旦 BD_SIZE 达到 0 如何激活该缓冲器。

EDF 327 可以指示 (a) DMA 通道与仲裁器是否可以继续正常工作 (以连续的方式)，(b) 是否应当为 EDF 计数器加载基本计数器值，或者 (c) 是否可以掩蔽 DMA 通道的 DMA 任务请求直至从该任务的开始经过了预定的时间周期 (比如说，EDF 计数器达到 0)。一旦后者出现，则将计数器加载以基本计数器值。

为了便于进行解释，示例了四维缓冲器和四维缓冲器描述符 340。注意，多维缓冲器可以具有两个、三个或多于四个的维度。四维缓冲器的 DMA 任务包括四个 DMA 子任务。

多维缓冲器描述符 340 包括单维缓冲器描述符的字段以及附加字段。它还包括比单维缓冲器描述符更多的属性字段。

当使用多维缓冲器描述符时，可以分别监视每一个维度 (DMA 子任务)。因此，代替指示将要在 DMA 任务期间传输的数据的剩余大小的单个值 (BD_SIZE)，存在三个附加计数器，它们计数第一维度的剩余重复 (C2DIM 362)，第二维度的剩余的重复 (C3DIM 363)，第三维度的剩余的重复 (C4DIM 364)，以便完成第二、第三和第四维度。另外，每一附加维度具有它自己的偏移量 (代替单维 BD_ADDR 312 字段) 及其重复基本计数 (BC2DIM 272、BC3DIM 273 和 BC4DIM 274)，它们指示第二、第三和第四维度中每一个的重复的总数。

除了字段 321-327 之外，附加的属性字段也属于属性字段 320'，并且包括：LAST 341、BD 342、SSTD 343、FRZD 344、CONTD 345 和 MRD 346。

LAST 341 指示缓冲器是否是成链的缓冲器链中最后一个，以及如果是的话一旦填满（写操作）或清空（读操作）缓冲器就关闭 DMA 通道。BD 342 指示缓冲器的维数（例如 4）。SSTD 343 指示第一、第二、第三或第四 DMA 子任务的完成是否将设置完成状态比特。FRZD 344 指示第一、第二、第三或第四 DMA 子任务的完成是否将致使 DMA 控制器冻结该 DMA 通道。CONTD 345 通过指示在第一、第二、第三或第四 DMA 子任务完成之后，何时 DMA 通道将会切换到下一个缓冲器描述符，来定义缓冲器间的跳变点。CONTD 345 便于在完成整个 DMA 任务之前切换缓冲器。MRD 346 指示何时掩蔽 DMA 通道请求。

图 6 示出了一种根据本发明实施例的四维缓冲器 350。

缓冲器 350 包括 64 个字节的 128x256x128 个存储器段。在属于第一维度的连续的存储器段之间的偏移量是 448 个字节。因此，BD_BSIZE 等于 64，BC2DIM 等于 128，BC3DIM 等于 256，而 BC4DIM 等于 128。

整个缓冲器可以包括多个缓冲器间的跳变点，它们对应于各个维度的末端点。比如说，第一组可能的缓冲器间的跳变点可以位于每一个存储器段的末端（对应于第一维度的大小）。第二组可能的缓冲器间的跳变点可以位于每一个 128 个存储器段（对应于第一维度的大小）。第三组可能的缓冲器间的跳变点可以位于每一个 32768 个存储器段（对应于第三维度的大小）。

比如说，可以将缓冲器间的跳变点定义在这些可能的末端点中任意一个上。在缓冲器间的跳变点之间的选择响应于 CONTD 345 的值。比如说，如果 COND 等于 1，则每当访问存储器段时，该处理都跳转。因此，如果存在多个例如 350 的多维缓冲器，则访问其中每一个存储器的第一维度，然后访问其中每一个缓冲器的第二维度，直至访问了所有维度为止。比如说，如果 COND 345 等于 2，则选择第二组缓冲器间的跳变点。

注意，根据本发明的实施例，该跳转响应于对继续该 DMA 任务的确定。在某些情况下，一旦达到特定的缓冲器间的跳变点，装置 90 就鉴于至少一个参数，例如所接收的信息的内容、之前的 DMA 子任务的成功等，来确定是否进行下去。

如果将四维缓冲器 350 定义为周期性的缓冲器，则在访问最后一个存储器段之后，访问第一个存储器段。

图 7 示出了根据本发明实施例的 DMA 通道逻辑 440 和选定的 DMA 通道逻辑 460。

DMA 控制器 100 可以管理多个 DMA 通道。为了解释的简单性，图 7 示出了 DMA 通道逻辑 440 和选定的 DMA 通道逻辑 460，其管理单一 DMA 通道。

DMA 通道逻辑 440 位于通道逻辑与仲裁器 110 内。通道逻辑与仲裁器 110 对于每一个 DMA 通道都包括这样的逻辑。

选定的 DMA 通道逻辑 460 位于 DMA 逻辑 120 内。DMA 逻辑 120 包括单一的 DMA 通道逻辑 460，它管理选定的 DMA 任务请求。比如说，如果 DMA 控制器 100 适用来基本上同时管理多于一个的 DMA 任务，它应当包括例如逻辑 460 那样的附加逻辑。比如说，如果 DMA 控制器 100 适用来管理每 I/O 端口（172 和 174）一个 DMA 任务，它应当包括两个选定的 DMA 通道逻辑。

DMA 通道逻辑 440 包括计时计数器单元 442 和附加的通道逻辑 448。

计时计数器单元 442 包括至少一个计时计数器，例如计算从各个

事件开始所经过的时间的计时计数器 444, 所述事件例如 (i) 执行 DMA 任务、DMA 子任务或 DMA 事务处理的开始, (ii) 对 DMA 任务请求的接收, (iii) 在 DMA 任务请求的选择时等等。

可由附加的通道逻辑 448 采样并重新加载计时计数器 444。另外, 附加的通道逻辑 444 可以只有在这些 DMA 任务请求是有效的和/或可由 I/O 端口对其提供服务的情况下, 才允许向通道逻辑与仲裁器 110 发送 DMA 任务请求。为了执行该任务, 附加的通道逻辑 448 访问寄存器文件 200 中的不同字段, 并且方便地, 可以访问缓冲器描述符。比如说, 它访问 DMA 通道使能寄存器 230、DMA 通道去使能寄存器 232、DMA 通道冻结寄存器 234 等。可以通过附加的通道逻辑 448 掩蔽由外围设备或其他存储器映射装置接收的 DMA 任务请求和/或由 FIFO 150 的一个 FIFO 初始化的请求, 或者可以将其提供给仲裁器 410。

根据本发明的实施例, 附加的通道逻辑 448 可以通过检验在计数器达到预定值之前 DMA 任务是否完成了, 来检测可能的计时冲突 (并发送可能的计时冲突信号), 其中该预定值指示 DMA 任务执行子间隔已经过去。DMA 任务执行子间隔可以被包括在缓冲器文件 200 或缓冲器描述符内。可以向装置 90 的各个组件包括核心 92, 或 DMA 控制器 100 的另一部分, 发送该信号。

附加的通道逻辑 448 可以接收来自于选定的 DMA 通道逻辑 420 或来自缓冲器描述符的指示, 它指示该 DMA 任务完成。

选定的 DMA 通道逻辑 460 管理选定的 DMA 任务或子任务。它访问选定的 DMA 任务的缓冲器描述符, 并执行多种操作, 例如地址计算, 确定何时结束 DMA 任务或 DMA 任务, 判定何时执行缓冲器间的跳转等。

选定的 DMA 通道逻辑 460 包括至少一个进程计数器 462。一旦

DMA 任务开始，就为进程计数器 462 加载基本地址，并在完成这一 DMA 事务处理时，将进程计数器 462 减去要在 DMA 任务或 DMA 子任务期间利用 DMA 事务处理大小传输的数据的剩余大小。一旦 DMA 任务或 DMA 子任务结束，就把更新的缓冲器描述符发送回 PRAM 130 和存储器单元 94。

方便地，在管理多维缓冲器时，为了计算每一个维度的重复，应当使用多个计数器。

选定的 DMA 通道逻辑 460 还包括地址计算单元 464，它接收各个地址，并利用这些地址来访问缓冲器的选定条目（entry）（由缓冲器描述符指示的），执行跳转操作等。

图 8 示出了根据本发明实施例的在示范性数据传输操作中涉及各个缓冲器 70、71、72、73、75 和 75。

缓冲器 71 和 72 存储源图像，而寄存器 72 和 73 存储参考图像。在通过编码和/或压缩处理源图像时，需要来自于这两图像的数据。

缓冲器 70 和 71 是源缓冲器，缓冲器 72 和 73 是参考缓冲器，而缓冲器 74 和 75 是目的缓冲器。缓冲器 71 和 72 中的每一个都是三维缓冲器。

缓冲器 71 的第一维度包括用 S1 表示的存储器段。缓冲器 71 的第二维度包括存储器段 S1 和 S2。缓冲器 71 的第三维度包括用 S1-S50 来表示的 50 个存储器段。

缓冲器 72 的第一维度包括用 S51 表示的存储器段。缓冲器 72 的第二维度包括存储器段 S51 和 S52。缓冲器 72 的第三维度包括用 S51-S100 来表示的 50 个存储器段。

缓冲器 73 的第一维度包括用 R1 来表示的存储器段。缓冲器 73 的第二维度包括存储器段 R1 和 R2。缓冲器 73 的第三维度包括用 R1-R50 来表示的 50 个存储器段。

缓冲器 74 的第一维度包括用 R51 来表示的存储器段。缓冲器 74 的第二维度包括存储器段 R51 和 R52。缓冲器 74 的第三维度包括用 R51-R100 来表示的 50 个存储器段。

每当 DMA 控制器 100 完成对每一缓冲器的第二维度的读取时，它就执行缓冲器间的跳转。因此，在 48 个跳转之后，它完成对缓冲器 71 和 72 的读取。

缓冲器间的跳转的结果是，缓冲器以易于对视频帧的处理的方式存储图像数据。因此，寄存器 74 存储以下存储器段：S1、S2、S51、S52、S3、S4、S53、S54...S100，而寄存器 75 存储以下存储器段：R1、R2、R51、R52、R3、R4、R53、R54...R100。

以下的附图是根据本发明各个实施例的各种方法的流程图。方便地，由本发明的系统 90 来执行这些方法。仅仅是为了便于解释而提供了系统 90 以及尤其是 DMA 控制器 90 的各个组件作为参考。本领域技术人员还能够基于在此的描述而将方法应用到其他系统上。

方便地，可以组合各种方法的步骤，可以通过应用另一种方法的一个或多个步骤来执行特定的方法的步骤。在以下的描述中具体地描述了这些组合中的某些组合，但是这仅仅是为了便于进行解释。

图 9 是一种根据本发明实施例在多个 DMA 任务请求之间进行仲裁的方法 500 的流程图。

方法 500 由可选的步骤 505 开始，该步骤 505 定义了计时期限范围。该计时期限范围可以彼此相等，但这不是必需的。发明人使用了四个长度不同的计时期限范围。

在步骤 505 后面有步骤 510，该步骤 510 接收多个 DMA 任务请求。方便地，在通道逻辑与仲裁器 110 上从使能的 DMA 通道接收这些 DMA 任务请求。在仲裁周期内可以对这些请求进行采样。由 DMA 通道 BDT 内预定的缓冲器描述符来描述每一个 DMA 任务请求。

在步骤 510 后面有步骤 520，该步骤 520 响应于与 DMA 任务相关的计时期限而从多个 DMA 任务请求当中选择 DMA 任务请求。该选择可以由仲裁器 410 施行。

根据本发明的实施例，步骤 520 包括响应于预定的优先级而在与基本上相同的计时期限相关的 DMA 任务请求之间进行选择。该优先级可以是固定的或者能够动态变化。

根据本发明的实施例，该选择可以包括应用计时期限无差异仲裁方案。

方便地，步骤 520 响应于至少一个可用带宽参数和/或响应于至少一个请求的带宽参数。

方便地，至少一个 DMA 任务是重复性任务，甚至是基于周期时间的 DMA 任务。

根据本发明的实施例，步骤 520 包括在与属于一个（或多个）计时期限范围的计时期限相关的多个 DMA 任务请求之间进行选择。方便地，方法 500 搜索非空且包括最短时间期限的范围。如果该范围包括多于一个的 DMA 任务请求，则方法 500 选择其中一个 DMA 任务请求。

方便地，每一个 DMA 任务请求都与特定的 I/O 端口相关。在这样一种情况下，该方法可以执行每一个端口的仲裁序列。可以并行执行不同的仲裁方案。

方便地，至少一个 DMA 任务涉及从（或向）多维缓冲器检索信息。

方便地，方法 500 进一步包括监视 DMA 任务的执行。方便地，方法 500 包括步骤 530，它响应于计时期限冲突而生成中断请求。注意，可以在该 DMA 任务的执行期间应用方法 600、700 和/或 800 的各个步骤。

注意，方法 500 可以包括选择另一种仲裁方案的步骤（未显示），例如计时期限无差异仲裁方案。

图 10 是根据本发明实施例用于控制第一 DMA 任务的执行的方法 600 的流程图。

根据本发明的实施例，通过一旦成功地完成 DMA 任务则不生成中断请求来减少核心加载。

方法 600 由步骤 610 开始，该步骤 610 定义了第一 DMA 任务执行间隔和第一 DMA 任务执行子间隔。方便地，在一个或多个缓冲器描述符内存储这些定义。

在步骤 610 后面有步骤 620，该步骤 620 在多个 DMA 任务请求之间选择该第一 DMA 任务请求，其中该选择响应于第一 DMA 请求的优先级。该选择可以包括应用方法 500 的一个或多个步骤。

在步骤 620 后面有步骤 650，该步骤 650 监视第一 DMA 任务的执行。

在步骤 650 后面有步骤 660：如果在第一 DMA 任务执行子间隔期间没有完成该第一 DMA 任务，则执行第一可能的计时冲突响应操作。

根据本发明的各个实施例，可以将方法 600 应用到多个 DMA 任务。比如说，方法 600 可以包括定义第二 DMA 任务执行间隔和第二 DMA 任务执行子间隔，监视第二 DMA 任务的执行，以及在第二 DMA 任务执行子间隔期间没有完成该第二 DMA 任务的情况下，执行第二可能的计时冲突响应操作。

根据本发明的实施例，第一 DMA 认为是基于周期时间的 DMA 任务。一旦检测到可能的计时冲突，就可以改变在未来的 DMA 任务间隔期间 DMA 任务的执行。

根据本发明的各个实施例，步骤 660 可以包括以下步骤中任意一个步骤或一个或多个步骤的组合：(i) 生成中断请求；(ii) 停止 DMA 任务；(iii) 改变第一 DMA 任务请求的优先级；(iv) 允许在单独的第一 DMA 任务执行间隔内执行多个第一 DMA 任务；(v) 迫使完成 DMA 任务；(vi) 迫使完成 DMA 子任务。

参照之前附图所示的 DMA 控制器 100，DMA 控制器 100 可以旁路仲裁器，或者要不然就暂时冻结其他 DMA 请求并使得重新向 I/O 端口接口提供该 DMA 任务请求。

根据本发明的实施例，可能的计时冲突响应操作响应于导致可能的计时冲突的 DMA 任务进程和/或响应于 DMA 任务的优先级。比如说，如果 DMA 任务几乎完成了（和/或具有高优先级），则该方法将倾向于完成该 DMA 任务而不停止它。

图 11 是根据本发明实施例用于执行 DMA 任务的方法 700 的流程图。

方法 700 由步骤 710 开始，该步骤 710 将缓冲器间的跳变点定义在多个多维缓冲器当中的每一个多维缓冲器的一个或多个维度的末端点上。

在步骤 710 后面有步骤 750，该步骤 750 接收执行 DMA 任务的请求。

在步骤 750 后面有步骤 770，该步骤 770 执行多个 DMA 子任务，其中所述执行包括在缓冲器间的跳变点上在缓冲器之间跳转。

方便地，步骤 770 包括在至少一个缓冲器间的跳变点中判断是否继续执行 DMA 任务。因此，响应于该判断，方法 700 可以继续执行 DMA 任务，放弃该任务，或者甚至是重新执行至少一个 DMA 子任务。

根据本发明各个实施例，该判断可以 (i) 响应于在该判断之前执行的 DMA 子任务的成功；(ii) 响应于在该判断之前执行的至少一个 DMA 子任务期间检索的数据的内容，等等。

方便地，方法 700 包括在判断期间冻结至少一个 DMA 通道。

方便地，该 DMA 任务是基于时间的周期性 DMA 任务。

方便地，该 DMA 任务包括从一个多维缓冲器向多个单维缓冲器写数据。

方便地，方法 700 包括执行与多个多维缓冲器中每一个多维缓冲

器的特定维度相关的 DMA 子任务,然后执行与该多个多维缓冲器中每一个多维缓冲器的另一个维度相关的 DMA 子任务。

方便地,一旦选择相应的 DMA 任务请求,就执行该 DMA 任务。该选择可以响应于 DMA 任务的优先级。方便地,与多个多维缓冲器相关的 DMA 任务的优先级响应于这些多维缓冲器中的至少一个的优先级。

图 12 是根据本发明实施例用于控制多个 DMA 任务的方法 800 的流程图。

方法 800 由步骤 810 开始,该步骤 810 为多个 DMA 通道中的每一个通道定义了多个缓冲器描述符;其中至少两个缓冲器描述符包括计时信息,该计时信息控制基于周期时间的 DMA 任务的执行。在图 5 中示例了缓冲器描述符内所包括的各种信息的实例。

方便地,计时信息定义了 DMA 任务执行间隔和 DMA 任务优先级。可由诸如方法 600 的方法来使用这些字段。方便地,至少一个缓冲器描述符包括当前循环 I/O 端口选择信息和下一个循环 I/O 端口选择信息。如果 DMA 控制器(例如 DMA 控制器 100)包括多个 I/O 端口,则这些字段定义在当前 DMA 任务、DMA 子任务和/或 DMA 事务处理期间应当使用的 I/O 端口,以及在下一 DMA 任务、DMA 子任务和/或 DMA 事务处理期间应当使用的 I/O 端口。方便地,至少一个缓冲器描述符包括仲裁类型信息。因此,鉴于该字段,DMA 控制器可以选择仲裁方法,诸如,但不限于,方法 500 的仲裁方案。

在步骤 810 后面有步骤 850,该步骤 850 接收多个 DMA 任务请求。

在步骤 850 后面有步骤 860,该步骤 860 从该多个 DMA 任务请求当中选择 DMA 任务请求。该选择可以包括方法 500 的任意步骤。

在步骤 860 后面有步骤 870，该步骤 870 执行 DAM 任务或 DMA 任务循环，并更新与选定的 DMA 任务请求相关的缓冲器描述符，以反映该执行。在步骤 870 后面有步骤 860。

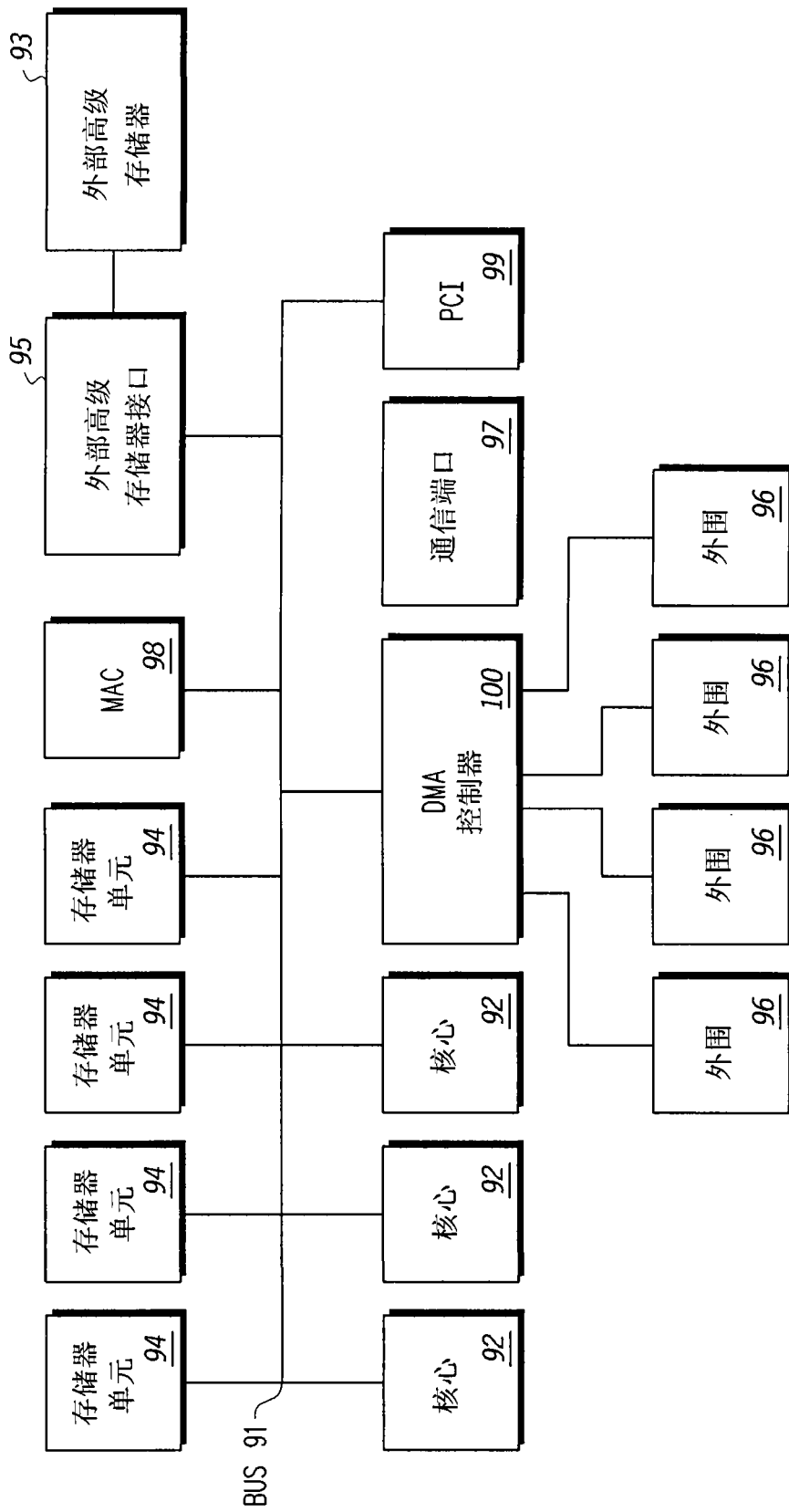
方便地，在步骤 870 后面有步骤 880：一旦检测到可能的计时冲突则生成中断请求。在步骤 880 和可能的计时冲突操作后面有步骤 860。

注意，可以在方法 800 的执行期间更新缓冲器描述符，尽管为了便于解释而没有在图 11 中示出该更新步骤。

方便地，在连接到 DMA 控制器的存储器单元内存储至少一个缓冲器描述符，而且基于周期时间的 DMA 任务的第一循环的执行包括：从该存储器单元检索与该基于周期时间的 DMA 任务相关的缓冲器描述符。

方便地，至少一个基于周期时间的 DMA 任务包括多个与多维缓冲器相关的 DMA 子任务。方便地，方法 800 包括在不同的 DMA 任务循环期间使用不同的 I/O 端口。

本领域普通技术人员在不脱离所请求保护的本发明的精神和范围的情况下将会想到对此处所描述内容的变形、修改和其他执行方式。因此，本发明并不由之前的示范性描述所限定，而是由以下权利要求的精神和范围所限定。



90

图1

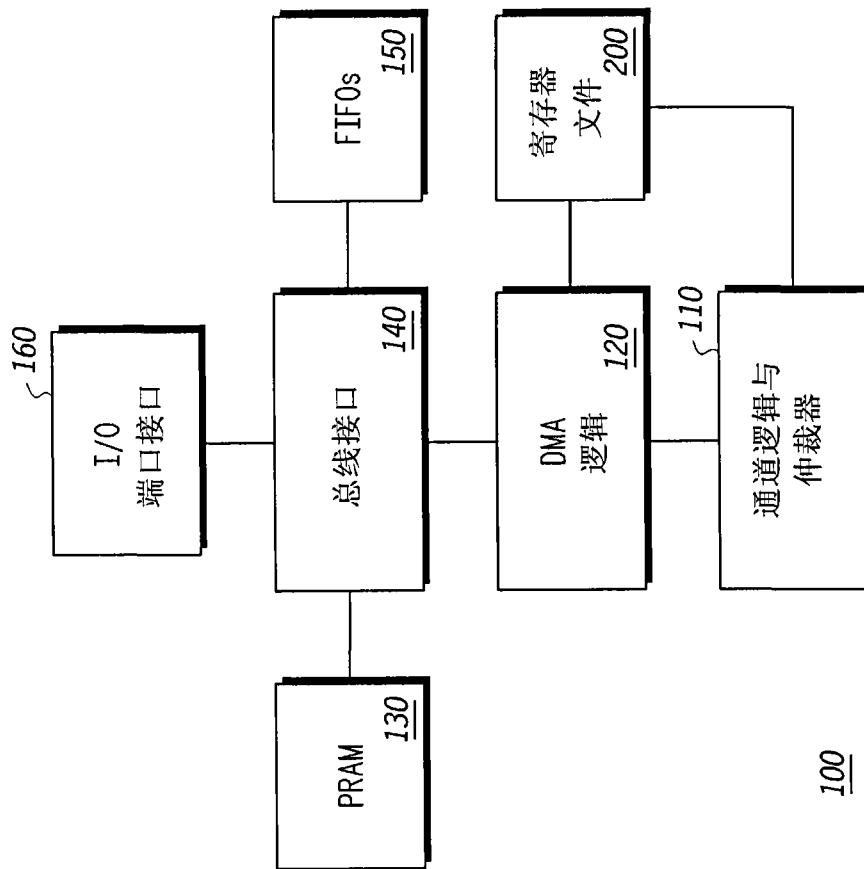


图2

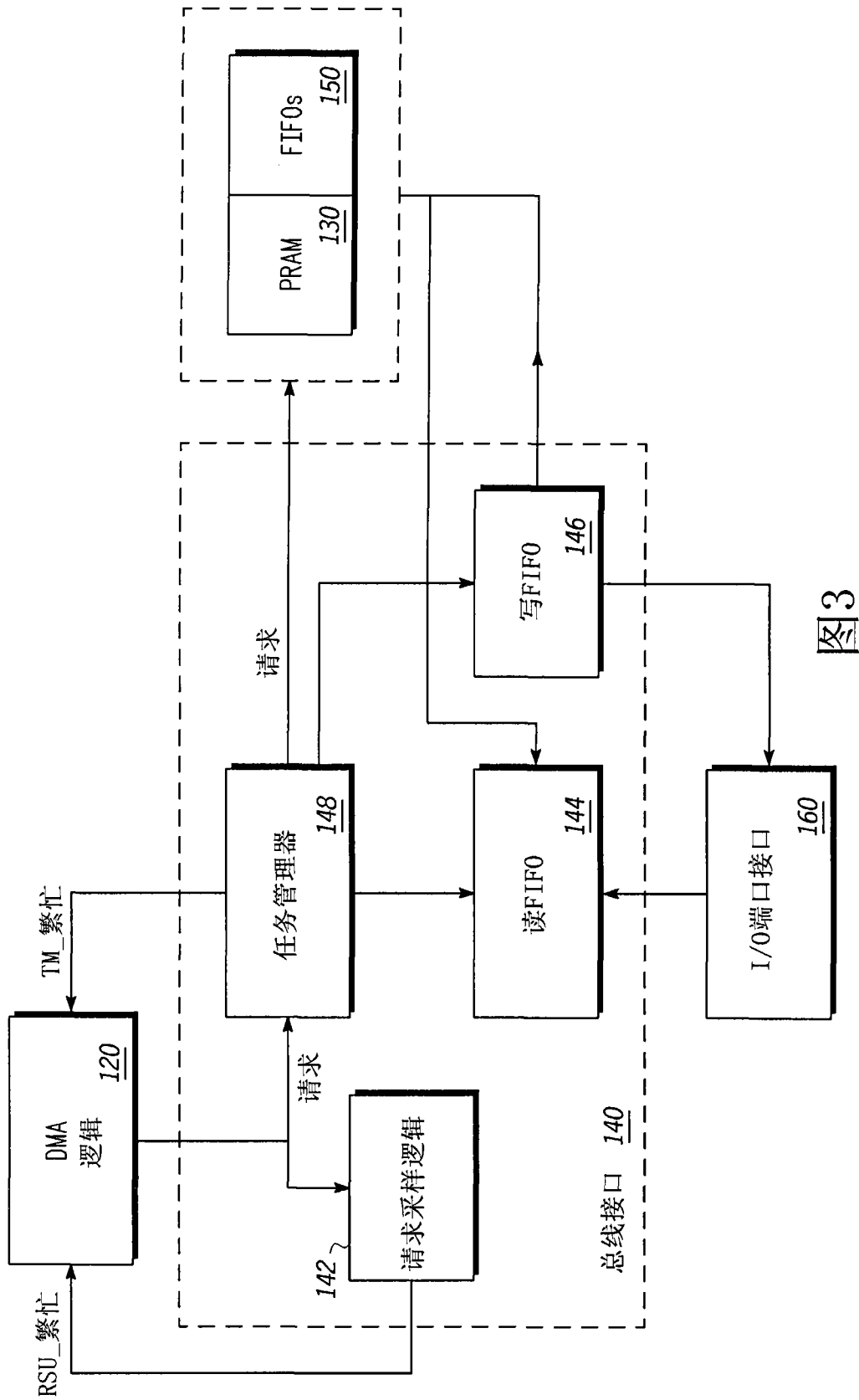


图3

ACTV <u>212</u>	SPRT <u>213</u>	DPRT <u>214</u>	SMDC <u>215</u>	DMDC <u>216</u>	SBDTP <u>217</u>	DBDTP <u>218</u>	RRPG <u>219</u>
DMA通道配置寄存器 210							
内部/外部缓冲器描述符使能			<u>222</u>	仲裁类型字段 <u>224</u>			
DMA全局配置寄存器 220							
DMA通道激活比特							
DMA通道使能寄存器 230							
DMA通道去使能比特							
DMA通道去使能寄存器 232							
DMA通道冻结比特							
DMA通道冻结寄存器 234							
DMA通道解冻比特							
DMA通道解冻寄存器 236							
当前计数器 <u>242</u>		阈值 <u>244</u>		基本计数器 <u>246</u>			
DMA EDF寄存器 240							
DMA EDF掩蔽比特							
DMA EDF掩蔽寄存器 250							
DMA EDF状态比特							
DMA EDF状态寄存器 254							
DMA 错误字段							
DMA错误寄存器 260							

图4

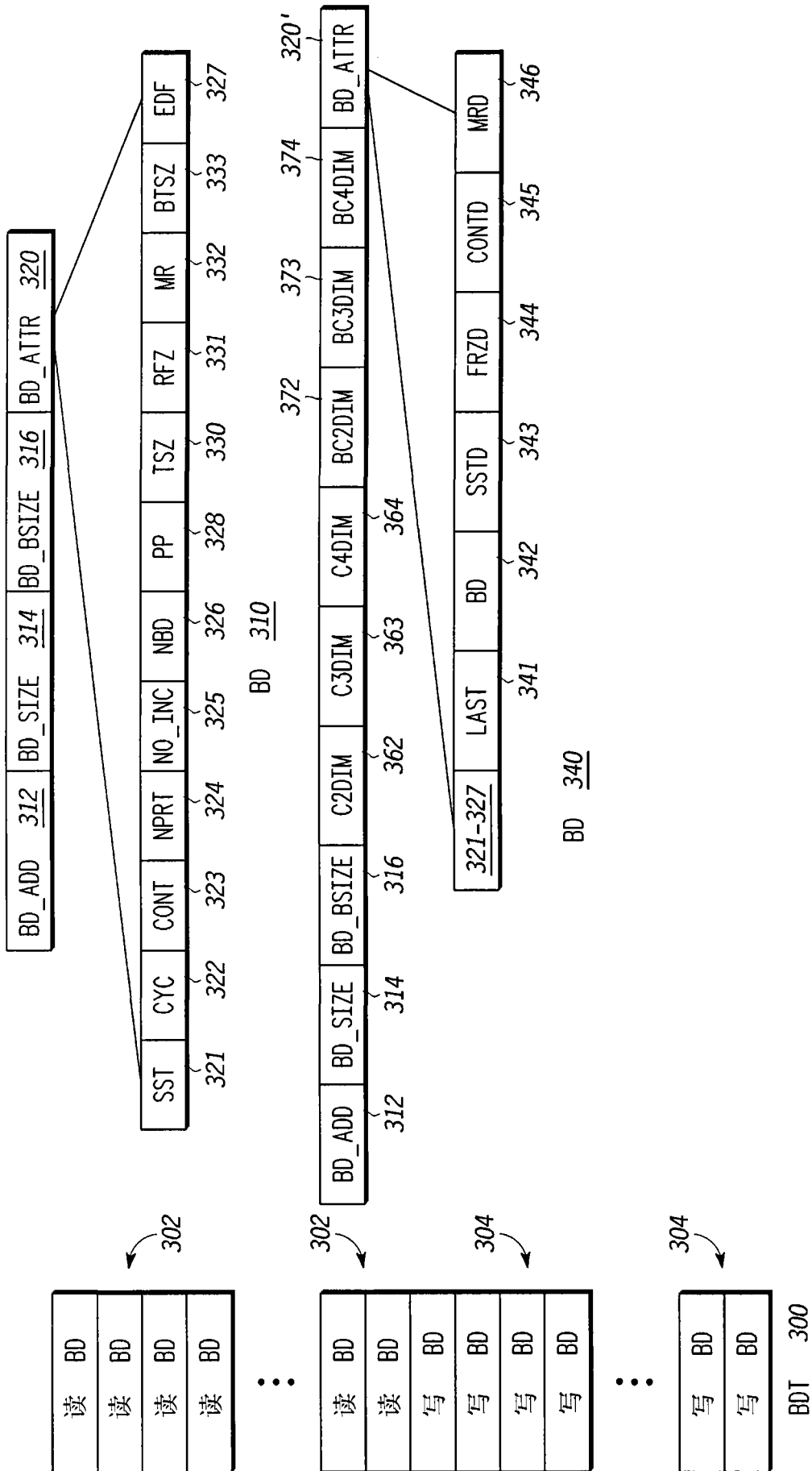


图5

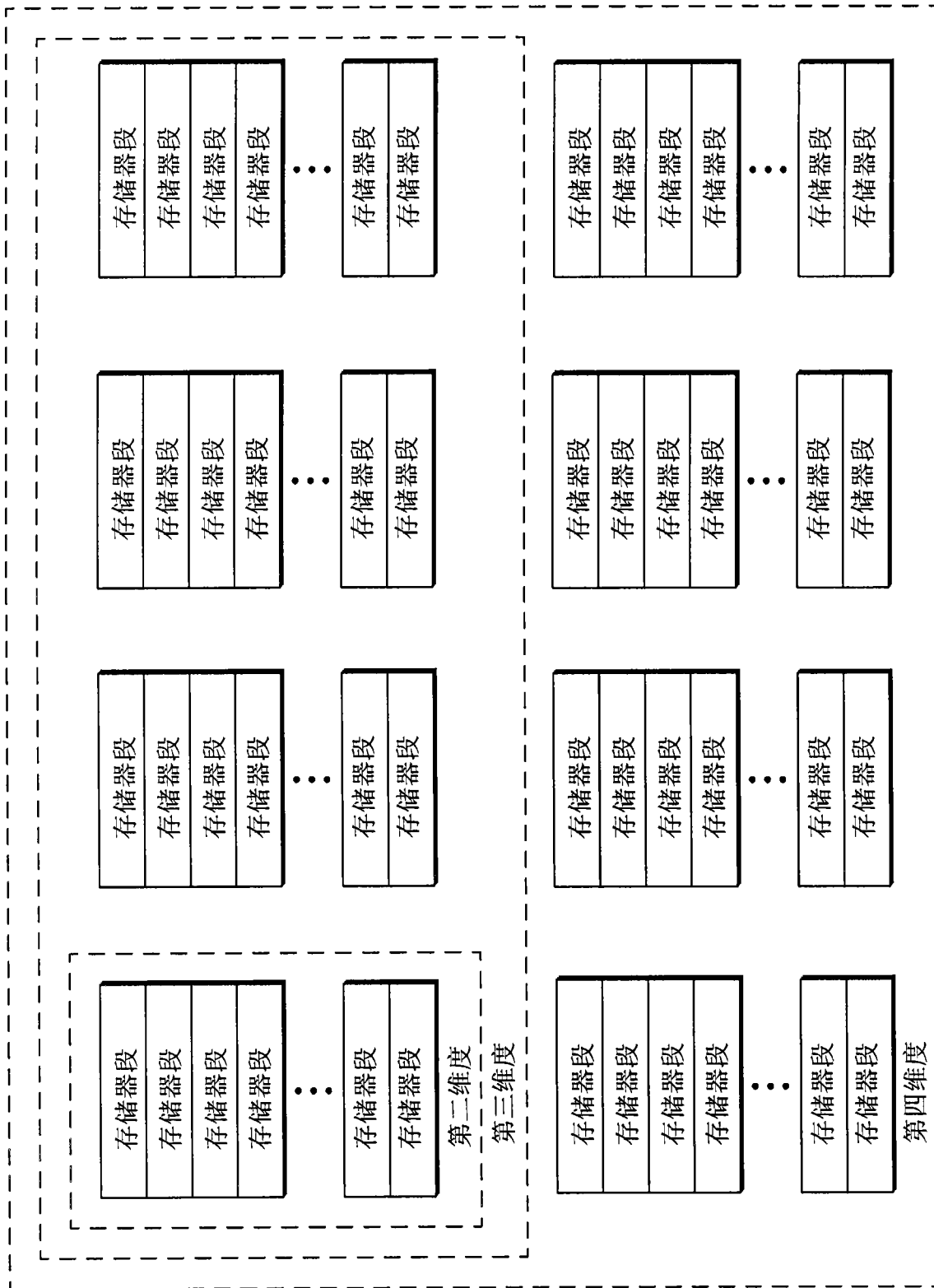


图6

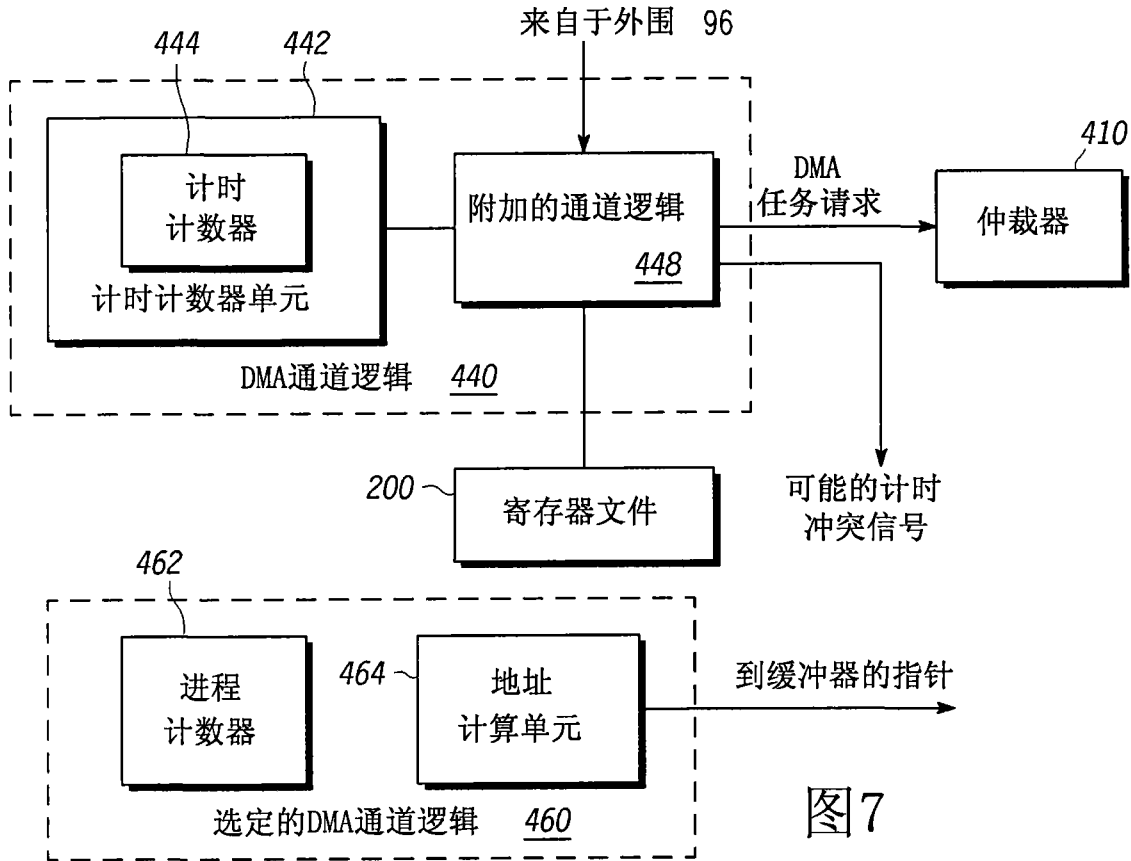


图7

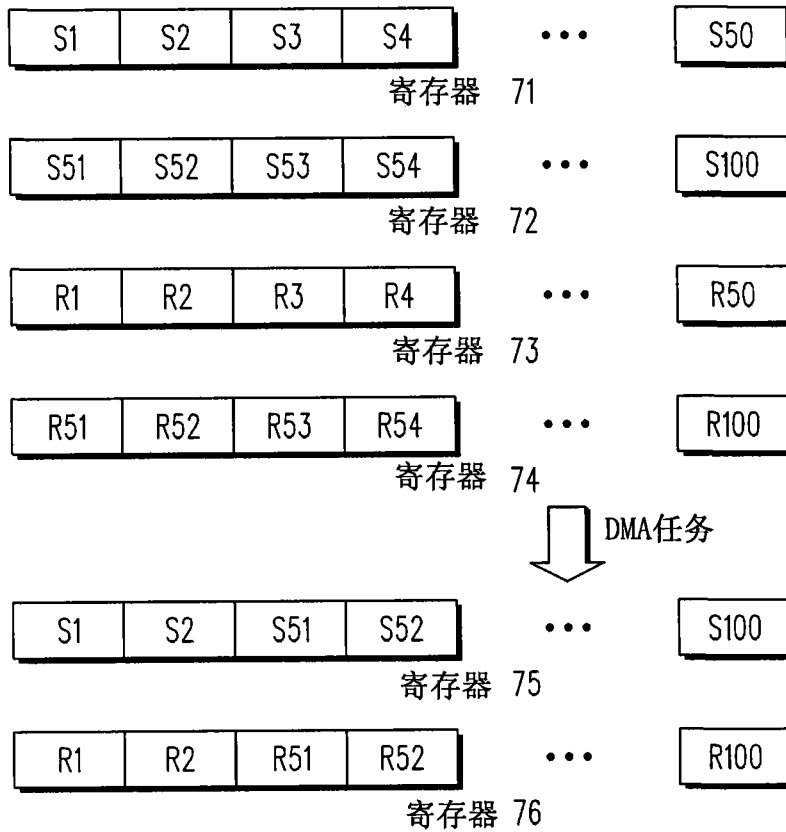


图8

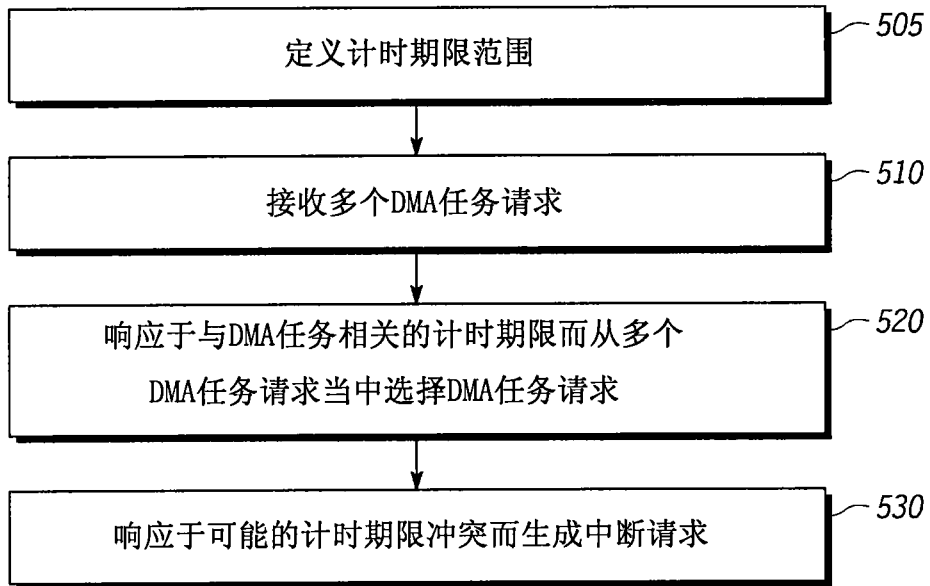


图9 500

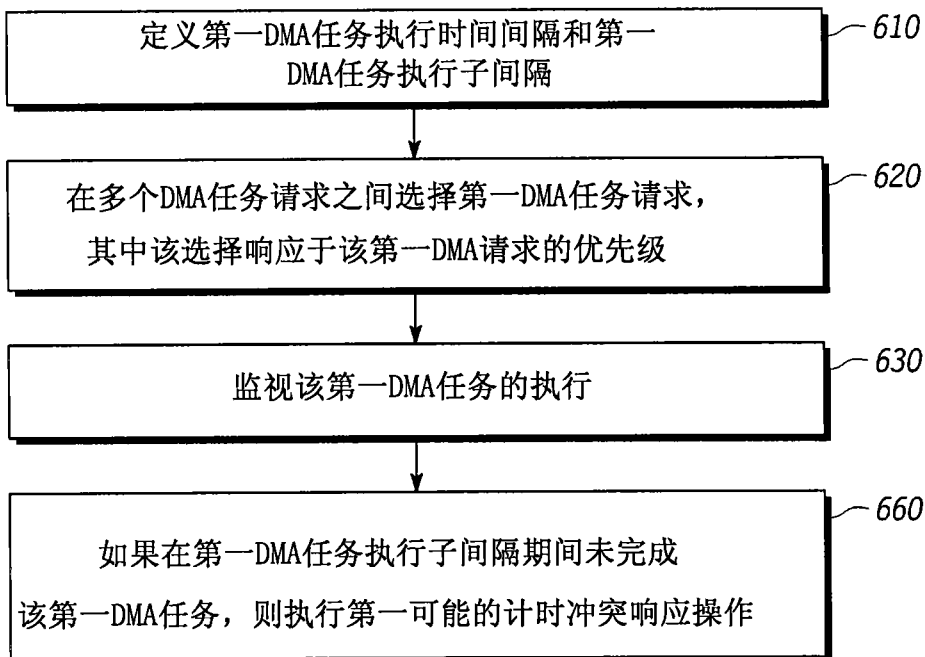


图10 600

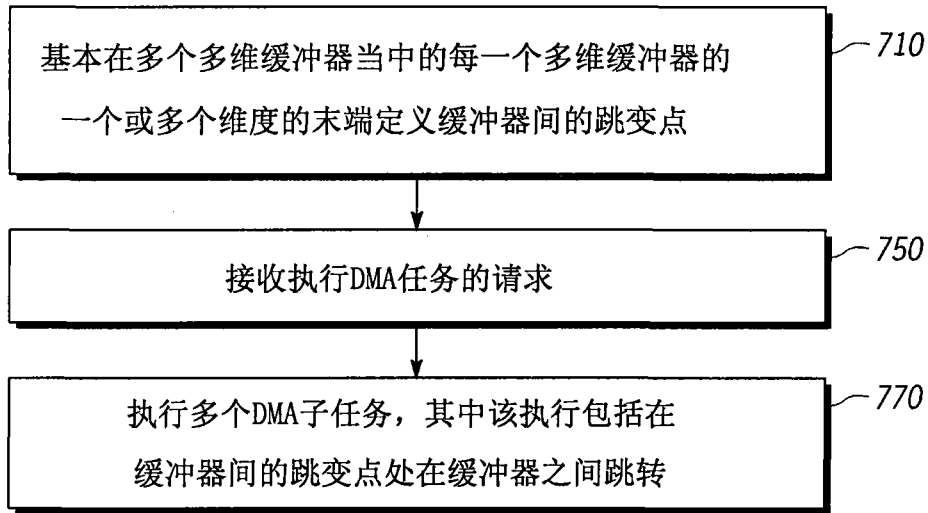


图11 700

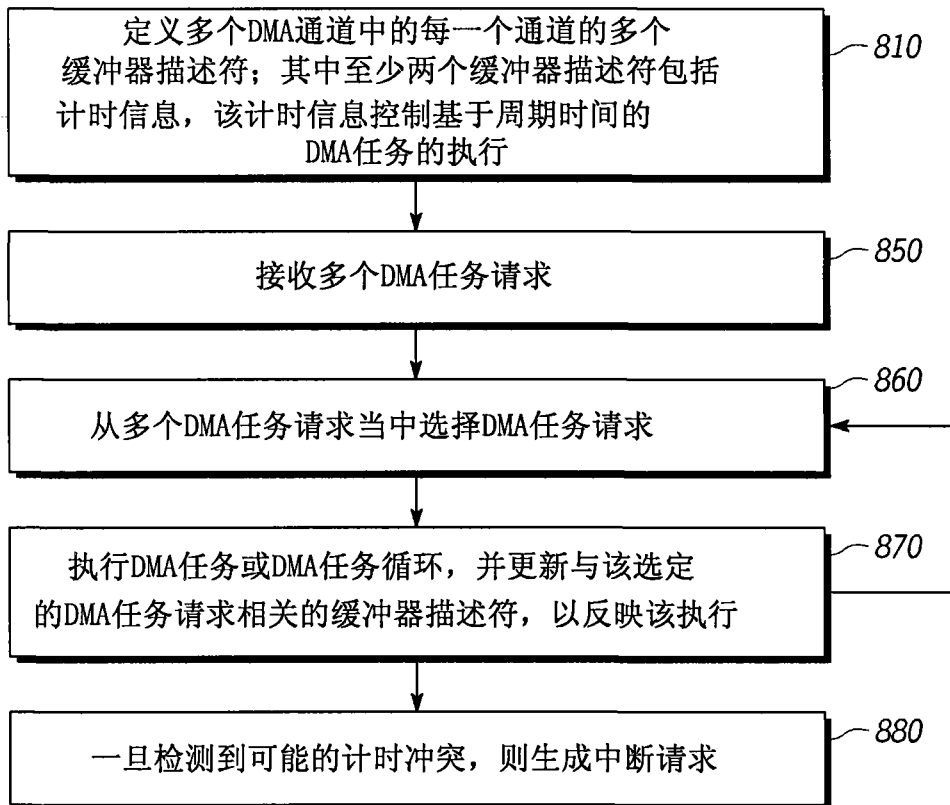


图12 800

1. 一种用于在直接存储器存取 (DMA) 任务请求之间进行仲裁的方法 (500), 所述方法 (500) 包括接收多个DMA任务请求 (510);

所述方法特征在于, 响应于与DMA任务相关的计时期限而从所述多个DMA任务请求当中选择DMA任务请求 (520),

其中至少一个DMA任务是重复性任务。

2. 根据权利要求 1 所述的方法 (500), 其中所述选择 (520) 进一步包括, 响应于预定的优先级而在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

3. 根据权利要求 1 所述的方法 (500), 其中所述选择 (520) 进一步包括通过应用计时期限无差异仲裁方案来在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

4. 根据权利要求 1-3 中任一项所述的方法 (500), 其中所述选择进一步响应于至少一个可用带宽参数。

5. 根据权利要求 1-4 中任一项所述的方法 (500), 其中所述选择进一步响应于至少一个请求的带宽参数。

6. 根据权利要求 1-5 中任一项所述的方法 (500), 其中至少一个 DMA 任务是基于周期时间的 DMA 任务。

7. 根据权利要求 1-6 中任一项所述的方法 (500), 进一步包括定义计时期限范围 (505), 以及其中所述选择 (520) 包括在与属于一个计时期限范围的计时期限相关的多个 DMA 任务请求之间进行选择。

8. 根据权利要求 1-7 中任一项所述的方法 (500), 其中每一个

DMA 任务与 I/O 端口相关，而且所述选择（520）包括在与所述相同 I/O 端口相关的 DMA 任务请求之间进行仲裁。

9. 根据权利要求 1-8 中任一项所述的方法（500），其中至少一个 DMA 任务涉及从多维缓冲器检索信息。

10. 根据权利要求 1-9 中任一项所述的方法（500），进一步包括响应于可能的计时期限冲突而生成中断（530）。

11. 一种装置（90），包括接口（420），其适用来接收 DMA 任务请求；

所述装置（90）特征在于，包括仲裁器（410），其适用来响应于与所述 DMA 任务相关的计时期限而从所述多个 DMA 任务请求当中选择 DMA 任务请求，

其中至少一个 DMA 任务是重复性任务。

12. 根据权利要求 11 所述的装置（90），其中所述仲裁器（410）适用来响应于预定的优先级而在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

13. 根据权利要求 11 所述的装置（90），其中所述仲裁器（410）适用来通过应用计时期限无差异仲裁方案来在与基本相同的计时期限相关的 DMA 任务请求之间进行选择。

14. 根据权利要求 11-13 中任一项所述的装置（90），其中所述仲裁器适用来响应于至少一个可用带宽参数来进行选择。

15. 根据权利要求 11-14 中任一项所述的装置（90），其中所述仲裁器适用来响应于至少一个请求的带宽参数来进行选择。

16. 根据权利要求 11-15 中任一项所述的装置 (90)，其中至少一个 DMA 任务是基于周期时间的 DMA 任务。

17. 根据权利要求 11-16 中任一项所述的装置 (90)，其中至少一个 DMA 任务涉及从多维缓冲器检索信息。

18. 根据权利要求 11-17 中任一项所述的装置 (90)，其进一步适用来响应于可能的计时期限冲突而生成中断。

19. 根据权利要求 11-18 中任一项所述的装置 (90)，包括多个端口，以及其中所述仲裁器 (410) 适用来在与单个端口相关的 DMA 任务之间进行仲裁。

20. 根据权利要求 11-19 中任一项所述的装置 (90)，其进一步适用来定义计时期限范围，以及其中所述仲裁器 (410) 适用来在与属于一个计时期限范围的计时期限相关的多个 DMA 任务请求之间进行选择。