



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월08일
(11) 등록번호 10-1449278
(24) 등록일자 2014년10월01일

(51) 국제특허분류(Int. Cl.)
C01B 31/02 (2006.01) C23C 16/26 (2006.01)
(21) 출원번호 10-2013-0048775
(22) 출원일자 2013년04월30일
심사청구일자 2013년04월30일
(56) 선행기술조사문헌
KR1020110064154 A*
US20110243832 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스
내 (서천동, 경희대학교)
(72) 발명자
최재우
서울 송파구 송파대로 567, 510동 307호 (잠실동,
주공아파트)
(74) 대리인
오세중

전체 청구항 수 : 총 5 항

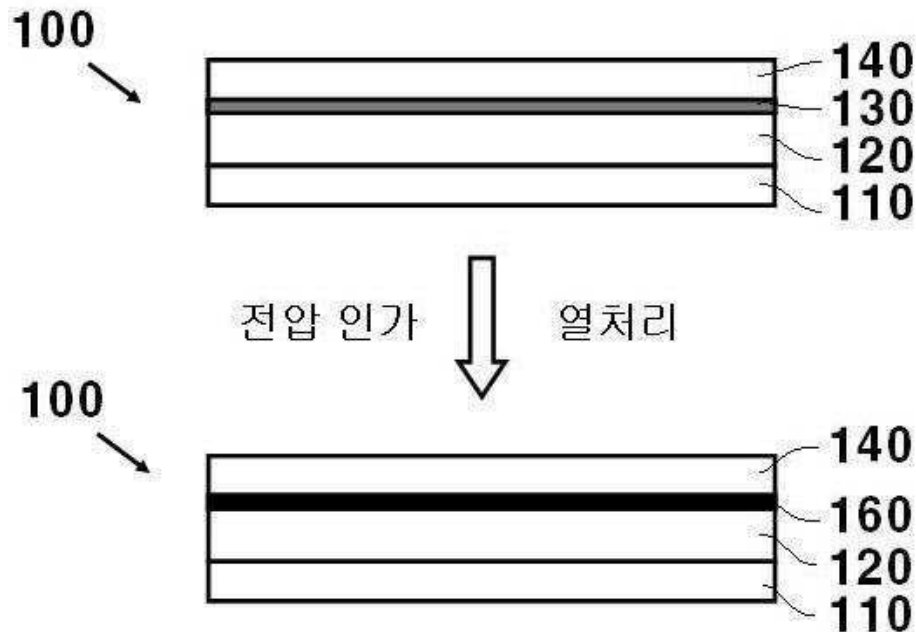
심사관 : 임도경

(54) 발명의 명칭 반도체를 이용한 그래핀 성장 방법

(57) 요약

본 발명에 따른 반도체를 이용한 그래핀 성장 방법은 도체층, 상기 도체층 상에 마련된 부도체층, 상기 부도체층 상에 마련된 비정질의 탄소층, 상기 탄소층 상에 마련된 반도체층을 포함하는 구조체를 준비하는 단계와, 상기 도체층과 반도체층 사이에 전압을 인가하면서 상기 구조체를 열처리하여 상기 탄소층을 그래핀으로 성장시키는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1345172597

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 일반연구자지원

연구과제명 무촉매 나노 그래핀 성장 및 재결정화 기술 개발

기 여 율 1/1

주관기관 경희대학교

연구기간 2012.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

도체층, 상기 도체층 상에 마련된 부도체층, 상기 부도체층 상에 마련된 비정질의 탄소층, 상기 탄소층 상에 마련된 반도체층을 포함하는 구조체를 준비하는 단계;

상기 도체층과 반도체층 사이에 전압을 인가하면서 상기 구조체를 열처리하여 상기 탄소층을 그래핀층으로 성장시키는 단계를 포함하는 것을 특징으로 하는 반도체를 이용한 그래핀 성장 방법.

청구항 2

제1항에 있어서,

상기 구조체를 준비하는 단계는 상기 반도체층을 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 반도체를 이용한 그래핀 성장 방법.

청구항 3

제1항에 있어서,

상기 반도체층은 복수의 n형 반도체 영역과 p형 반도체 영역을 포함하는 것을 특징으로 하는 반도체를 이용한 그래핀 성장 방법.

청구항 4

제3항에 있어서,

상기 n형 반도체 영역과 p형 반도체 영역은 메사 구조로 형성된 것을 특징으로 하는 반도체를 이용한 그래핀 성장 방법.

청구항 5

제3항에 있어서,

상기 탄소층을 그래핀층으로 성장시키는 단계는,

상기 n형 반도체 영역과 p형 반도체 영역에 선택적으로 전압을 인가하는 단계를 더 포함하는 것을 특징으로 하는 반도체를 이용한 그래핀 성장 방법.

명 세 서

기술 분야

[0001] 본 발명은 그래핀을 제조하는 방법에 관한 것으로서, 더욱 상세하게는, 저온에서 그래핀을 형성할 수 있는 반도체를 이용한 그래핀 성장 방법에 관한 것이다.

배경 기술

[0002] 그래핀(graphene)은 2차원 6각형 탄소 결정 구조(2-dimensional hexagonal crystalline carbon structure)를 이루면서 원자 한 층의 두께를 가지는 탄소 화합물로서, 전기적, 열적 및 광학적 특성이 우수한 재료 에너지 갭 반도체(zero gap semiconductor)이다. 즉, 그래핀은 구조적 및 화학적으로 매우 안정할 뿐만 아니라 캐리어 이동도(mobility)가 상온(15 내지 25℃)에서 $100,000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 로 실리콘 대비 약 100배 이상의 매우 뛰어난 전도체의 성격을 가지고 있어 향후 실리콘을 대체할 새로운 전자소자로 주목받고 있다.

[0003] 상기와 같이 물리적 특성이 우수한 그래핀을 제조하는 방법에는 기계적 박리법, 화학적 박리법, 에피택시(Epitaxy) 합성법, 화학증기 증착법(CVD : Chemical Vapor Deposition) 등이 있다.

- [0004] 상기 기계적 박리법은 층간에 반데르발스 힘(van der Waals' force)의 약한 결합으로 이루어져 있는 흑연(그래파이트, graphite) 결정에서 기계적인 힘에 의해 그래핀을 분리하는 방법이다. 이는 그래핀의 π -궤도함수의 전자가 표면에 넓게 퍼져 분포하면서 매끈한 표면을 가지기 때문에 가능한 방법이다. 초창기에는 이러한 특성을 이용하여 주사탐침에 마이크로미터 크기의 흑연 결정을 붙인 후에 기판 위에서 미끄러뜨리면서 단층 그래핀을 만들었다. 그 후에는 스카치테이프의 접착력을 이용하여 단층 그래핀을 분리하는 방법을 이용하였다.
- [0005] 상기와 같은 기계적 박리법은 간편함으로 인해 초창기 그래핀 연구를 빠르게 확산시키는 역할을 하였다. 하지만 기계적 박리법으로 얻어진 그래핀의 크기는 보통 수십 마이크로미터 이내이며, 특히 스카치 테이프를 이용한 방법은 스카치 테이프로부터 기판 위에 증착하는 과정에서 그래핀과 여러층의 그래파이트는 쉽게 부서지는 문제점이 있다. 따라서 기계적 박리법은 대형 소자의 제작에 이용하기에는 부적합하다.
- [0006] 화학적 박리법은 흑연결정으로부터 박리된 그래핀 조각들을 화학적 방법을 이용하여 용액 상에 분산시킨 뒤, 기판 위에 스핀코팅하고 나서 그래파이트 산화물을 환원시키거나 표면에 달라붙어 있는 불순물을 제거함으로써 그래핀을 얻는 방법이다. 즉, 흑연을 산화시킨 후에 초음파 등을 통해 파쇄하여 수용액 상에 분산된 산화 그래핀을 만들고, 이를 하이드라진 등의 환원제를 이용하여 다시 그래핀으로 되돌리는 과정을 거쳐 그래핀을 형성하게 된다.
- [0007] 상기와 같은 화학적 박리법은 기판의 종류나 구조에 상관없이 그래핀을 대면적 및 대량으로 생산할 수 있다는 장점이 있다. 하지만 화학적 박리법은 산화 그래핀이 완전히 환원되지 못하기 때문에 전기적 성질과 같은 물성이 다른 방법에 비해 저하되고 여러 가지 복잡한 화학 공정으로 인하여 그래핀이 크게 손상될 수 있다는 문제점이 있다. 이를 개선하기 위해 산화과정을 거치지 않고 계면활성제 등을 이용하여 분산시키는 방법을 이용하기도 한다. 하지만 이 경우에도 마이크로미터 크기의 작은 그래핀 조각들 사이의 층간 저항으로 인해 실용적인 수준의 면저항 특성을 구현하지 못하고 있는 실정이다.
- [0008] 에피택시 합성법은 극성 구조를 가지고 있는 재료, 즉 실리콘카바이드(SiC)와 루테튬(Ru)과 같은 극성면을 고온에서 열처리하여 표면의 실리콘을 차별적으로 증발시키고, 탄소성분은 표면에 남겨 결정화하여 실리콘카바이드 표면의 결을 따라 그래핀을 성장시키는 방법이다. SiC의 경우에는 결정 내에 포함되어 있던 탄소가 표면으로 분리되면서 그래핀으로 성장하며, Ru의 경우에는 흡착된 그래핀이 표면에서 확산되면서 그래핀으로 성장한다.
- [0009] 상기와 같은 에피택시 합성법을 이용하면 결정성이 웨이퍼 크기 정도까지 균일한 그래핀 필름을 합성할 수 있다. 하지만 이 방법으로 성장한 그래핀은 기계적 박리법이나 화학증기 증착 방법에 의해 성장한 그래핀보다 전기특성이 좋지 못하다. 또한, 에피택시 합성법은 실리콘카바이드 웨이퍼 그 자체가 고가일 뿐만 아니라, 아직 큰 크기의 실리콘카바이드 웨이퍼를 제작하기 매우 어렵다는 단점이 있다. 또한, 실리콘카바이드로부터 성장한 그래핀의 도메인(domain)의 크기도 매우 작아, 에피택시 합성법을 이용하여 대형 소자를 제작하기는 어렵다.
- [0010] 화학증기 증착법은 고온에서 탄소를 잘 흡착하는 전이금속을 촉매층으로 이용하여 그래핀을 합성하는 방법으로서, 촉매법이라고도 한다. 즉, 기판 상에 니켈/구리 등의 촉매층을 증착한 후, 약 1000 °C 이상의 고온에서 메탄, 수소 혼합가스와 반응시켜 탄소가 촉매층에 흡착되도록 하고, 이후 냉각하여 촉매층에 포함되어 있던 탄소 원자들을 표면에서 결정화시킴으로서 그래핀 결정구조를 형성시킨다. 이와 같이 형성된 그래핀은 촉매층을 제거하여 기판으로부터 분리시킨 후 원하는 용도에 맞게 사용하게 된다.
- [0011] 상기와 같은 화학증기 증착법은 화학적 박리법에 비해 면저항 및 투과도 특성이 월등히 개선된 그래핀을 제조할 수 있다는 장점이 있다. 하지만 화학증기 증착법은 촉매층 표면 위에 그래핀을 성장시킨 뒤 그래핀을 촉매층으로부터 떼어내는 공정이 어렵고, 1000 °C 이상의 고온의 공정을 거쳐야 하므로 결정화된 흑연으로부터 얻은 그래핀에 비해 결정성이 떨어지며, 공정비용이 높다는 문제가 있다. 특히, 상기 화학증기 증착법은 화학적 에칭(etching)과 PR 폴리머를 이용하는 공정을 포함하므로, 에칭 과정에 의한 그래핀의 손상과 잔여 PR 폴리머의 오염에 의한 손상이 발생할 수 있고, 상기 공정들이 추가됨에 따라 공정 시간이 길어지게 된다. 즉, 화학증기 증착법에 따르면, 그래핀 밑에 붙어 있는 니켈 금속 층을 제거하기 위해서 수십 또는 수백 nm 밖에 되지 않는 니켈층을 단면적이 매우 작은 측면으로부터 점차적으로 화학적으로 에칭을 해야 하는데, 이 방법은 에칭액이 확산해 가는데 장시간이 소요되어 대면적의 그래핀을 획득하는데 있어서 효율적이지 못하다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 상술한 문제점들을 해결하기 위하여, 저온에서 그래핀을 성장시킬 수 있으며, 그래핀이 가지고 있는

우수한 물리적 특성을 유지시킬 수 있도록 하는 반도체를 이용한 그래핀 성장 방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

- [0013] 상기한 목적을 달성하기 위하여, 본 발명의 실시예에 따른 반도체를 이용한 그래핀 성장 방법은 (1) 도체층, 상기 도체층 상에 마련된 부도체층, 상기 부도체층 상에 마련된 비정질의 탄소층, 상기 탄소층 상에 마련된 반도체층을 포함하는 구조체를 준비하는 단계, (2) 상기 도체층과 반도체층 사이에 전압을 인가하면서 상기 구조체를 열처리하여 상기 탄소층을 그래핀층으로 성장시키는 단계를 포함한다.
- [0014] 또한, 상기 구조체를 준비하는 단계는 상기 반도체층을 패터닝하는 단계를 더 포함할 수 있다.
- [0015] 특히, 상기 반도체층은 복수의 n형 반도체 영역과 p형 반도체 영역을 포함하는 것이 바람직하다.
- [0016] 또한, 상기 n형 반도체 영역과 p형 반도체 영역은 메사 구조로 형성될 수 있다.
- [0017] 한편, 상기 탄소층을 그래핀층으로 성장시키는 단계는 상기 n형 반도체 영역과 p형 반도체 영역에 선택적으로 전압을 인가하는 단계를 더 포함할 수 있다.

발명의 효과

- [0018] 상기와 같이 구성되는 본 발명에 따른 반도체를 이용한 그래핀 성장 방법은 다음과 같은 효과를 갖는다.
- [0019] (1) 공정이 간편하다. 즉, 종래의 화학증기 증착법(촉매법)에 의해 성장된 그래핀의 경우, 촉매 금속층 위에 그래핀이 형성되므로, 반도체 소자를 구현하기 위해 촉매 금속층을 제거하기 위한 공정을 거쳐야 하나, 본 발명의 경우 부도체층 상에 그래핀이 성장되므로 금속층을 에칭하여 제거하는 공정이 필요 없어 간편하게 그래핀을 성장시킬 수 있다.
- [0020] (2) 저온에서 그래핀을 성장시킬 수 있다. 즉, 1000℃ 이상의 고온에서 처리되는 종래의 화학증기 증착법과 달리, 본 발명의 경우 반도체를 사용함에 따라 200℃ 내지 1000℃의 저온에서 그래핀을 성장시킬 수 있으며, 이에 따라, 그래핀의 우수한 특성을 유지할 수 있고, 그래핀 제작에 필요한 시간 및 비용을 절약할 수 있다.
- [0021] (3) 활용성이 높다. 즉, 본 발명에 따른 결과물로 형성된 금속층-부도체층-그래핀층-반도체층의 구조체는 그대로 그래핀을 이용한 반도체 소자로 활용할 수 있다.
- [0022] (4) 선택적으로 그래핀을 성장시킬 수 있다. 복수의 p형 반도체 영역과 n형 반도체 영역을 포함하는 반도체층에서 원하는 반도체 영역에 선택적으로 전압을 인가하여 그래핀층을 형성시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시예에 따른 반도체를 이용한 그래핀 성장 방법을 나타낸 도면.
- 도 2는 본 발명의 실시예에 따른 반도체를 이용한 그래핀 성장 방법에서 반도체층이 복수의 n형 반도체 영역과 p형 반도체 영역을 포함한 경우를 나타낸 도면.
- 도 3은 본 발명의 실시예에 따른 반도체를 이용한 그래핀 성장 방법에서 복수의 n형 반도체 영역과 p형 반도체 영역이 메사 구조로 형성된 것을 나타낸 도면.
- 도 4의 (a) 내지 (d)는 본 발명의 실시예에 따른 반도체를 이용한 그래핀 성장 방법에서 전압을 인가하여 그래핀층을 성장시키는 것을 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 상기 목적과 수단 및 그에 따른 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다.
- [0025] 또한, 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외의 하나 이상의 다른

구성요소의 존재 또는 추가를 배제하지 않는다. 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

- [0026] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하도록 한다.
- [0027] 본 발명의 실시예에 따른 반도체를 이용한 그래핀 성장 방법은, 도 1에 도시된 바와 같이, 도체층(110)과 상기 도체층(110) 상에 마련된 부도체층(120), 상기 부도체층(120) 상에 마련된 비정질의 탄소층(130), 상기 탄소층(130) 상에 마련된 반도체층(140)을 포함하는 구조체(100)를 준비하는 단계(S10); 상기 도체층(110)과 반도체층(140) 사이에 전압을 인가하면서 상기 구조체(100)를 열처리하여 상기 탄소층(130)을 그래핀층(160)으로 성장시키는 단계(S20)를 포함한다.
- [0028] 상기 S20 단계에서 상기 구조체(100)는 기체가 없는 진공 상태의 챔버(chamber)에서 열처리하는 것이 바람직하다.
- [0029] 상기 도체층(110)은 도전성을 가지는 물질, 즉, Au, Ni, Ti, Cr 등의 금속으로 형성되는 것이 가장 바람직하나, 그 외에도 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(aluminum zinc oxide), IZTO(indium zinc tin oxide) 등의 투명전도성산화물(TCO), 도전성 폴리머, 그래핀 등으로 형성될 수 있다.
- [0030] 상기 부도체층(120)은 상기 도체층(110)과 반도체층(140) 사이에 인가되는 전압에 의해 상기 탄소층(130)과 반도체층(140)의 계면에 정전기의 전하가 유도될 수 있도록 절연물질로 형성된다. 특히, 상기 S20 단계를 거쳐 그래핀층(160)을 성장시킨 상기 구조체(100)가 반도체 소자로 활용될 경우, 상기 부도체층(120)은 전하 캐리어(전자 또는 홀)가 양자 투과 현상에 의해 투과(tunneling)되는 구성으로서 사용된다. 이때, 상기 부도체층(120)의 두께가 너무 얇을 경우 전하 캐리어의 투과(tunneling)가 너무 잘 일어나 스위칭 특성이 악화 된다. 또한, 상기 부도체층(120)의 두께가 너무 두꺼울 경우 전하의 투과(tunneling)가 잘 일어나지 않게 된다. 따라서 상기 부도체층(120)은 이를 고려하여 설계되어야 하며, 바람직하게는 수 nm 내지 수백 nm의 두께로 형성된다. 특히, 상기 부도체층(20)은 에너지 밴드갭이 크고, 유전상수가 큰 재료로서, 실리콘 산화물(Si_xO_y), 금속산화물, High K 비전도성 유전체 및 플라스틱과 같은 유기물을 사용하는 것이 바람직하다.
- [0031] 구체적으로, 상기 부도체층(120)은 절연층으로서, 폴리머나 유리 등의 재질로 형성될 수 있으나, 그 재질이 한정되는 것은 아니다. 예를 들어 상기 부도체층(120)의 재질은 실리콘 산화물(Si_xO_y), 알루미늄 산화물(Al_xO_y), 하프늄 산화물(Hf_xO_y), 지르코늄 산화물(Zr_xO_y), 이트륨 산화물(Y_xO_y), 란탄 산화물(La_xO_y), 탄탈륨 산화물(Ta_xO_y), 프라세오디뮴 산화물(Pr_xO_y), 및 티타늄 산화물(Ti_xO_y), 알루미늄 실리콘 산화물 ($\text{Al}_x\text{Si}_y\text{O}_z$), 지르코늄 실리콘 산화물(ZrSi_xO_y), 및 하프늄 실리콘 산화물(HfSi_xO_y) 중의 어느 하나를 포함할 수 있으며, 이들의 조합으로 이루어질 수도 있다. 상기 High K 비전도성 유전체는 HfO_2 , ZrO_2 , TiO_2 및 Ta_2O_5 으로 구성되는 군에서 선택되는 1종 이상의 물질을 포함하나, 이에 한정되는 것은 아니다. 특히, 상기 부도체층(120)의 재질이 폴리머나 유리일 경우, 폴리머나 유리 상에 그래핀층(160)을 성장시킨 구조체를 얻을 수 있으며, 상기 구조체는 반도체 소자로 활용성이 크다.
- [0032] 상기 비정질의 탄소층(amorphous carbon)(130)은 sp^3 결합과 sp^2 결합을 모두 가지는 탄소로서, 그래파이트(graphite)보다 낮은 전기 전도성을 가지며, 상기 S20단계를 거쳐 그래핀층(160)으로 성장된다. 상기 비정질의 탄소층(130)은 스퍼터링(sputtering)법, 분자 빔 에피택시(Molecular Beam Epitaxy, MBE) 및 열적 증발법(thermal evaporation)과 같은 물리 기상 증착법(Physical Vapor Deposition, PVD) 또는 화학 기상 증착법(Chemical Vapor Deposition, CVD)을 사용하여 형성될 수 있다. 또한, 상기 비정질의 탄소층(130)은 수 nm 내지 수십 nm의 두께, 예를 들어, 1 nm 내지 30 nm의 두께를 가지도록 형성될 수 있다.
- [0033] 상기 반도체층(140)은 다양한 크기의 에너지 밴드갭을 가진 반도체(Si, aSi, SiC, aSiC, Ge, GaAs, GaN, InGaAs, AlGaAs, Metal Oxides 등)로 구성될 수 있다. 특히, 상기 반도체층(140)은, 도 2에 도시된 바와 같이, n형으로 도핑된 n형 반도체 영역(141)과 p형으로 도핑된 p형 반도체 영역(142)을 포함하여 구성될 수 있으며, 상기 n형 반도체 영역(141)과 p형 반도체 영역(142)은 복수 개가 형성될 수 있다.
- [0034] 이에 따라, 상기 S20 단계에서는 상기 n형 반도체 영역(141)과 p형 반도체 영역(142)에 선택적으로 전압을 인가

하는 단계(S21)를 더 포함하는 것이 바람직하다. 즉, 복수의 상기 n형 반도체 영역(141)과 p형 반도체 영역(142) 중에 그래핀층(160)을 성장시키기 원하는 영역에 전압을 인가하여 전하를 유도한 후 열처리하여, 선택된 반도체 영역의 하부에 그래핀층(160)이 성장되도록 한다. 이 경우, 상기 n형 반도체 영역(141)과 p형 반도체 영역(142)은, 도 3에 도시된 바와 같이, 메사(mesa) 구조로 형성되는 것이 바람직하다.

[0035] 또한, 본 발명에 따른 반도체를 이용한 그래핀 성장 방법은 상기 S10 단계에서 상기 반도체층(140)을 패터닝(patterning)하는 단계(S11)를 더 포함할 경우, 상기 S20 단계를 거쳐 원하는 위치에 선택적으로 나노 그래핀을 성장시킬 수 있다. 즉, 반도체층(140)을 패터닝(patterning)함으로써, 상기 S20 단계를 거쳐 해당 패턴(pattern)을 갖는 그래핀층(160)을 부도체층(120) 상에 성장시킬 수 있다.

[0036] 상기 S20 단계에서 열처리하는 온도는 상기 반도체층(140)의 특성이 변하지 않는 범주인 200℃ 내지 1000℃인 것이 바람직하나, 이에 한정되는 것은 아니다. 특히, 상기 S20 단계에서 낮은 온도로 열처리할수록, 상기 비정질의 탄소층(130)이 그래핀층(160)으로 성장되는데 더 많은 시간이 소요되며, 그래핀층(160)의 결정 도메인도 작게 형성된다. 따라서 그래핀층(160)의 결정 도메인의 크기를 키우기 위해서는 200℃ 내지 1000℃의 범위 내에서 가급적 고온에서 상기 구조체(100)를 열처리하는 것이 바람직하다.

[0037] 이하, 도 4를 참조하여 본 발명의 따른 반도체를 이용한 그래핀 성장 방법의 실행 과정을 보다 상세하게 설명하도록 한다.

[0038] 도 4(a)에 도시된 바와 같이, 금속으로 형성된 도체층(110) 상에 부도체층(120)을 형성하고, 상기 부도체층(120) 상에 비정질의 탄소층(130)을 증착하며, 상기 탄소층(130) 상에 반도체층(140)을 증착한 구조체(100)를 준비한다.

[0039] 도 4(b)에 도시된 바와 같이, 상기 도체층(110)과 반도체층(140)에 전압(V_g)을 인가하여 상기 구조체(100)의 반도체층(140)과 탄소층(130)의 계면에 전하를 정전기적으로 유도하고, 이때 상기 구조체(100)를 가열하여 비정질의 탄소층(130)을 나노 그래핀층(160)으로 성장시킨다. 도핑된 반도체층(140)의 전도성은 상기 도체층(110)과 반도체층(140)에 인가되는 전압에 의해 조절되므로, 그래핀층(160)의 성장도 상기 도체층(110)과 반도체층(140)에 인가되는 전압에 의해 조절된다.

[0040] 또한, 도 4(c)에 도시된 바와 같이, 상기 구조체(100)가 복수의 n형 반도체 영역(141)과 p형 반도체 영역(142)을 포함할 경우, 도 4(d)에 도시된 바와 같이, 각 반도체 영역(141, 142)과 도체층(110) 사이에 전압을 선택적으로 인가한 후 상기 구조체(100)를 열처리하여 선택된 반도체층(140) 하부의 탄소층(130)을 그래핀층(160)으로 성장시킨다. 즉, 도 4(d)에 도시된 바와 같이, 모든 반도체 영역(141, 142)에 양(+)의 전압을 인가하고, 도체층(110)에 음(-)의 전압을 인가하면, n형 반도체 영역(141)의 전도성이 증가되므로, 열처리시 n형 반도체 영역(141) 하부의 탄소층(130)이 그래핀층(160)으로 성장된다.

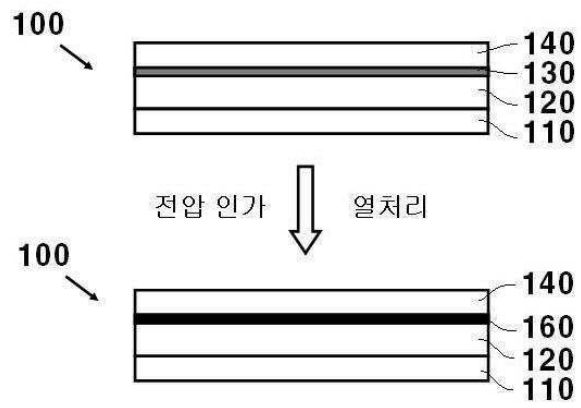
[0041] 이상과 같이 본 발명을 도면에 도시한 실시예를 참고하여 설명하였으나, 이는 발명을 설명하기 위한 것일 뿐이며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 발명의 상세한 설명으로부터 다양한 변형 또는 균등한 실시예가 가능하다는 것을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 권리범위는 특허청구범위의 기술적 사상에 의해 결정되어야 한다.

부호의 설명

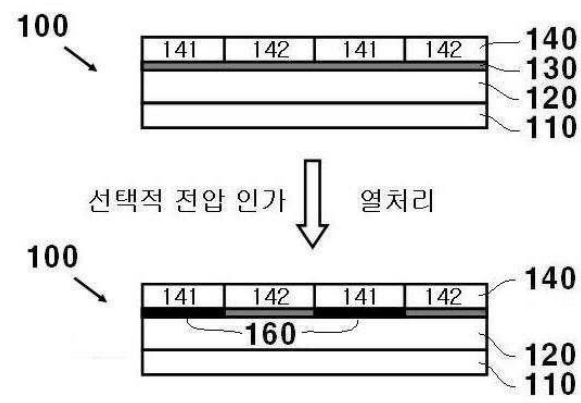
[0042]	100 : 구조체	110 : 도체층
	120 : 부도체층	130 : 비정질 탄소층
	140 : 반도체층	141 : n형 반도체 영역
	142 : p형 반도체 영역	160 : 그래핀층

도면

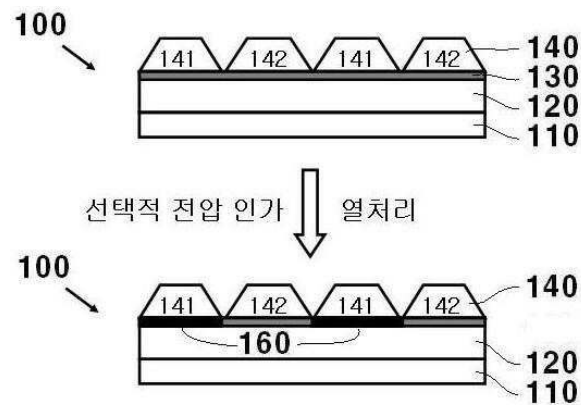
도면1



도면2



도면3



도면4

