



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월21일
(11) 등록번호 10-1066493
(24) 등록일자 2011년09월15일

(51) Int. Cl.
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
H03K 23/44 (2006.01)
(21) 출원번호 10-2004-0118606
(22) 출원일자 2004년12월31일
심사청구일자 2009년11월19일
(65) 공개번호 10-2006-0079038
(43) 공개일자 2006년07월05일
(56) 선행기술조사문헌
KR1020030079569 A
KR1020040048624 A
KR1020000069301 A
전체 청구항 수 : 총 12 항

(73) 특허권자
엘지디스플레이 주식회사
서울 용산구 한강로3가 65-228
(72) 발명자
조남욱
경기 군포시 금정동875 퇴계주공3521704
윤수영
경기 군포시 오금동 율곡아파트34-1604
전민두
서울 광진구 중곡3동 174-1번지
(74) 대리인
김용인, 박영복

심사관 : 이성현

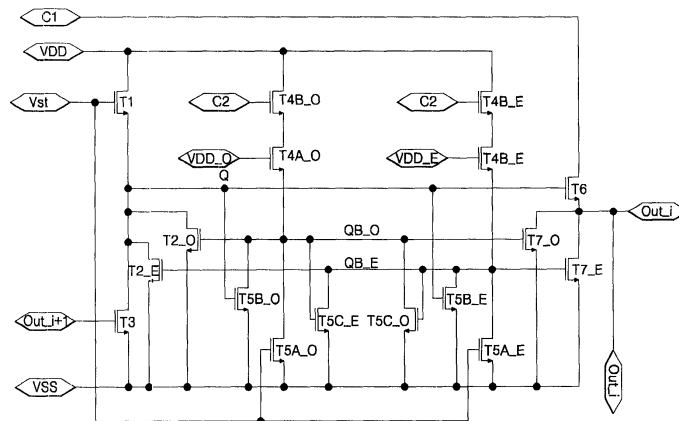
(54) 쉬프트 레지스터

(57) 요약

본 발명은 게이트 바이어스 스트레스로 인한 오동작을 방지할 수 있는 쉬프트 레지스터를 제공하는 것이다.

본 발명의 쉬프트 레지스터는 다수의 스테이지 각각이, 제1 및 제2 프레임에서 상반되게 극성 반전되는 제1 및 제2 교류 전압을 공급하는 제1 및 제2 교류 전압 공급 라인과; 제1 및 제2 직류 전압을 각각 공급하는 제1 및 제2 직류 전압 공급 라인과; 위상이 다른 적어도 2개의 클럭 신호를 공급하는 적어도 2개의 클럭 신호 공급 라인과; 제1 노드에 의해 제어되어 상기 클럭 신호 중 어느 하나의 클럭 신호를 출력 라인으로 공급하는 풀-업 박막 트랜지스터와; 제2 및 제3 노드에 의해 각각 제어되어 상기 제1 및 제2 프레임에서 교번적으로 상기 제2 직류 전압을 상기 출력 라인으로 공급하는 제1 및 제2 풀-다운 박막 트랜지스터와; 상기 제1 노드의 프리-충전 및 방전하는 제1 노드 제어부와; 상기 제1 및 제2 교류 전압과 상기 클럭 신호 중 어느 하나의 클럭 신호의 제어에 의해 상기 제1 직류 전압을 상기 제1 및 제2 프레임에서 상기 제2 및 제3 노드에 교번적으로 충전시키는 제2 및 제3 노드 충전부와; 상기 제1 및 제2 프레임에서 상기 제2 및 제3 노드를 교번적으로 방전시키는 제2 및 제3 노드 방전부를 구비한다.

대표도 - 도6



특허청구의 범위

청구항 1

스타트 펄스를 슈프트시켜 각각의 출력 신호와 다음단의 스타트 펄스로 공급하는 다수의 스테이지로 구성된 슈프트 레지스터에 있어서, 상기 다수의 스테이지 각각은

제1 및 제2 프레임에서 상반되게 극성 반전되는 제1 및 제2 교류 전압을 공급하는 제1 및 제2 교류 전압 공급 라인과;

제1 및 제2 직류 전압을 각각 공급하는 제1 및 제2 직류 전압 공급 라인과;

위상이 다른 적어도 2개의 클럭 신호를 공급하는 적어도 2개의 클럭 신호 공급 라인과;

제1 노드에 의해 제어되어 상기 클럭 신호 중 어느 하나의 클럭 신호를 출력 라인으로 공급하는 풀-업 박막 트랜지스터와;

제2 및 제3 노드에 의해 각각 제어되어 상기 제1 및 제2 프레임에서 교번적으로 상기 제2 직류 전압을 상기 출력 라인으로 공급하는 제1 및 제2 풀-다운 박막 트랜지스터와;

상기 제1 노드의 프리-충전 및 방전하는 제1 노드 제어부와;

상기 제1 및 제2 교류 전압과 상기 클럭 신호 중 어느 하나의 클럭 신호의 제어에 의해 상기 제1 직류 전압을 상기 제1 및 제2 프레임에서 상기 제2 및 제3 노드에 교번적으로 충전시키는 제2 및 제3 노드 충전부와;

상기 제1 및 제2 프레임에서 상기 제2 및 제3 노드를 교번적으로 방전시키는 제2 및 제3 노드 방전부를 구비하는 것을 특징으로 하는 슈프트 레지스터.

청구항 2

제 1 항에 있어서,

상기 제1 노드 제어부는

상기 스타트 펄스에 응답하여 상기 제1 직류 전압을 제1 노드에 프리-충전하는 제1 박막 트랜지스터와;

상기 제2 노드에 의해 제어되어 상기 제1 프레임에서 상기 제1 노드를 방전시키는 제2A 박막 트랜지스터와;

상기 제3 노드에 의해 제어되어 상기 제2 프레임에서 상기 제2 노드를 방전시키는 제2B 박막 트랜지스터를 구비하는 것을 특징으로 하는 슈프트 레지스터.

청구항 3

제 2 항에 있어서,

상기 제1 노드 제어부는

다음단 스테이지의 출력 신호에 응답하여 상기 제1 노드를 방전시키는 제3 박막 트랜지스터를 추가로 구비하는 것을 특징으로 하는 슈프트 레지스터.

청구항 4

제 1 항에 있어서,

상기 제2 및 제3 노드 충전부는

상기 제1 직류 전압 공급 라인과 상기 제2 노드 사이에 직렬 접속되어 상기 제1 교류 전압 및 상기 클럭 신호 각각에 의해 제어되는 제1 듀얼 박막 트랜지스터와;

상기 제1 직류 전압 공급 라인과 상기 제3 노드 사이에 직렬 접속되어 상기 제2 교류 전압 및 상기 클럭 신호 각각에 의해 제어되는 제2 듀얼 박막 트랜지스터를 구비하는 것을 특징으로 하는 슈프트 레지스터.

청구항 5

제 4 항에 있어서,

상기 제1 및 제2 듀얼 박막 트랜지스터 중 상기 클럭 신호에 의해 제어되는 박막 트랜지스터는 상반된 노드가 충전되는 프레임에서 상기 클럭 신호에 의해 턴-온되면 그의 게이트/소스/드레인 전극의 전압이 동일하고, 턴-오프되면 그의 게이트 전극은 상기 제1 직류 전압 공급 라인과 접속된 소스 및 드레인 전극 중 어느 하나 보다 전압 보다 낮게되어 되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

제 4 항에 있어서,

상기 적어도 2개의 클럭 신호 공급 라인은

상기 풀-업 박막 트랜지스터와 상기 제2 및 제3 노드 충전부 각각에 위상 반전된 제1 및 제2 클럭 신호를 공급하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7

제 1 항에 있어서,

상기 제2 및 제3 노드 방전부는

상기 제2 직류 전압 공급 라인과 상기 제2 노드 사이에 병렬 접속되어 상기 스타트 펄스 및 제1 노드 각각에 의해 제어되는 제1 듀얼 박막 트랜지스터와;

상기 제2 직류 전압 공급 라인과 상기 제3 노드 사이에 병렬 접속되어 상기 스타트 펄스 및 제1 노드 각각에 의해 제어되는 제2 듀얼 박막 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8

제 7 항에 있어서,

상기 제2 및 제3 노드 방전부는

상기 제1 및 제2 교류 전압에 의해 각각 제어되어 상기 제2 및 제3 노드를 교번적으로 방전시키는 제3 듀얼 박막 트랜지스터를 추가로 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9

제 7 항에 있어서,

상기 제2 및 제3 노드 방전부는

상기 제2 및 제3 노드 각각에 의해 제어되어 상기 제2 및 제3 노드를 교번적으로 방전시키는 제3 듀얼 박막 트랜지스터를 추가로 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 10

제 1 항에 있어서,

상기 스테이지는 동일 채널 타입의 TFT로 구성된 것을 특징으로 하는 쉬프트 레지스터.

청구항 11

제 1 항에 있어서,

상기 스테이지는 NMOS TFT로 구성된 것을 특징으로 하는 쉬프트 레지스터.

청구항 12

제 1 항에 있어서,

상기 스테이지는 아모퍼스-실리콘 박막 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0009] 본 발명은 액정 표시 장치의 구동 회로에 관한 것으로, 특히 아모퍼스 실리콘(a-Si) 박막 TFT를 이용한 쉬프트 레지스터에 관한 것이다.
- [0010] 텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.
- [0011] 액정 패널은 게이트 라인과 데이터 라인의 교차로 정의된 영역마다 형성된 액정셀과, 게이트 라인 및 데이터 라인과 액정셀에 포함된 화소 전극 사이에 접속된 박막 TFT(이하, TFT)를 구비한다. TFT는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터 데이터 신호를 화소 전극에 공급한다. 액정셀은 화소 전극과 공통 전극과의 전압차에 따라 유전 이방성을 갖는 액정 분자들이 회전하여 광 투과율을 조절함으로써 계조를 표시한다.
- [0012] 구동 회로는 게이트 라인을 구동하는 게이트 드라이버와, 데이터 라인을 구동하는 데이터 드라이버를 구비한다. 게이트 드라이버는 게이트 라인으로 스캔 신호를 순차적으로 공급한다. 데이터 드라이버는 디지털 데이터를 아날로그 데이터 신호로 변환하여 스캔 신호가 공급될 때마다 데이터 라인으로 공급한다.
- [0013] 게이트 드라이버는 순차적인 스캔 신호를 발생하기 위하여 쉬프트 레지스터를 포함한다. 데이터 드라이버도 외부로부터 입력되는 데이터 신호를 순차적으로 샘플링할 수 있게 하는 순차적인 샘플링 신호를 발생하기 위하여 쉬프트 레지스터를 포함한다.
- [0014] 도 1을 참조하면, 스타트 펄스(Vst) 입력 라인에 종속적으로 접속된 제1 내지 제n 스테이지를 구비하는 일반적인 쉬프트 레지스터가 도시되어 있다.
- [0015] 도 1에 도시된 쉬프트 레지스터의 제1 내지 제n 스테이지에는 고전위 및 저전위 구동 전압(VDD, VSS)과 함께 제 1 및 제2 클럭 신호(C1, C2)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 전단 스테이지의 출력 신호가 공급된다. 제1 스테이지는 스타트 펄스(Vst)와 제1 및 제2 클럭 신호(C1, C2)에 응답하여 제1 출력 신호(Out1)를 출력한다. 그리고, 제2 내지 제n 스테이지는 이전단 스테이지의 출력 신호와 제1 및 제2 클럭 신호(C1, C2)에 응답하여 제2 내지 제n 출력 신호(Out2 내지 Outn) 각각을 출력한다. 제1 내지 제n 스테이지는 동일한 회로 구성을 갖고, 제1 및 제2 클럭 신호(C1, C2)에 응답하여 스타트 펄스(Vst)를 순차적으로 쉬프트시켜 출력하게 된다. 이러한 제1 내지 제n 스테이지로부터의 제1 내지 제n 출력 신호(Out1 내지 Outn)는 액정 패널의 게이트 라인들을 순차적으로 구동하기 위한 스캔 신호로 공급되거나, 데이터 드라이버내에서 비디오 신호를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.
- [0016] 도 2는 도 1에 도시된 한 스테이지의 구성을 출력 버퍼 위주로 도시한 것이다.
- [0017] 도 2에 도시된 스테이지는 Q노드의 제어에 의해 클럭 신호(C)를 출력 라인으로 출력하는 풀-업 TFT(Tpu)와, QB노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 풀-다운 TFT(Tpd)로 구성된 출력 버퍼부(30)와, Q노드와 QB노드를 제어하는 제어부(10)를 구비한다.
- [0018] 제어부(10)는 이전단 스테이지의 출력 신호, 즉 스타트 펄스(Vst)에 의해 Q노드를 충전하여 풀-업 TFT(Tpu)가 클럭 신호(C)의 하이 전압을 출력 신호(Out_i)로 출력하게 한다. 그리고, 제어부(10)는 클럭 신호(C)에 의해 Q노드를 방전하고, QB노드를 충전하여 풀-다운 TFT(Tpd)가 저전위 전압(VSS)을 출력 신호(Out_i)로 출력하게 한다. 여기서, 풀-다운 TFT(Tpd)는 풀-업 TFT(Tpu)가 턴-온되는 기간을 제외한 대부분의 기간동안 턴-온되어 출력 신호(Out_i)로 저전위 전압(VSS)을 출력한다. 이를 위하여, QB노드는 제어부(10)에 의해 대부분의 기간동안 하이 상태를 유지함으로써 풀-다운 TFT(Tpd)가 게이트 바이어스 스트레스를 크게 받아 문턱 전압(Vth)이 변동하여 오동작하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0019] 따라서, 본 발명의 목적은 게이트 바이어스 스트레스로 인한 오동작을 방지할 수 있는 쉬프트 레지스터를 제공하는 것이다.

발명의 구성 및 작용

[0020] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 쉬프트 레지스터는 스타트 펄스를 쉬프트시켜 각각의 출력 신호와 다음단의 스타트 펄스로 공급하는 다수의 스테이지로 구성된 쉬프트 레지스터에 있어서, 상기 다수의 스테이지 각각은 제1 및 제2 프레임에서 상반되게 극성 반전되는 제1 및 제2 교류 전압을 공급하는 제1 및 제2 교류 전압 공급 라인과; 제1 및 제2 직류 전압을 각각 공급하는 제1 및 제2 직류 전압 공급 라인과; 위상이 다른 적어도 2개의 클럭 신호를 공급하는 적어도 2개의 클럭 신호 공급 라인과; 제1 노드에 의해 제어되어 상기 클럭 신호 중 어느 하나의 클럭 신호를 출력 라인으로 공급하는 풀-업 박막 트랜지스터와; 제2 및 제3 노드에 의해 각각 제어되어 상기 제1 및 제2 프레임에서 교번적으로 상기 제2 직류 전압을 상기 출력 라인으로 공급하는 제1 및 제2 풀-다운 박막 트랜지스터와; 상기 제1 노드의 프리-충전 및 방전하는 제1 노드 제어부와; 상기 제1 및 제2 교류 전압과 상기 클럭 신호 중 어느 하나의 클럭 신호의 제어에 의해 상기 제1 직류 전압을 상기 제1 및 제2 프레임에서 상기 제2 및 제3 노드에 교번적으로 충전시키는 제2 및 제3 노드 충전부와; 상기 제1 및 제2 프레임에서 상기 제2 및 제3 노드를 교번적으로 방전시키는 제2 및 제3 노드 방전부를 구비한다.

[0021] 상기 제1 노드 제어부는 상기 스타트 펄스에 응답하여 상기 제1 직류 전압을 제1 노드에 프리-충전하는 제1 박막 트랜지스터와; 상기 제2 노드에 의해 제어되어 상기 제1 프레임에서 상기 제1 노드를 방전시키는 제2A 박막 트랜지스터와; 상기 제3 노드에 의해 제어되어 상기 제2 프레임에서 상기 제2 노드를 방전시키는 제2B 박막 트랜지스터를 구비한다.

[0022] 또한, 상기 제1 노드 제어부는 다음단 스테이지의 출력 신호에 응답하여 상기 제1 노드를 방전시키는 제3 박막 트랜지스터를 추가로 구비한다.

[0023] 상기 제2 및 제3 노드 충전부는 상기 제1 직류 전압 공급 라인과 상기 제2 노드 사이에 직렬 접속되어 상기 제1 교류 전압 및 상기 클럭 신호 각각에 의해 제어되는 제1 듀얼 박막 트랜지스터와; 상기 제1 직류 전압 공급 라인과 상기 제3 노드 사이에 직렬 접속되어 상기 제2 교류 전압 및 상기 클럭 신호 각각에 의해 제어되는 제2 듀얼 박막 트랜지스터를 구비한다.

[0024] 상기 제1 및 제2 듀얼 박막 트랜지스터 중 상기 클럭 신호에 의해 제어되는 박막 트랜지스터는 상반된 노드가 충전되는 프레임에서 상기 클럭 신호에 의해 턴-온되면 그의 게이트/소스/드레인 전극의 전압이 동일하고, 턴-오프되면 그의 게이트 전극은 상기 제1 직류 전압 공급 라인과 접속된 소스 및 드레인 전극 중 어느 하나 보다 전압 보다 낮아지게 된다.

[0025] 상기 적어도 2개의 클럭 신호 공급 라인은 상기 풀-업 박막 트랜지스터와 상기 제2 및 제3 노드 충전부 각각에 위상 반전된 제1 및 제2 클럭 신호를 공급한다.

[0026] 상기 제2 및 제3 노드 방전부는 상기 제2 직류 전압 공급 라인과 상기 제2 노드 사이에 병렬 접속되어 상기 스타트 펄스 및 제1 노드 각각에 의해 제어되는 제1 듀얼 박막 트랜지스터와; 상기 제2 직류 전압 공급 라인과 상기 제3 노드 사이에 병렬 접속되어 상기 스타트 펄스 및 제1 노드 각각에 의해 제어되는 제2 듀얼 박막 트랜지스터를 구비한다.

[0027] 상기 제2 및 제3 노드 방전부는 상기 제1 및 제2 교류 전압에 의해 각각 제어되어 상기 제2 및 제3 노드를 교번적으로 방전시키는 제3 듀얼 박막 트랜지스터를 추가로 구비한다.

[0028] 이와 달리, 상기 제2 및 제3 노드 방전부는 상기 제2 및 제3 노드 각각에 의해 제어되어 상기 제2 및 제3 노드를 교번적으로 방전시키는 제3 듀얼 박막 트랜지스터를 추가로 구비한다.

[0029] 상기 스테이지는 아모퍼스-실리콘 박막 트랜지스터로 구성된다.

[0030] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0031] 이하, 본 발명의 바람직한 실시 예들을 도 3 내지 도 6을 참조하여 설명하기로 한다.

[0032] 도 3은 본 발명의 실시 예에 따른 쉬프트 레지스터에서 종속적으로 접속된 다수의 스테이지 중 어느 한 스테이지의 상세 회로를 도시한 것이고, 도 4는 그 스테이지의 구동 파형을 도시한 것이다.

- [0033] 도 3에 도시된 쉬프트 레지스터의 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력 라인으로 출력하는 풀-업 TFT(T6)과, QB_0 및 QB_E 노드의 제어에 의해 저전위 전압(VSS)을 출력 라인으로 출력하는 오프 및 이븐 풀-다운 TFT(T7_0, T7_E)로 구성된 출력 버퍼와; Q노드의 충전전을 위한 제1 내지 제3 TFT(T1, T2_0, T2_E, T3)로 구성된 제1 제어부와; QB_0 및 QB_E 노드를 오드 및 이븐 프레임에서 교번적으로 충전시키기 위하여 제4A 및 제4B 오드 TFT(T4A_0, T4B_0)와, 제4A 및 제4B 이븐 TFT(T4A_E, T4B_E)를, 교번적으로 방전시키기 위하여 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)와, 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)를 포함하는 제2 제어부를 구비한다. 이러한 TFT로는 NMOS TFT가 적용되거나, PMOS TFT가 적용될 수 있는데, 이하에서는 NMOS TFT가 적용된 경우를 예로 들어 설명하기로 한다.
- [0034] 제1 제어부의 제1 TFT(T1)는 스타트 펄스(Vst)에 의해 제어되어 Q노드를 프리- 충전한다. 제2 오드 및 이븐 TFT(T2_0, T2_E) 각각은 QB_0 노드 및 QB_E 노드의 제어로 Q노드를 방전시키고, 제3 TFT(T3)는 다음단 출력 전압(Out_i+1)에 의해 제어되어 Q노드를 방전시킨다.
- [0035] 제2 제어부는 제2 클럭 신호(C2)와, 제1 및 제2 교류 전압(VDD_0, VDD_E)의 제어에 의해 QB_0 및 QB_E 노드 각각을 교번적으로 충전하는 제4A 및 제4B 오드 TFT(T4A_0, T4B_0)와, 제4A 및 제4B 이븐 TFT(T4A_E, T4B_E)를 구비한다.
- [0036] 또한, 제2 제어부는 스타트 펄스(Vst) 및 Q노드 각각의 제어로 QB_0 및 QB_E 노드를 교번적으로 방전시키는 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)와, 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)를 구비한다
- [0037] 이러한 제2 제어부에 의해 도 4와 같이 제1 교류 전압(VDD_0)이 하이 상태인 오드 프레임에서는 QB_0 노드의 제어 오드 풀-다운 TFT(T7_0)가 구동되고, 제2 교류 전압(VDD_E)이 하이 상태인 이븐 프레임에서는 QB_E 노드의 제어 오드 풀-다운 TFT(T7_E)가 구동된다. 이렇게 오드 및 이븐 풀-다운 TFT(T7_0, T7_E)는 오드 프레임과 이븐 프레임에서 교번적으로 구동되므로 직류 바이어스로 인한 스트레스를 최소화할 수 있게 된다.
- [0038] 이러한 스테이지에는 위상 반전된 제1 및 제2 클럭 신호(C1, C2)가 공급된다. 그리고, 각 스테이지에는 오드 프레임과 이븐 프레임에서 서로 상반되도록 극성 반전되는 제1 및 제2 교류 전압(VDD_0, VDD_E)과, 고전위 전압(VDD) 및 저전위 전압(VSS)이 공급된다.
- [0039] 이러한 구성을 갖는 쉬프트 레지스터의 동작을 도 5에 도시된 구동 파형을 참조하여 설명하기로 한다.
- [0040] 먼저, 오드 프레임 기간에서는 제1 교류 전압(VDD_0)은 하이 상태가 되고, 제1 교류 전압(VDD_E)은 로우 상태가 된다.
- [0041] 오프 프레임의 A기간에서 제1 클럭 신호(C1)의 로우 전압, 제2 클럭 신호(C2)의 하이 전압, 그리고 스타트 펄스(Vst)의 하이 전압이 공급된다. 스타트 펄스(Vst)의 하이 전압에 의해 제1 TFT(T1)가 턴-온되어 고전위 전압(VDD)이 Q노드로 프리-충전된다. 이에 따라, 풀-업 TFT(T6)가 턴-온되어 제1 클럭 신호(C1)의 로우 전압이 출력 신호(Out_i)로 공급된다. 이때, 하이 상태의 제1 교류 전압(VDD_0) 및 제2 클럭 신호(C2)에 의해 제4A 및 제4B 오드 TFT(T4A_0, T4B_0)가 턴-온되지만, 스타트 펄스(Vst) 및 Q노드의 하이 전압에 의해 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)가 턴-온되므로 QB_0 노드는 저전위 전압(VSS)에 의해 로우 상태가 된다. 또한, 제2 클럭 신호(C2)에 의해 제4B 이븐 TFT(T4B_E)가 턴-온되지만, 로우 상태의 제2 교류 전압(VDD_E)에 의해 제4A 이븐 TFT(T4A_E)가 턴-오프되고, 상기 스타트 펄스(Vst) 및 Q노드의 하이 전압에 의해 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)가 턴-온되므로 QB_E 노드는 저전위 전압(VSS)에 의해 로우 상태가 된다. 이에 따라, 오드 및 이븐 풀-다운 TFT(T7_0, T7_E)는 턴-오프된다.
- [0042] B기간에서 제1 클럭 신호(C1)의 하이 전압, 제2 클럭 신호(C2)의 로우 전압, 그리고 스타트 펄스(Vst)의 로우 전압이 공급된다. 스타트 펄스(Vst)의 로우 전압에 의해 제1 TFT(T1)가 턴-오프, 다음단 출력 신호(Out_i+1)의 로우 전압에 의해 제3 TFT(T3)가 턴-오프되어 Q노드가 하이 상태로 플로팅된다. 하이 상태로 플로팅 된 Q노드는 풀-업 TFT(T6)의 게이트 전극과 소스 전극의 중첩으로 형성된 기생 캐패시터의 커플링 작용으로 제1 클럭 신호(C1)의 하이 전압을 따라 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 풀-업 TFT(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 전압이 출력 신호(Out_i)로 공급된다. 여기서, Q노드의 부트스트래핑 효과를 높이기 위하여 별도의 캐패시터가 기생 캐패시터와 병렬로 형성되기도 한다. 이러한 B기간에서 하이 상태의 제1 교류 전압(VDD_0)에 의해 제4A 오드 TFT(T4A_0)가 턴-온되지만, 로우 상태의 제2 클럭 신호(C2)에 의해 제4B 오드 TFT(T4B_0)가 턴-오프, 부트스트래핑된 Q노드의 하이 전압에 의해 제5B 오드 TFT(T5B_0)가 턴-온되므로 QB_0 노드는 저전위 전압(VSS)에 의해 로우 상태가 된다. 또한, Q노드의 하이 전압에 의해 제5B 이븐 TFT(T5B_E)가 턴-온되므로 QB_E 노드는 로우 상태를 유지한다. 이에 따라, 오드 및 이븐 풀-다

운 TFT(T7_0, T7_E)는 턴-오프된다.

[0043] C기간에서 제1 클럭 신호(C1)의 로우 전압, 제2 클럭 신호(C2)의 하이 전압, 그리고 스타트 펄스(Vst)의 로우 전압이 공급된다. 스타트 펄스(Vst)의 로우 전압에 의해 제1 TFT(T1)는 턴-오프, 다음단 출력 신호(Out_i+1)의 하이 전압에 의해 제3 TFT(T3)가 턴-온되어 Q노드에는 저전위 전압(VSS)이 공급되므로 풀-업 TFT(T6)는 턴-오프된다. 이때, 스타트 펄스(Vst) 및 Q노드의 로우 전압에 의해 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)와, 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)가 모두 턴-오프되고, 하이 상태의 제1 교류 전압(VDD_0) 및 제2 클럭 신호(C2)에 의해 제4A 및 제4B 오드 TFT(T4A_0, T4B_0)가 턴-온됨으로써 QB_0 노드에는 고전위 전압(VDD)이 공급된다. 이에 따라, 오드 풀-다운 TFT(T7_0)가 턴-온되어 저전위 전압(VSS)을 출력 신호(Out_i)로 공급한다. 그리고, QB_0 노드의 하이 상태에 의해 제2 오드 TFT(T2_0)가 턴-온되므로 Q노드는 로우 상태로 고정된다. 그리고, QB_E 노드는 로우 전압의 제2 교류 전압(VDD_E)에 의해 제4A 이븐 TFT(T4A_E)가 턴-오프되어 로우 상태를 유지하므로 이븐 풀-다운 TFT(T7_E)는 턴-오프된다.

[0044] D기간에서 제1 클럭 신호(C1)의 하이 전압, 제2 클럭 신호(C2)의 로우 전압, 그리고 스타트 펄스(Vst)의 로우 전압이 공급된다. 스타트 펄스(Vst) 및 다음단 출력 신호(Out_i+1)의 로우 전압에 의해 제1 및 제3 TFT(T1, T3)는 턴-오프되므로 Q노드는 이전의 로우 상태를 유지하게 된다. 이에 따라, 스타트 펄스(Vst) 및 Q노드의 로우 전압에 의해 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)와, 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)가 모두 턴-오프된다. 그리고, 하이 상태의 제1 교류 전압(VDD_0)에 의해 제4A 오드 TFT(T4A_0)는 턴-온, 제2 클럭 신호(C2)에 의해 제4B 오드 TFT(T4B_0)는 턴-오프되므로 QB_0 노드는 플로팅되어 이전 하이 상태를 유지하게 된다. 따라서, 오드 풀-다운 TFT(T7_0)가 턴-온되어 저전위 전압(VSS)을 출력 신호(Out_i)로 공급한다. 그리고, QB_0 노드의 하이 상태에 의해 제2 오드 TFT(T2_0)가 턴-온되므로 Q노드는 로우 상태로 고정된다. 이때, 제4A 및 제4B 이븐 TFT(T4A_E, T4E2)가 턴-오프되어 QB_E 노드는 이전 로우 상태를 유지하므로 이븐 풀-다운 TFT(T7_E)는 턴-오프된다.

[0045] 그리고, 오드 프레임의 나머지 기간에서 상기 C 및 D 기간이 반복되면서 오드 풀-다운 TFT(T7_0)가 턴-온 상태를 유지하므로 스테이지의 출력 신호(Out_i)는 로우 상태를 유지하게 된다.

[0046] 그 다음, 이븐 프레임 기간에서는 제1 교류 전압(VDD_0)은 로우 상태가 되고, 제2 교류 전압(VDD_E)는 하이 상태가 된다.

[0047] 이러한 이븐 프레임의 A기간에서 제1 클럭 신호(C1)의 로우 전압, 제2 클럭 신호(C2)의 하이 전압, 그리고 스타트 펄스(Vst)의 하이 전압이 공급된다. 스타트 펄스(Vst)의 하이 전압에 의해 제1 TFT(T1)가 턴-온되어 고전위 전압(VDD)이 Q노드로 프리-충전된다. 이에 따라, 풀-업 TFT(T6)가 턴-온되어 제1 클럭 신호(C1)의 로우 전압이 출력 신호(Out_i)로 공급된다. 이때, 하이 상태의 제2 교류 전압(VDD_E) 및 제2 클럭 신호(C2)에 의해 제4A 및 제4B 이븐 TFT(T4A_E, T4B_E)가 턴-온되지만, 스타트 펄스(Vst) 및 Q노드의 하이 전압에 의해 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)가 턴-온되므로 QB_E 노드는 저전위 전압(VSS)에 의해 로우 상태가 된다. 또한, 제2 클럭 신호(C2)에 의해 제4B 오드 TFT(T4B_0)가 턴-온되지만, 로우 상태의 제2 교류 전압(VDD_E)에 의해 제4A 오드 TFT(T4A_0)가 턴-오프되고, 상기 스타트 펄스(Vst) 및 Q노드의 하이 전압에 의해 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)가 턴-온되므로 QB_0 노드는 저전위 전압(VSS)에 의해 로우 상태가 된다. 이에 따라, 오드 및 이븐 풀-다운 TFT(T7_0, T7_E)는 턴-오프된다.

[0048] B기간에서 제1 클럭 신호(C1)의 하이 전압, 제2 클럭 신호(C2)의 로우 전압, 그리고 스타트 펄스(Vst)의 로우 전압이 공급된다. 스타트 펄스(Vst)의 로우 전압에 의해 제1 TFT(T1)가 턴-오프, 다음단 출력 신호(Out_i+1)의 로우 전압에 의해 제3 TFT(T3)가 턴-오프되어 Q노드가 하이 상태로 플로팅된다. 하이 상태로 플로팅 된 Q노드는 풀-업 TFT(T6)의 기생 캐패시터에 의해 제1 클럭 신호(C1)의 하이 전압을 따라 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 풀-업 TFT(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 전압이 출력 신호(Out_i)로 공급된다. 여기서, Q노드의 부트스트래핑 효과를 높이기 위하여 별도의 캐패시터가 기생 캐패시터와 병렬로 형성되기도 한다. 이러한 B기간에서 하이 상태의 제2 교류 전압(VDD_E)에 의해 제4A 이븐 TFT(T4A_E)가 턴-온되지만, 로우 상태의 제2 클럭 신호(C2)에 의해 제4B 이븐 TFT(T4B_E)가 턴-오프, 부트스트래핑된 Q노드의 하이 전압에 의해 제5B 이븐 TFT(T5B_E)가 턴-온되므로 QB_E 노드는 저전위 전압(VSS)에 의해 로우 상태가 된다. 또한, Q노드의 하이 전압에 의해 제5B 오드 TFT(T5B_0)가 턴-온되므로 QB_0 노드는 로우 상태를 유지한다. 이에 따라, 오드 및 이븐 풀-다운 TFT(T7_0, T7_E)는 턴-오프된다.

[0049] C기간에서 제1 클럭 신호(C1)의 로우 전압, 제2 클럭 신호(C2)의 하이 전압, 그리고 스타트 펄스(Vst)의 로우 전압이 공급된다. 스타트 펄스(Vst)의 로우 전압에 의해 제1 TFT(T1)는 턴-오프, 다음단 출력 신호(Out_i+1)의

하이 전압에 의해 제3 TFT(T3)가 턴-온되어 Q노드에는 저전위 전압(VSS)이 공급되므로 풀-업 TFT(T6)는 턴-오프된다. 그리고, 스타트 펄스(Vst) 및 Q노드의 로우 전압에 의해 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)와, 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)가 모두 턴-오프되고, 하이 상태의 제2 교류 전압(VDD_E) 및 제2 클럭 신호(C2)에 의해 턴-온된 제4A 및 제4B 이븐 TFT(T4A_E, T4B_E)를 통해 QB_E 노드에는 고전위 전압(VDD)이 공급된다. 이에 따라, 이븐 풀-다운 TFT(T7_E)가 턴-온되어 저전위 전압(VSS)을 출력 신호(Out_i)로 공급한다. 그리고, QB_E 노드의 하이 상태에 의해 제2 이븐 TFT(T2_E)가 턴-온되므로 Q노드는 로우 상태로 고정된다. QB_0 노드는 로우 전압의 제1 교류 전압(VDD_0)에 의해 제4A 오드 TFT(T4A_0)가 턴-오프되어 로우 상태를 유지하므로 오프 풀-다운 TFT(T7_0)는 턴-오프된다.

[0050] D기간에서 제1 클럭 신호(C1)의 하이 전압, 제2 클럭 신호(C2)의 로우 전압, 그리고 스타트 펄스(Vst)의 로우 전압이 공급된다. 스타트 펄스(Vst) 및 다음단 출력 신호(Out_i+1)의 로우 전압에 의해 제1 및 제3 TFT(T1, T3)는 턴-오프되므로 Q노드는 이전의 로우 상태를 유지하게 된다. 이에 따라, 스타트 펄스(Vst) 및 Q노드의 로우 전압에 의해 제5A 및 제5B 오드 TFT(T5A_0, T5B_0)와, 제5A 및 제5B 이븐 TFT(T5A_E, T5B_E)가 모두 턴-오프된다. 이때, 하이 상태의 제2 교류 전압(VDD_E)에 의해 제4A 이븐 TFT(T4A_E)는 턴-온, 제2 클럭 신호(C2)에 의해 제4B 이븐 TFT(T4B_E)는 턴-오프되므로 QB_E 노드는 플로팅되어 이전 하이 상태를 유지하게 된다. 따라서, 이븐 풀-다운 TFT(T7_E)가 턴-온되어 저전위 전압(VSS)을 출력 신호(Out_i)로 공급한다. 그리고, QB_E 노드의 하이 상태에 의해 제2 이븐 TFT(T2_E)가 턴-온되므로 Q노드는 로우 상태로 고정된다. 이때, 제4A 및 제4B 오드 TFT(T4A_0, T4B_0)가 턴-오프되어 QB_0 노드는 이전 로우 상태를 유지하므로 오프 풀-다운 TFT(T7_0)는 턴-오프된다.

[0051] 그리고, 이븐 프레임의 나머지 기간에서 상기 C 및 D 기간이 반복되면서 이븐 풀-다운 TFT(T7_E)가 턴-온 상태를 유지하므로 스테이지의 출력 신호(Out_i)는 로우 상태를 유지하게 된다.

[0052] 이와 같이, 본 발명의 실시 예에 따른 쉬프트 레지스터는 듀얼 풀-다운 TFT(T7_0, T7_E)를 오드 프레임과 이븐 프레임에서 교번 구동함으로써 게이트 바이어스 스트레스를 방지할 수 있게 된다. 또한, QB_0 노드를 충전시키는 제4A 및 제4B 오드 TFT(T4A_0, T4A_0)와 QB_E 노드를 충전시키는 제4A 및 제4B 이븐 TFT(T4A_E, T4B_E)도 오드 프레임과 이븐 프레임에서 교번적으로 구동되므로 게이트 바이어스 스트레스를 억제할 수 있게 된다.

[0053] 특히, 쉬는 프레임에서 턴-오프된 제4A 오드 또는 이븐(T4A_0, T4A_E)의 게이트/소스/드레인 전극 모두에는 로우 전압이 걸리거나, 제2 클럭 신호(C2)에 의해 턴-온된 제4B 오드 또는 이븐 TFT(T4B_0, T4B_E)에 의해 소스 전극에 하이 전압이 걸리게 되므로 로우 바이어스 스트레스 조건이 된다. 또한, 제4B 오드 또는 이븐 TFT(T4B_0, T4B_E)도 제2 클럭 신호(C2)에 의해 턴-오프된 경우 드레인 전극에 하이 전압이 걸리거나, 제2 클럭 신호(C2)에 의해 턴-온된 경우 게이트/소스/드레인 전극에 동일한 하이 전압이 걸리게 됨으로써 로우 바이어스 스트레스 조건이 된다. 이 결과, 하이 바이어스 스트레스를 억제함으로써 패널의 수명을 크게 향상시킬 수 있게 된다.

[0054] 도 5는 본 발명의 제2 실시 예에 따른 쉬프트 레지스터에서 종속적으로 접속된 다수의 스테이지 중 어느 한 스테이지의 상세 회로를 도시한 것이다

[0055] 도 5에 도시된 스테이지는 도 3에 도시된 스테이지와 대비하여 제1 교류 전압(VDD_0)에 의해 QB_E 노드를 방전시키는 제5C 이븐 TFT(T5C_E)와, 제2 교류 전압(VDD_E)에 의해 QB_0 노드를 방전시키는 제5C 오드 TFT(T5D_0)를 추가로 구비하는 것을 제외하고는 동일한 구성 요소들을 구비하므로, 중복된 구성 요소들에 대한 설명은 생략하기로 한다.

[0056] 제5C 이븐 TFT(T5C_E)는 도 4에 도시된 바와 같이 오드 프레임에서 제1 교류 전압(VDD_0)이 하이 상태가 되면 턴-온되어 QB_E 노드에 저전위 전압(VSS)을 공급한다. 반대로, 제5C 오드 TFT(T5C_0)는 이븐 프레임에서 제2 교류 전압(VDD_E)이 하이 상태가 되면 턴-온되어 QB_0 노드에 저전위 전압(VSS)을 공급한다. 다시 말하여, 제5C 이븐 TFT(T5C_E)는 오드 프레임에서 로우 전압이 인가될 QB_E 노드의 하이 전압을 로우 전압으로 바꾸어 주게 된다. 반대로, 제5C 오드 TFT(T5C_0)는 이븐 프레임에서 로우 전압이 인가될 QB_0 노드의 하이 전압을 로우 전압으로 바꾸어 주게 된다.

[0057] 한편, 도 6에 도시된 바와 같이 제5C 이븐 TFT(T5C_E)는 QB_0에 의해 제어되고, 제5C 오드 TFT(T5C_0)는 QB_E에 의해 제어되기도 한다.

[0058] 도 6에 도시된 제5C 이븐 TFT(T5C_E)는 도 4에 도시된 바와 같이 오드 프레임에서 하이 출력 전압(Out_i)이 공급된 다음부터 하이 상태가 되는 QB_0 노드에 의해 턴-온되어 QB_E 노드는 저전위 전압(VSS)을 유지하게 한다.

반대로, 제5C 오드 TFT(T5C_0)는 이븐 프레임에서 QB_E 노드가 하이 상태가 되면 턴-온되어 QB_0 노드가 저전위 전압(VSS)을 유지하게 한다.

발명의 효과

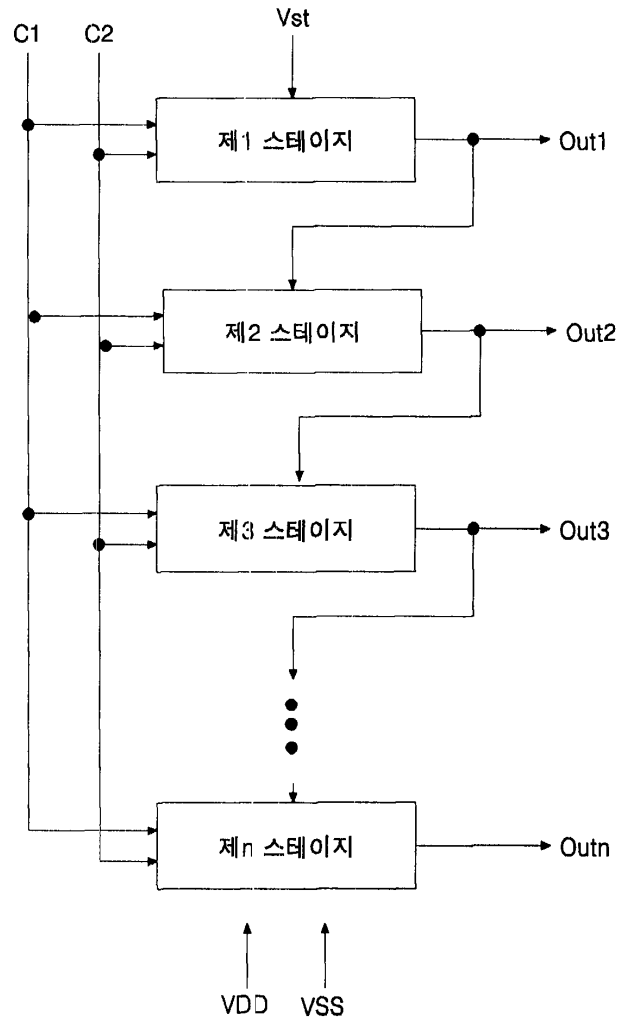
- [0059] 상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터는 듀얼 풀-다운 TFT(T7_0, T7_E)를 오드 프레임과 이븐 프레임에서 교번 구동함으로써 게이트 바이어스 스트레스를 방지할 수 있게 된다.
- [0060] 또한, 본 발명에 따른 쉬프트 레지스터는 QB_0 노드를 충전시키는 TFT(T4A_0, T4A_O)와, QB_E 노드를 충전시키는 TFT(T4A_E, T4B_E)도 오드 프레임과 이븐 프레임에서 교번적으로 구동되므로 게이트 바이어스 스트레스를 억제할 수 있게 된다.
- [0061] 나아가, 본 발명에 따른 쉬프트 레지스터는 QB_0 노드를 충전시키는 TFT(T4A_0, T4A_O)와, QB_E 노드를 충전시키는 TFT(T4A_E, T4B_E)가 쉬는 프레임에서 모두 로우 바이어스 스트레스 조건이 되므로 하이 바이어스 스트레스를 억제함으로써 패널의 수명을 크게 향상시킬 수 있게 된다.
- [0062] 이 결과, 본 발명에 따른 쉬프트 레지스터는 아모퍼스 실리콘(a-Si) TFT를 이용하는 경우에도 게이트 바이어스 스트레스로 인한 회로 오동작을 방지할 수 있게 된다.
- [0063] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

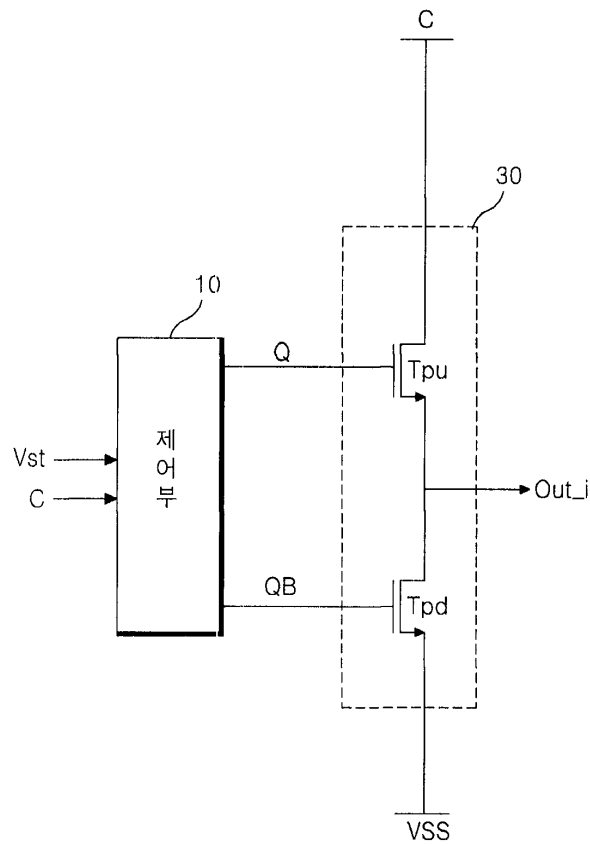
- [0001] 도 1은 종래의 쉬프트 레지스터를 도시한 블록도.
- [0002] 도 2은 도 1에 도시된 한 스테이지를 출력 버퍼 위주로 도시한 회로도.
- [0003] 도 3은 본 발명의 제1 실시 예에 따른 쉬프트 레지스터에서 한 스테이지에 대한 상세 회로도.
- [0004] 도 4는 도 3에 도시된 스테이지의 구동 파형도.
- [0005] 도 5는 본 발명의 제1 실시 예에 따른 쉬프트 레지스터에서 한 스테이지에 대한 상세 회로도.
- [0006] 도 6은 본 발명의 제1 실시 예에 따른 쉬프트 레지스터에서 한 스테이지에 대한 상세 회로도.
- [0007] < 도면의 주요 부분에 대한 부호의 설명 >
- [0008] 10 : 제어부 30 : 출력 버퍼

도면

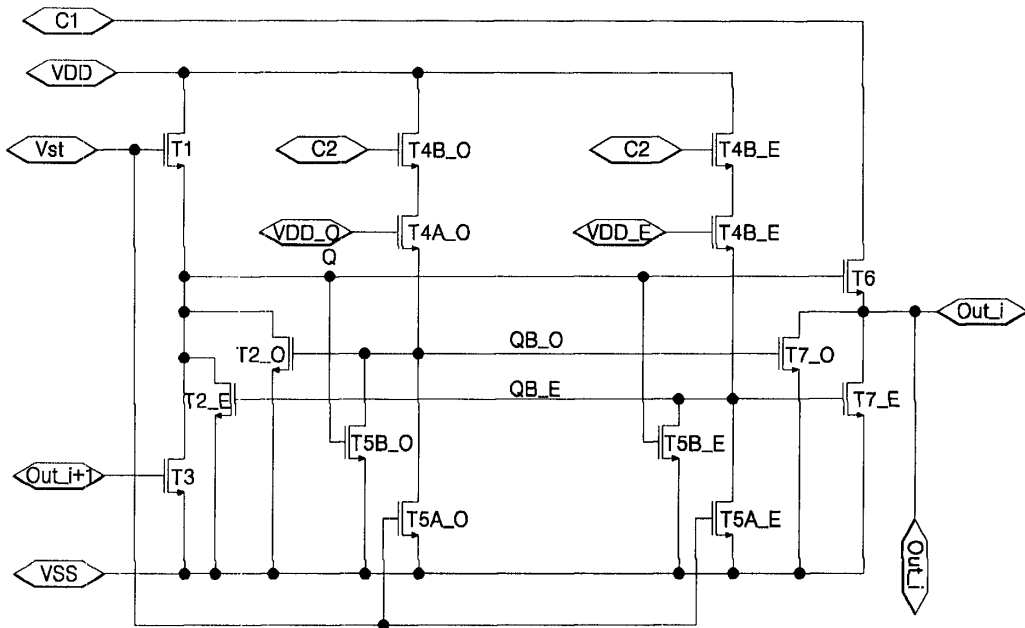
도면1



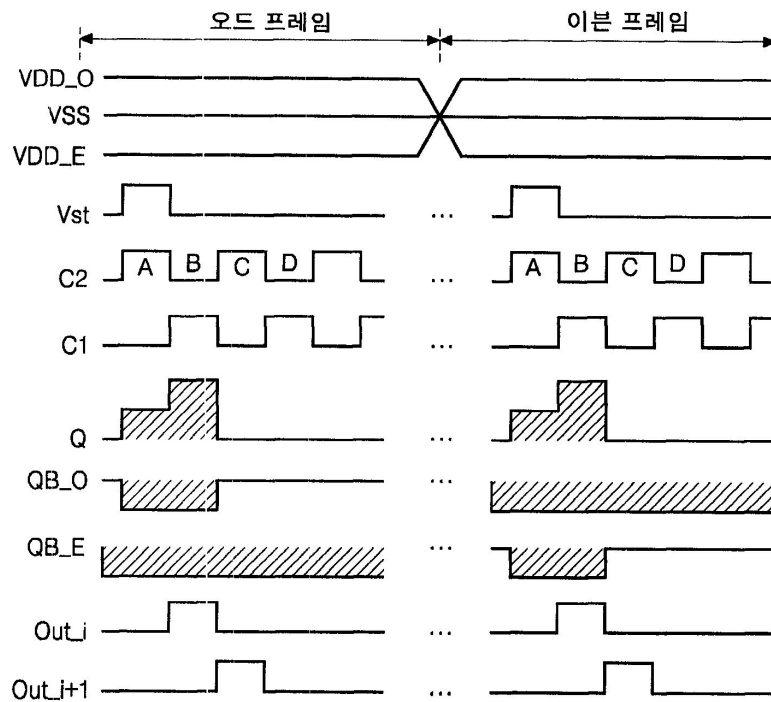
도면2



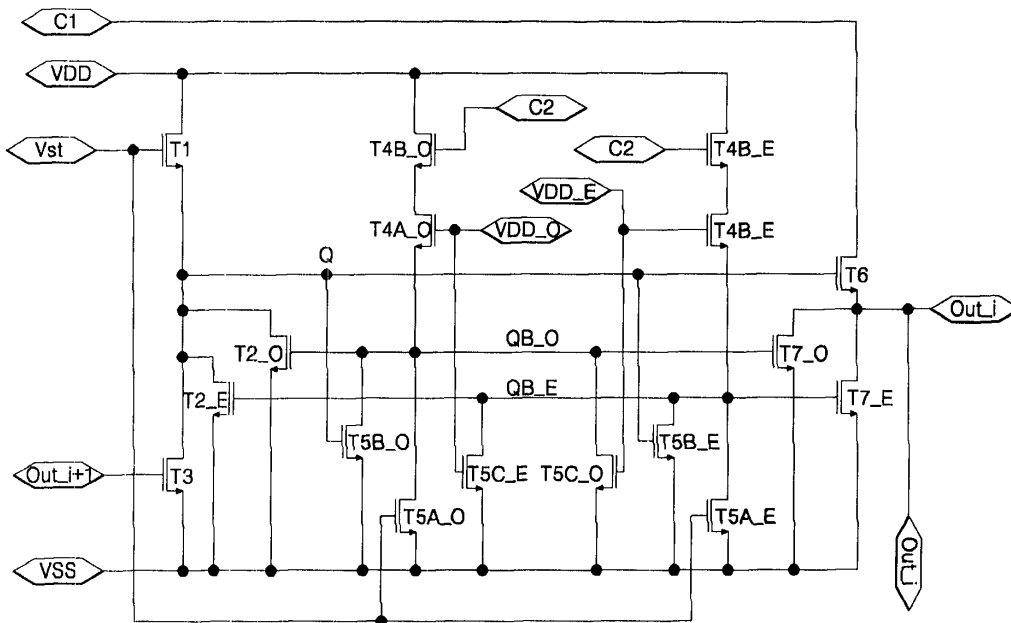
도면3



도면4



도면5



도면6

