



(21)申請案號：100110076

(22)申請日：中華民國 100 (2011) 年 03 月 24 日

(51)Int. Cl. : G11C11/412 (2006.01)

G11C11/417 (2006.01)

(30)優先權：2010/09/23 美國

12/888,860

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：聖派葛夏 許肯斯 SAMPIGETHAYA, SHREEKANTH (US)；烏普托利 巴瑞斯 UPPUTURI, BHARATH (IN)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 39 頁

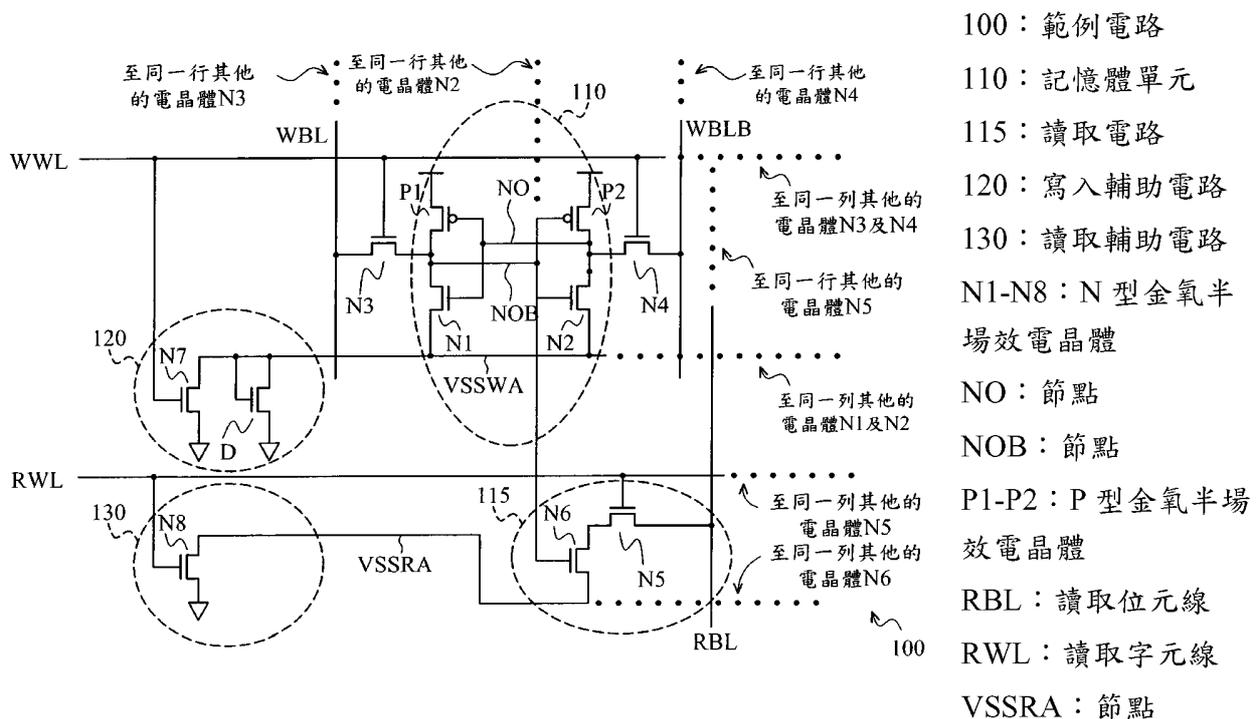
(54)名稱

具備列式讀取及 / 或寫入輔助電路之記憶體電路

MEMORY CELLS HAVING A ROW-BASED READ AND/OR WRITE SUPPORT CIRCUITRY

(57)摘要

一具備列式讀取及/或寫入輔助電路之記憶體電路包括一系列複數個記憶體單元(memory cell)，至少一寫入字元線(write word line)，以及一寫入輔助線路與至少一寫入字元線以及複數個記憶體單元耦合。其中該寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑。上述至少一第二電流路徑中之一電流路徑對應至上述至少一寫入字元線中之一寫入字元線。上述至少一寫入字元線中之一寫入字元線被設定為當上述一系列複數個記憶體單元運作於一第一模式時選擇該第一電流路徑，且當上述一系列複數個記憶體單元運作於一第二模式時選擇上述至少一第二電流路徑中之一第二電流路徑。



VSSWA：節點

WBL：寫入位元線

WBLB：寫入位元線

WWL：寫入字元線



(21)申請案號：100110076

(22)申請日：中華民國 100 (2011) 年 03 月 24 日

(51)Int. Cl. : G11C11/412 (2006.01)

G11C11/417 (2006.01)

(30)優先權：2010/09/23 美國

12/888,860

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD. (TW)
新竹市新竹科學工業園區力行六路 8 號

(72)發明人：聖派葛夏 許肯斯 SAMPIGETHAYA, SHREEKANTH (US)；烏普托利 巴瑞斯 UPPUTURI, BHARATH (IN)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 39 頁

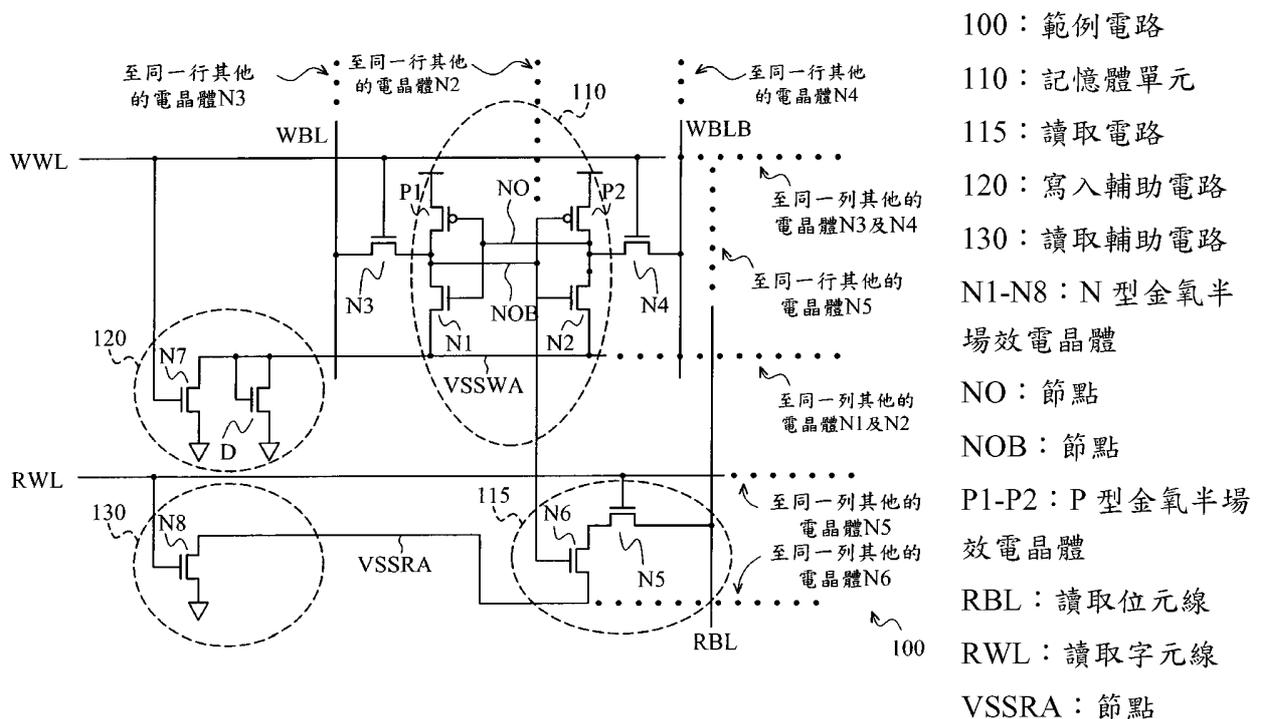
(54)名稱

具備列式讀取及 / 或寫入輔助電路之記憶體電路

MEMORY CELLS HAVING A ROW-BASED READ AND/OR WRITE SUPPORT CIRCUITRY

(57)摘要

一具備列式讀取及/或寫入輔助電路之記憶體電路包括一列複數個記憶體單元(memory cell)，至少一寫入字元線(write word line)，以及一寫入輔助線路與至少一寫入字元線以及複數個記憶體單元耦合。其中該寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑。上述至少一第二電流路徑中之一電流路徑對應至上述至少一寫入字元線中之一寫入字元線。上述至少一寫入字元線中之一寫入字元線被設定為當上述一系列複數個記憶體單元運作於一第一模式時選擇該第一電流路徑，且當上述一系列複數個記憶體單元運作於一第二模式時選擇上述至少一第二電流路徑中之一第二電流路徑。



六、發明說明：

【發明所屬之技術領域】

本發明係主要有關於具備列式讀取及/或寫入輔助電路之記憶體單元。

【先前技術】

漏電流是靜態隨機存取記憶體(SRAM)或暫存器等記憶體元件中常見的現象。一般而言，記憶體元件埠(port)的數目越多，漏電流便越大。已知的技術中有各種方法降低漏電流。例如，利用二極體的壓降將整個記憶體陣列的接地參考準位(ground reference level, 例如電壓 VSS)提升並降低供應電源電壓(例如電壓 VDD)。接地參考準位提升並降低供應電源電壓會影響整個記憶體陣列區段的運作，包括功率消耗以及操作速度方面。

部份技術中，將整個縱向排列的記憶體單元讀取埠的位元線浮接。此類方法中，整行的記憶體在位元線浮接的時間內皆無法存取，然而當再度需要存取資料之前，位元線需要回升至電壓 VDD，因而對動態功率影響甚大；由於整個記憶體區段/陣列的 VDD 節點皆耦合在一起而具有大電容，因此連累記憶體的速度。

部份技術中，使用高臨界電壓(high threshold voltage, HTV)的位元單元(bit cell)，但記憶體存取時間也因此而延長。

【發明內容】

有鑑於此，本發明提出一具備列式讀取及/或寫入輔助電路之記憶體電路，包括一系列複數個記憶體單元

(memory cell)，至少一寫入字元線(write word line)，以及一寫入輔助線路與至少一寫入字元線以及複數個記憶體單元耦合。其中該寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑。上述至少一第二電流路徑中之一電流路徑對應至上述至少一寫入字元線中之一寫入字元線。上述至少一寫入字元線中之一寫入字元線被設定為當上述一系列複數個記憶體單元運作於一第一模式時選擇該第一電流路徑，且當上述一系列複數個記憶體單元運作於一第二模式時選擇上述至少一第二電流路徑中之一第二電流路徑。

其中，第一電流路徑由一二極體所形成，二極體之一端與上述一系列複數個記憶體單元耦合；以及至少一第二電流路徑中之該第二電流路徑由一 N 型金氧半場效電晶體所形成，N 型金氧半場效電晶體之一汲極與一系列複數個記憶體單元耦合，且 N 型金氧半場效電晶體之一閘極與至少一寫入字元線中之一寫入字元線耦合。

其中該第一電流路徑及上述第二電流路徑之一或兩者由一開關所形成，該開關之一端與上述一系列複數個記憶體單元耦合。

其中該寫入輔助電路被設定為當上述一系列複數個記憶體單元操作於該第一模式時，與該第一電流路徑以及上述至少一第二電流路徑耦合之一節點被提升一電壓值。

其中該被提升之一電壓值為一二極體兩端的電壓差。

該電路更包括至少一讀取字元線；至少一組複數個讀取電路，上述至少一組複數個讀取電路中之複數讀取電路的一部份對應至上述一系列複數個記憶體單元；以及至少一讀取輔助電路，上述至少一讀取輔助電路中之一讀取輔助電路與一節點耦合，該節點與上述複數讀取電路的一部份耦合。

此外，本發明另提供一具備列式讀取輔助電路之記憶體電路，包括一系列複數個記憶體單元；至少一讀取字元線；至少一組複數個讀取電路；至少一組複數個讀取電路中之一組複數個讀取電路對應至一系列複數個記憶體單元；以及至少一讀取輔助電路；其中至少一讀取字元線中相對應之一讀取字元線與上述至少一組讀取輔助電路中相對應之一讀取輔助電路以及至少一組複數個讀取電路中之該組複數個讀取電路耦合，藉此與相對應之一讀取電路耦合；

上述一系列複數個記憶體單元中之一記憶體單元與相對應之該讀取電路耦合；以及相對應之該讀取字元線被設定為當該記憶體單元操作於一第一記憶模式時將相對應之該讀取輔助電路操作於一第一輔助模式，且當該記憶體單元操作於一第二記憶模式時將相對應之該讀取輔助電路操作於一第二輔助模式。

其中，相對應之該讀取輔助電路包括一第一 N 型金氧半場效電晶體，具有一第一閘極，一第一汲極，以及一第一源極；相對應之讀取電路包括一第二 N 型金氧半場效電晶體以及一第三 N 型金氧半場效電晶體，第二 N

型金氧半場效電晶體有一第二閘極，一第二汲極，以及一第二源極，且第三 N 型金氧半場效電晶體有一第三閘極，一第三汲極，以及一第三源極；相對應之該讀取字元線與該第一閘極以及該第二閘極耦合；該第一汲極與該第三源極耦合；該第三閘極與該記憶體單元之一節點耦合；該第三汲極與該第二源極耦合；以及該第二汲極與一讀取位元線耦合。

其中，第一 N 型金氧半場效電晶體被設定為當相對應之讀取輔助電路運作於第一輔助模式時開啟，且當相對應之讀取輔助電路運作於第二輔助模式時關閉。

其中，相對應之讀取輔助電路被設定為當相對應之讀取輔助電路操作於第一輔助模式時作為記憶體單元之一電流路徑，且當相對應之讀取輔助電路操作於第二輔助模式時切斷與相對應之讀取電路之間的電性連結。

其中，記憶體單元透過記憶體單元中至少一儲存節點與至少一複數個讀取電路耦合。

其中，相對應之讀取輔助電路包括一 N 型金氧半場效電晶體，N 型金氧半場效電晶體被設定為當記憶體單元操作於第一記憶模式時提供一低邏輯準位至相對應之讀取電路中的一讀取位元線，以及當記憶體單元操作於第二記憶模式時將相對應之讀取電路浮接。

其中，更包括至少一寫入字元線，以及一寫入輔助電路與至少一寫入字元線以及一系列複數個記憶體單元耦合；寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑，至少一第二電流路徑中之一第二電流路徑對

應至至少一寫入字元線中一相對應之寫入字元線。

其中至少一寫入字元線中的一寫入字元線被設定為當一系列複數個記憶體單元操作於一第一寫入模式時選擇第一電流路徑，且當一系列複數個記憶體單元操作於一第二寫入模式時選擇至少一第二電流路徑中之一第二電流路徑。

本發明另提供一具備列式讀取及寫入輔助電路之記憶體電路，包括一系列複數個記憶體單元；一寫入字元線；一寫入輔助電路，寫入輔助電路與寫入字元線以及與一系列複數個記憶體單元耦合之一第一節點耦合；一讀取字元線；複數個讀取電路，複數個讀取電路中相對應之一讀取電路對應於一系列複數個記憶體單元中一相對應之記憶體單元；以及一讀取輔助電路，與讀取字元線以及與複數個讀取電路耦合之一第二節點耦合。

其中該寫入輔助電路被設定為當一系列複數個記憶體單元操作於一第一寫入模式時將第一節點提升一第一節點電壓，且當一系列複數個記憶體單元操作於一第二寫入模式時作為一電流路徑。

其中該寫入輔助電路包括一二極體，被設定為當上述一系列複數個記憶體單元操作於該第一寫入模式時提升該第一節點之電壓；以及一 N 型金氧半場效電晶體，被設定為當一系列複數個記憶體單元操作於第二寫入模式時作為第一節點之該電流路徑。

其中，讀取輔助電路被設定為當一系列複數個記憶體單元操作於第一讀取模式時作為第二節點之一電流路

徑，且當一系列複數個記憶體單元操作於第二讀取模式時將第二節點浮接。

其中，更包括一 N 型金氧半場效電晶體，被設定為當一系列複數個記憶體單元操作於第一讀取模式時作為第二節點之一電流路徑，且當一系列複數個記憶體單元操作於第二讀取模式時將第二節點浮接。

【實施方式】

以下將以特定的文字敘述方式揭露圖式中所描繪的實施例以及範例。然而應理解下述實施例以及範例並非用以侷限本發明之專利保護範圍。於相關領域具通常技藝者自可對本發明所揭露之實施例、進階應用以及發明原理進行任何變化及修改。描述各個實施例時可能會使用重複的參照數字，但並不表示實施例之間的特徵具有關連性。

部份實施例中包含以下單一個或複數個特徵及/或優點。部份實施例中，由於未被存取的列其接地參考準位浮接，可減少讀取操作時的漏電流，並不會影響位元單元的內容，也不會改變位元單元中六電晶體部份(6T)的靜態雜訊邊際(static noise margin, SNM)。當讀取及/或寫入埠的數量增加，漏電流降低的效果愈加顯著。部份實施例中，以一系列為基準於讀取及寫入操作時降低漏電流。例如部份實施例中，於讀取或寫入操作時存取一系列，同時其餘未被存取的列之漏電流得以減少(如寫入動作時)或消除(如讀取動作時)。

[範例電路]

第 1 圖為根據部份實施例，描繪範例電路 100 中一記憶體單元 110(例如位元單元)運作的示意圖。

記憶體單元 110 通常應用於記憶體陣列中如靜態存取記憶體(SRAM)或暫存器檔案(register file)等。記憶體陣列通常以多個行及列所構成，為了簡化而未顯示於圖式中。記憶體陣列中每行或每列的記憶體單元的數量因設定而異，例如記憶體單元的數量可為 64、128、256 或 512 等。為了方便描述，本文以一包括 n 個列(從第 $R-1$ 列至第 $R-n$ 列)以及 m 個行(從第 $C-1$ 行至第 $C-m$ 行)的記憶體陣列為例加以說明，其中 n 與 m 為任一整數。

記憶體單元 110 中，電晶體 P1，P2，N1 及 N2 相互鎖存(latch)。更詳細的解釋之，即電晶體 P1 與 N1 形成一第一反向器 INV1(未標定於圖式中)，而電晶體 P2 與 N2 形成一第二反向器 INV2(未標定於圖式中)，而反向器 INV1 與 INV2 形成記憶體單元 110 中一相互鎖存的結構。一節點 VSSWA 與電晶體 N1 與 N2 的源極以及基底耦合為同一橫列，並作為電晶體 N1 與 N2 以及同一列中其他記憶體單元 110 的接地參考點(ground reference)。

部份實施例中，當一寫入存取發生時，資料被寫入記憶體陣列中一系列中所有的記憶體單元。一寫入字元線(write word line)WWL 控制一系列中所有的記憶體單元 110。寫入位元線(write bit line)WBL 以及 WBLB 則耦合了一行中複數個記憶體單元。寫入位元線 WBL 及 WBLB 與電晶體 N3 及 N4 通常被稱為一記憶體單元的寫入埠(write port)。部份實施例中，於寫入週期間輸入 WBL 及

WBLB 的資料，被寫入至相對應之記憶體單元 110 中由寫入字元線 WWL 開啟的節點 NO 與 NOB。節點 NO 與 NOB 儲存相對應之記憶體單元 110 的資料。於部份實施例中節點 NO 與 NOB 的資料互為反相。例如若節點 NO 儲存一高準位，則節點 NOB 儲存一低準位。部份實施例中，當記憶體單元 110 不為可寫入模式時，寫入位元線 WBL 及 WBLB 皆被充能至高準位(透過一充電電路，未顯示於圖式中)。

電晶體 N3 與 N4 的作用為在寫入位元線 WBL 與 WBLB 與相對應的節點 NO 與 NOB 之間傳送資料。例如要對一記憶體單元 110 進行寫入動作，則啟動相對應的寫入字元線 WWL(例如提升至高準位)，以啟動相對應的電晶體 N7、N3 與 N4。進入 WBL 與 WBLB 的資料隨即透過相對應的電晶體 N3、N4 被傳輸至相對應的節點 NO 與 NOB。例如當第 R-1 列的寫入字元線 WWL(標示於第 4 圖中)開啟時，第 R-1 列中記憶體單元 110 的電晶體 N3 與 N4 隨之被開啟，而第 R-1 列的寫入位元線 WBL 與 WBLB 的資料隨即寫入至相對應的節點 NO 及 NOB。資料寫入至記憶體單元 110 中的節點 NO 及 NOB 後，對應的寫入字元線 WWL 則關閉(例如提升至低準位)。

於部份實施例中，一電路(例如一寫入輔助電路)120 應用於記憶體陣列其中一系列的所有記憶體單元。於電路 120 中，一節點 VSSWA 與所有記憶體單元 110 中電晶體 N1 與 N2 的源極耦合為一系列，並同時與相對應的電路 120 中電晶體 N7 的汲極以及形成二極體 D 的電晶體的汲極

耦合。節點 VSSWA 亦與電晶體 N1 與 N2 的基底耦合。電路 120 作為一電流路徑，可減少寫入操作時對應列中記憶體單元 110 的漏電流。例如，當第 R-1 列被存取時，其餘列如 R-2 至 R-n 則處於無法存取的狀態。無法存取的列 R-2 至 R-n 其寫入字元線 WWL 被關閉，其相對應的電晶體 N7 亦被關閉，因而切斷記憶體單元 110 經由電晶體 N7 至接地的電性連結。同時，相對應的電晶體 D 作為記憶體單元 110 的電流路徑。因此，第 R-2 列至第 R-n 列所對應的節點 VSSWA 被提升一特定電壓 V_{tD} ，即二極體 D 的壓降。由於節點 VSSWA 的電壓提升，記憶體單元 110 的漏電流因此而減少。例如，當節點 NOB 儲存一高準位，電晶體 N2 開啟，而電晶體 N1 關閉。節點 VSSWA 與電晶體 N1 基底的電壓因而提升。由此可知，電晶體 N1 的操作電壓與基底電壓之間的擺幅降低，使漏電流減少。電路 120 僅為舉例示範之用，尚有其他類型的電路實施例可以達到相同提供電流路徑與提升節點 VSSWA 之電壓的功效，例如可以用一開關或以一反相器將寫入字元線 WWL 反相後連接一 P 型電晶體的閘極取代電晶體 N7。同樣的，一以調節器或參考電壓控制閘極的 N 型或 P 型電晶體亦可取代二極體 D。

於部份實施例中，當一讀取存取發生時，記憶體陣列的一列中所有記憶體單元都被讀取。一讀取字元線 (read word line, RWL) 控制一系列中的所有電路 115。一節點 VSSRA 與一系列中所有電路 115 之電晶體 N6 耦合。電路 115 通常被稱為讀取電路，而對應的讀取位元線 (read

bit line, RBL)則被稱為記憶體單元 110 的讀取埠(read port)。如欲存取記憶體單元 110 中節點 NO 的資料，可由相對應的讀取位元線 RBL 獲得。舉例來說，欲讀取第 C-1 行(標示於第 4 圖)中的一記憶體單元 110 時，開啟相對應的讀取位元線 RWL 使電晶體 N5 與 N8 開啟，且若第 C-1 行的讀取位元線 RBL 為高準位，相對應的節點 NO 則為低準位(節點 NOB 則為高準位)。若讀取位元線 RBL 為低準位，相對應的節點 NO 則為高準位(節點 NOB 則為低準位)。於部份實施例中，當相對應的記憶體單元 110 不為允許讀取的模式時，讀取位元線 RBL 被充電至高準位(例如透過一充能電路，未顯示於圖式)。

於部份實施例中，一電路 130(例如一讀取輔助電路)可應用於記憶體陣列一列中所有的記憶體單元 110。一讀取字元線 RWL 與電路 130 中電晶體 N8 之閘極耦合，同時亦與相對應列中所有記憶體單元 110 之電晶體 N5 之閘極耦合。電路 130 作為一電流路徑並將節點 VSSRA 浮接，以減少/消除該列中記憶體單元 110 於讀取操作時產生之漏電流。例如於部份實施例中，當第 R-1 列被存取時，其餘第 R-2 列至第 R-n 列為不被存取狀態。第 R-2 列至第 R-n 列中，讀取字元線 RWL 為關閉，電晶體 N8 亦隨之關閉。因此，第 R-2 列至第 R-n 列都被浮接且無任何漏電流由讀取位元線 RBL 通過電晶體 N5 與 N6。圖式中所示之電路 130 僅為舉例示範之用，尚有其他類型的電路實施例可以達到相同提供電流路徑與浮接節點 VSSRA 的功效，例如可以一開關或一以反相後的讀取字

元線 RWL 控制的 P 型電晶體取代 N 型電晶體 N8。

[寫入方法範例]

部份實施例中，將資料寫入記憶體單元 110 會導致將資料寫入記憶體陣列中一列的所有記憶體單元 110。第 2 圖為一流程圖 200，根據部份實施例描繪出寫入一列(如第 R-1 列)中所有記憶體單元 110 的方法。於一包括 n 個列與 m 個行的記憶體陣列中，第 R-1 列被稱為寫入存取列，而第 R-2 列至第 R-n 列被稱為未被存取列。

於步驟 210 中，寫入位元線 WBL 與 WBLB 對應至寫入一存取列 R-1 中的所有記憶體單元 110，上述寫入位元列 WBL 與 WBLB 被設定為獨立於充電電路之外(即與充電電路電性隔離)。

於步驟 220 中，欲被寫入至寫入存取列 R-1 中記憶體單元 110 的資料被配置於相對應之允許寫入的寫入位元線 WBL 與 WBLB 中。

於步驟 230 中，寫入存取列 R-1 的寫入字元線 WWL(例如 WWL(1)，未顯示於圖式)被開啟，因而開啟寫入存取列 R-1 中所有記憶體單元 110 的電晶體 N3 與 N4。寫入字元線 WWL(1)亦開啟寫入存取列 R-1 中電路 120 的電晶體 N7(例如 N7(1)，未顯示於圖式)。由此可知，電晶體 N7(1)作為寫入存取列 R-1 中記憶體單元 110 的一電流路徑。

於部份實施例中，第 R-2 列至第 R-n 列之寫入字元線 WWL(例如 WWL(2)至 WWL(n)，未顯示於圖式)處於一預設的關閉狀態，因而使第 R-2 列至第 R-n 列所有記

記憶體單元 110 的電晶體 N3 與 N4 關閉。被關閉的寫入字元線 WWL(2)至 WWL(n)防止第 R-2 列至第 R-n 列所有記憶體單元 110 被寫入。寫入字元線 WWL(2)至 WWL(n)亦將第 R-2 列至第 R-n 列的電晶體 N7(例如電晶體 N7(2)至 N7(n)，未顯示於圖式)關閉。因此第 R-2 列至第 R-n 列的電晶體 D(例如電晶體 D(2)至 D(n)，未顯示於圖式)作為相對應記憶體單元 110 之電流路徑，並使節點 VSSWA(例如 VSSWA(2)至 VSSWA(n)，未顯示於圖式)的電壓上升一電壓 V_tD 。由此可知相較於節點 VSSWA(2)至 VSSWA(n)的電壓未提升之情況，第 R-2 列至第 R-n 列中記憶體單元 110 的漏電流獲得改善。

於步驟 250 中，寫入位元線 WBL 與 WBLB 中的資料被寫入相對應的節點 NO 與 NOB。

以上所描繪的流程圖 200 中，開啟寫入字元線 WWL(1)並關閉寫入字元線 WWL(2)至 WWL(n)可以是同時進行或不同時進行，例如一步驟在另一步驟之前或之後完成。實施例的種類眾多，並無侷限於特定順序。

[讀取方法範例]

部份實施例中，讀取記憶體單元 110 的資料將會導致讀取記憶體陣列中同一列所有記憶體單元 110 的資料。第 3 圖為一流程圖 300，根據部份實施例描繪出讀取一列(例如第 R-1 列)中所有記憶體單元 110 資料的方法。於一包括 n 個列與 m 個行的記憶體陣列中，第 R-1 列被稱為讀取存取列，而第 R-2 列至第 R-n 列被稱為未被存取列。

於步驟 310 中，對應至讀取存取列 R-1 中記憶體單元 110 的讀取位元線 RBL 被設定為獨立於(即電性隔離於)充電電路之外。然而，上述讀取位元線 RBL 仍保持於被充電之高準位。

於部份實施例中，對應至未被存取列 R-2 至 R-n 的讀取字元線 RWL(例如 RWL(2)至 RWL(n)，未顯示於圖式)處於一預設的關閉狀態，因而第 R-2 列至第 R-n 列的電晶體 N5 亦為關閉。由此可知，關閉的讀取字元線 RWL(2)至 RWL(n)可防止第 R-2 列至第 R-n 列中記憶體單元 110 的資料被讀取。關閉的讀取字元線 RWL(2)至 RWL(n)亦將第 R-2 列至第 R-n 列的電晶體 N8(例如 N8(2)至 N8(n)，未顯示於圖式)關閉。因而使不允許讀取的第 R-2 列至第 R-n 列之節點 VSSRA(例如 VSSRA(2)至 VSSRA(n)，未顯示於圖式)浮接，因而使第 R-2 列至第 R-n 列中電晶體 N6 無法導通。換言之，可減少或消除第 R-2 列至第 R-n 列因讀取操作所造成的漏電流。

於步驟 330 中，對應至讀取存取列 R-1 之讀取字元線 RWL(例如 RWL(1)，未顯示於圖式)被開啟，以開啟可存取第 R-1 列中記憶體單元 110 的電晶體 N5(例如 N5(1)，未顯示於圖式)。讀取字元線 RWL(1)亦開啟讀取存取列 R-1 中電路 130 的電晶體 N8(例如 N8(1)，未顯示於圖式)。電晶體 N8(1)作為讀取存取列 R-1 中電晶體 N5 及 N6 的一電流路徑。

以上步驟中，第 R-1 列中一特定行的記憶體單元 110 之節點 NO 的資料可由讀取位元線 RBL 取得。例如，若

第 R-1 列與第 C-1 行的記憶體單元 110 之節點 NO(1,1) 儲存一低準位，則第 R-1 列與第 C-1 行的電晶體 N6(例如 N6(1)，未顯示於圖式)為關閉。由此可知，讀取位元線 RBL(1)繼續保持為高準位，並對應至低準位的 NO(1,1) 以及高準位的 NOB(1,1)。然而，如果節點 NOB(1,1)儲存一高準位，則電晶體 N6(1,1)為開啟。由於讀取字元線 RWL(1)為開啟，第 R-1 列與第 C-1 行的電晶體 N5(1,1) 為開啟。因為電晶體 N5(1,1)與 N6(1,1)皆為開啟，讀取位元線 RBL(1)的電壓與電晶體 N6(1,1)的源極以及節點 VSSRA(1)相同。再者，由於電晶體 N8(1)為開啟，其汲極(亦為節點 VSSRA(1))與其源極電壓相同，即為接地。因而讀取位元線 RBL(1)被改變為低準位或接地，而相對應的節點 NOB(1,1)為高準位，節點 NO(1,1)則為低準位。

於步驟 340 中，相對應讀取位元線 RBL 的邏輯準位被偵測，即可獲得儲存於節點 NO 與 NOB 的資料。

第 1 圖中的電路 100 通常被稱為一讀取埠一寫入埠 (one read port, one write port; 1R1W) 電路。例如包含電晶體 N5 與 N6 以及讀取位元線 RBL 的電路 115 為一讀取埠。而電晶體 N3 與 N4 以及對應的寫入位元線 WBL 與 WBLB 則為一寫入埠。部份實施例中，複數個電路 115 成一系列並與一電路 130 耦合，其功能如前文所述可以減少或消除讀取動作時的漏電流。部份實施例中，一寫入埠與一電路 120 以及一寫入字元線 WWL 相連結，其功能如前文所述可以減少或消除寫入動作時的漏電流。電路 100 可作種類眾多的變化，例如一讀取埠搭配複數個寫入

埠，複數個讀取埠搭配一寫入埠，或是複數個讀取埠搭配複數個寫入埠等等，皆不脫離本發明實施例的範疇。

[讀取功能的電路變化實施例]

第 4 圖顯示一電路 400 的示意圖，包括記憶體陣列中第 R-1 列與第 C-1 行的記憶體單元 110-1-1(未顯示於圖式)以及與記憶體單元 110-1-1 相連的 I 個讀取埠。部份實施例中，I 為一正數。為了簡化圖式，記憶體單元 110-1-1 與其相對應的寫入電路未描繪於圖式。由於每個記憶體單元 110 中電路 400 包括 I 個讀取埠，故電路 400 包括 I 個列，以及 I 個讀取字元線，如 RWL-1 至 RWL-I；I 個電路 130，如 130-1 至 130-I；I 個電路 115，如 115-1 至 115-I，以及 I 個讀取位元線 RBL，如 RBL-1 至 RBL-I。

第 4 圖中的讀取字元線 RWL 連接至一系列讀取埠，並且與該一系列讀取埠中電路 115 之電晶體 N5 以及電晶體 N8 的閘極相耦合。例如讀取字元線 RWL-1 連接至第 RP-1 列的讀取埠，並與其中電路 130-1 的電晶體 N8-1 與電路 115-1 的電晶體 N5-1 相耦合。讀取字元線 RWL-I 則連接至第 RP-I 列的讀取埠，並與其中電路 130-I 的電晶體 N8-I 以及電路 115-I 的電晶體 N5-I 相耦合，以此類推。

電路 130 中電晶體 N8 的汲極，亦可稱為節點 VSSRA，與同一列讀取埠中電路 115 中之電晶體 N6 的源極耦合。例如對應於第 RP-1 列之電路 130-1 中電晶體 N8-1 的汲極，與同一列讀取埠中電路 115-1 中之電晶體 N6-1 的源極耦合；對應於第 RP-I 列之電路 130-I 中電晶體 N8-I 的汲極，與同一列讀取埠中電路 115-I 中之電晶

體 N6-I 的源極耦合。

部份實施例中，記憶體單元 110 與 I 個讀取字元線 RWL 以及 I 個電路 130 相連結，因此有 I 個節點 VSSRA，即 VSSRA-1 至 VSSRA-I。例如當第 RP-1 列之讀取埠處於不可讀取狀態時，相對應的讀取字元線 RWL-1 關閉相對應的電晶體 N8-1，使得相對應的節點 VSSRA-1 浮接。因此，漏電流的情形可獲得改善。

記憶體單元 110 亦與一行 I 個電路 115 相連，其中一上述電路 115 包含於一列讀取埠中。同一行的電路 115 中電晶體 N6 的閘極共同耦合，並耦合至記憶體單元 110 的一節點。例如讀取埠 RP-1 至 RP-I 中電路 115-1 至 115-I 的電晶體 N6-1 至 N6-I 之閘極共同耦合，並耦合至記憶體單元 110-1-1 的一節點 NO。

一系列讀取埠中各個電路 115 之電晶體 N5 的汲極與相對應的讀取位元線 RBL 耦合。例如第 RP-1 列中電路 115-1 中電晶體 N5-1 的汲極與讀取位元線 RBL-1 相耦合；而第 RP-I 列中電路 115-I 中電晶體 N5-I 的汲極與讀取位元線 RBL-I 相耦合，以此類推。偵測一個或複數個讀取位元線 RBL 的邏輯準位，便可獲得儲存於相對應節點 NO 或 NOB 中的資料。

於第 1 圖中，電路 115 中電晶體 N6 的閘極與記憶體單元 110 的節點 NOB 耦合。於其他部份實施例中，電路 115 中電晶體 N6 的閘極不與節點 NO 耦合，而與節點 NOB 耦合，且節點 NOB 的讀取動作與節點 NO 的讀取動作類似。同樣的，第 4 圖中電路 115-1 至 115-I 與節點 NO 相

連，但電路 115-1 至 115-I 亦可與節點 NOB 相連而非與節點 NO 相連。於部份實施例中，記憶體單元 110 可透過節點 NO、節點 NOB、或透過上述兩節點耦合一個或複數個電路 115，並與相對應的電路 130 與讀取字元線 RWL 連接。換言之，一記憶體單元 110 可有一個或數個讀取埠，其中上述一個或數個讀取埠可與節點 NO 與 NOB 兩者或其中之一相連接。

[寫入功能的電路變化實施例]

第 5 圖為一電路 500 的示意圖，包含 J 個與記憶體單元 110-1-1(未顯示於圖式)相連接的寫入埠，該記憶體單元 110-1-1 位於記憶體陣列中第 R-1 列與第 C-1 行，其中根據部份實施例，J 為一正數。為了簡化圖式，記憶體單元 110-1-1 以及與其相對應的讀取電路未描繪於圖式。

第 5 圖之電路 120-J 相當於第 1 圖中的電路 120。然而，電路 120-J 包含 J 個電晶體，即 N7-1 至 N7-J，且上述電晶體的閘極分別與寫入字元線 WWL-1 至 WWL-J 耦合。舉例來說，電晶體 N7-1 的閘極與寫入字元線 WWL-1 耦合，而電晶體 N7-J 的閘極與寫入字元線 WWL-J 耦合，以此類推。換言之，一寫入字元線 WWL 可開啟或關閉電路 120 中相對應的電晶體 N7。當寫入字元線 WWL-1 開啟相對應的電晶體 N7-1 時，電晶體 N7-1 作為節點 VSSWA 的電流路徑。舉例而言，通過節點 VSSWA 的電流可經由電晶體 N7-1。

寫入字元線 WWL 亦與電晶體 N3 與 N4 相連接，而電晶體 N3 與 N4 又分別與寫入位元線 WBL 與 WBLB 相

連接。例如寫入字元線 WWL-1 與電晶體 N3-1 及 N4-1 的閘極相連接，而寫入字元線 WWL-J 與電晶體 N3-J 及 N4-J 的閘極相連接，以此類推。

每對電晶體 N3 與 N4 皆與相對應的一對寫入位元線 WBL 與 WBLB 相連接。例如電晶體 N3-1 與 N4-1 之源極與相對應的一對寫入位元線 WBL-1 與 WBLB-1 相連接，而電晶體 N3-J 與 N4-J 之源極與相對應的一對寫入位元線 WBL-J 與 WBLB-J 相連接，以此類推。記憶體單元 110 之 J 個寫入埠中電晶體 N3 的汲極與記憶體單元 110 的儲存節點之一相連接，同時記憶體單元 110 之 J 個寫入埠中電晶體 N4 的汲極與記憶體單元 110 的另一儲存節點相連接。例如與記憶體單元 110-1-1 相連的 J 個寫入埠中，電晶體 N3-1 至 N3-J 與記憶體單元 110-1-1 的節點 NOB 相連接，而與記憶體單元 110-1-1 相連的 J 個寫入埠中，電晶體 N4-1 至 N4-J 與記憶體單元 110-1-1 的節點 NO 相連接。

當一寫入埠被選取，作為寫入記憶體單元 110 之用時，相對應的寫入字元線 WWL、電晶體 N7、寫入位元線 WBL 以及電晶體 N3 及 N4 被開啟。例如當寫入字元線 WWL-J 開啟時，寫入字元線 WWL-J 將電路 120-J 中的電晶體 N7-J 開啟。節點 VSSWA 將第 R-1 列中的記憶體單元 110 耦合在一起，並以電晶體 N7-J 作為電流路徑。寫入字元線 WWL-J 亦將電晶體 N3-J 與 N4-J 開啟。同時，欲寫入的資料已置於對應的寫入位元線 WBL-J 與 WBLB-J 上，隨後資料即經由對應的電晶體 N3-J 與 N4-J

傳送至節點 NOB 與 NO 上。於部份實施例中，複數個寫入埠的記憶體單元 110 的寫入方式與單一個寫入埠的記憶體單元 110 的寫入方式類似。例如，寫入一個記憶體單元 110 的動作會使記憶體陣列中同一列複數個記憶體單元進行寫入動作。

於未被存取的記憶體列如第 R-2 列(未標示)中，所有與第 R-2 列相連接的寫入字元線 WWL-2 至 WWL-J 為關閉，與第 R-2 列相連接的電晶體 N7-2 至 N7-J 亦為關閉。與第 R-2 列相連接的二極體 D-2(未標示)作為與第 R-2 列相連接的二極體 D-2 節點 VSSWA 之一電流路徑，且該節點 VSSWA 的電壓提升 V_{tD} ，如前文所述可使漏電流減少。於部份實施例中，當某一系列(如第 R-1 列)被存取時，其餘的列(如第 R-2 列至第 R-J 列)則不被存取。

以上已揭露數個實施例。然而在不悖離發明精神及實施例之範疇，當可做出各種修改。例如，圖中所繪特定摻雜(N型或P型)之電晶體僅為示意之用，實施例之用意並非限制電晶體的摻雜類型，因電晶體摻雜類型乃設計上的考量，故其摻雜類型選擇的變化仍屬於本發明實施例的範疇。

前文所述各種邏輯準位(高或低)亦作為示意之用，實施例中之開啟/關閉並未限定特定之準位，選擇準位亦屬於設計上的考量。各個電晶體與二極體，如電晶體 N7、N8，二極體 D 等，功能如同開關元件。因此，開關、開關電路、元件、網絡等等可用以取代電晶體及/或二極體。

部份實施例中之電路包括一系列複數個記憶體單元，

至少一寫入字元線，以及一寫入輔助電路與至少一寫入字元線以及複數個記憶體單元耦合。其中該寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑，上述至少一第二電流路徑中之一電流路徑對應至上述至少一寫入字元線中之一寫入字元線。上述至少一寫入字元線中之一寫入字元線被設定為當上述一系列複數個記憶體單元運作於一第一模式時選擇該第一電流路徑，且當上述一系列複數個記憶體單元運作於一第二模式時選擇上述至少一第二電流路徑中之一第二電流路徑。

部份實施例中之電路包括一系列複數個記憶體單元，至少一讀取字元線，至少一複數個讀取電路，以及至少一讀取輔助電路。上述至少一複數個讀取電路中之一複數個讀取電路對應至上述一系列複數個記憶體單元。其中上述至少一讀取字元線中相對應之一讀取字元線與上述至少一讀取輔助電路中相對應之一讀取輔助電路以及上述至少一複數個讀取電路中一複數個讀取電路耦合，藉以與相對應之一讀取電路耦合。上述一系列複數個記憶體單元中之一記憶體單元與相對應之該讀取電路耦合。相對應之該讀取字元線被設定為當該記憶體單元操作於一第一記憶模式時將相對應之該讀取輔助電路操作於一第一輔助模式，且當該記憶體單元操作於一第二記憶模式時將相對應之該讀取輔助電路操作於一第二輔助模式。

部份實施例中一電路包括一系列複數個記憶體單元，一寫入字元線，一寫入輔助電路，該寫入輔助電路與該寫入字元線以及與上述一系列複數個記憶體單元耦合之一

第一節點耦合，一讀取字元線，複數個讀取電路，該複數個讀取電路中相對應之一讀取電路對應於上述一系列複數個記憶體單元中一相對應之記憶體單元，以及一讀取輔助電路，與該讀取字元線以及與上述複數個讀取電路耦合之一第二節點耦合。

上述方法揭露數個示範步驟，但這些步驟並無特定順序，且各步驟在不悖離發明精神及實施例範疇之下，有增加、取代、更序、及/或刪除的可能。

【圖式簡單說明】

本發明所揭露之實施例細節搭配以下圖式解說應可輕易理解。專利保護範圍加上圖式與解說，可凸顯本發明的技術特徵及優點。

第 1 圖為一範例電路的示意圖，包含部份實施例。

第 2 圖為描繪第 1 圖之電路進行讀取動作的流程圖。

第 3 圖為描繪第 1 圖之電路進行寫入動作的流程圖。

第 4 圖為一電路的示意圖，描繪第 1 圖中的記憶體單元有 I 個讀取埠，根據部份實施例，I 為一正數。

第 5 圖為一電路的示意圖，描繪第 1 圖中的記憶體單元有 J 個讀取埠，根據部份實施例，J 為一正數。

各圖式中，相同的符號代表相同的元件。

【主要元件符號說明】

100~範例電路；

110~記憶體單元；

115、115-1、115-I~讀取電路；

120、120-J~寫入輔助電路；

130、130-1、130-I~讀取輔助電路；

200~流程圖；

210-250~步驟；

300~流程圖；

320-340~步驟；

N1-N8~N 型金氧半場效電晶體；

N3(1)、N4(1)、N7(1)~ N 型金氧半場效電晶體；

N3(J)、N4(J)、N7(J)~ N 型金氧半場效電晶體；

N5(1)、N6(1)、N8(1)~ N 型金氧半場效電晶體；

N5(I)、N6(I)、N8(I)~ N 型金氧半場效電晶體；

NO~節點；

NOB~節點；

P1-P2~P 型金氧半場效電晶體；

RBL~讀取位元線；

RWL~讀取字元線；

VSSRA、VSSRA-1、VSSRA-I~節點；

VSSWA~節點；

WBL、WBL-1、WBL-J~寫入位元線；

WBLB、WBLB-1、WBLB-J~寫入位元線；

WWL、WWL-1、WWL-J~寫入字元線。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100110076

※申請日： 100.03.24

※IPC 分類：

G11C 11/42 (2006.01)

G11C 11/47 (2006.01)

一、發明名稱：(中文/英文)

具備列式讀取及/或寫入輔助電路之記憶體電路

Memory Cells Having A Row-Based Read and/or Write Support Circuitry

二、中文發明摘要：

一具備列式讀取及/或寫入輔助電路之記憶體電路包括一列複數個記憶體單元(memory cell)，至少一寫入字元線(write word line)，以及一寫入輔助線路與至少一寫入字元線以及複數個記憶體單元耦合。其中該寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑。上述至少一第二電流路徑中之一電流路徑對應至上述至少一寫入字元線中之一寫入字元線。上述至少一寫入字元線中之一寫入字元線被設定為當上述一系列複數個記憶體單元運作於一第一模式時選擇該第一電流路徑，且當上述一系列複數個記憶體單元運作於一第二模式時選擇上述至少一第二電流路徑中之一第二電流路徑。

三、英文發明摘要：

A circuit comprises a plurality of memory cells in a row, at least one write word line, and a write support

circuit coupled to the at least one write word line and to the plurality of memory cells in the row. The write support circuit includes a first current path and at least one second current path. A current path of the at least one second current path corresponds to a respective write word line of the at least one write word line. A write word line of the at least one write word line is configured to select the first current path when the plurality of memory cells in the row operate in a first mode, and to select a second current path of the at least one second current path when the plurality of memory cells in the row operate in a second mode.

七、申請專利範圍：

1.一種具備列式寫入輔助電路之記憶體電路，包括：

一列複數個記憶體單元；

至少一寫入字元線；以及

一寫入輔助電路與上述至少一寫入字元線以及上述一列複數個記憶體單元耦合，其中：

該寫入輔助電路包括一第一電流路徑以及至少一第二電流路徑，上述至少一第二電流路徑中之一電流路徑對應至上述至少一寫入字元線中之一寫入字元線；以及

上述至少一寫入字元線中之一寫入字元線被設定為當上述一列複數個記憶體單元運作於一第一模式時選擇該第一電流路徑，且當上述一列複數個記憶體單元運作於一第二模式時選擇上述至少一第二電流路徑中之一第二電流路徑。

2.如申請專利範圍第 1 項所述之具備列式寫入輔助電路之記憶體電路，其中：

該第一電流路徑由一二極體所形成，其中該二極體之一端與上述一列複數個記憶體單元耦合；以及

上述至少一第二電流路徑中之該第二電流路徑由一 N 型金氧半場效電晶體所形成，該 N 型金氧半場效電晶體之一汲極與上述一列複數個記憶體單元耦合，且該 N 型金氧半場效電晶體之一閘極與上述至少一寫入字元線中之一寫入字元線耦合。

3.如申請專利範圍第 1 項所述之具備列式寫入輔助電路之記憶體電路，其中該第一電流路徑及上述第二電

流路徑之一或兩者由一開關所形成，該開關之一端與上述一系列複數個記憶體單元耦合。

4.如申請專利範圍第 1 項所述之具備列式寫入輔助電路之記憶體電路，其中該寫入輔助電路被設定為當上述一系列複數個記憶體單元操作於該第一模式時，與該第一電流路徑以及上述至少一第二電流路徑耦合之一節點被提升一電壓值。

5.如申請專利範圍第 4 項所述之具備列式寫入輔助電路之記憶體電路，其中該被提升之一電壓值為一二極體兩端的電壓差。

6.如申請專利範圍第 1 項所述之具備列式寫入輔助電路之記憶體電路，其中更包括：

至少一讀取字元線；

至少一組複數個讀取電路，上述至少一組複數個讀取電路中之複數讀取電路的一部份對應至上述一系列複數個記憶體單元；以及

至少一讀取輔助電路，上述至少一讀取輔助電路中之一讀取輔助電路與一節點耦合，該節點與上述複數讀取電路的一部份耦合。

7.一種具備列式讀取輔助電路之記憶體電路，包括：

一系列複數個記憶體單元；

至少一讀取字元線；

至少一組複數個讀取電路；上述至少一組複數個讀取電路中之一組複數個讀取電路對應至上述一系列複數個記憶體單元；以及

至少一讀取輔助電路；其中

上述至少一讀取字元線中相對應之一讀取字元線與上述至少一組讀取輔助電路中相對應之一讀取輔助電路以及上述至少一組複數個讀取電路中之該組複數個讀取電路耦合，藉此與相對應之一讀取電路耦合；

上述一列複數個記憶體單元中之一記憶體單元與相對應之該讀取電路耦合；以及

相對應之該讀取字元線被設定為當該記憶體單元操作於一第一記憶模式時將相對應之該讀取輔助電路操作於一第一輔助模式，且當該記憶體單元操作於一第二記憶模式時將相對應之該讀取輔助電路操作於一第二輔助模式。

8.如申請專利範圍第 7 項所述之具備列式讀取輔助電路之記憶體電路，其中：

相對應之該讀取輔助電路包括一第一 N 型金氧半場效電晶體，該第一 N 型金氧半場效電晶體有一第一閘極，一第一汲極，以及一第一源極；

相對應之該讀取電路包括一第二 N 型金氧半場效電晶體以及一第三 N 型金氧半場效電晶體，該第二 N 型金氧半場效電晶體有一第二閘極，一第二汲極，以及一第二源極，且該第三 N 型金氧半場效電晶體有一第三閘極，一第三汲極，以及一第三源極；

相對應之該讀取字元線與該第一閘極以及該第二閘極耦合；

該第一汲極與該第三源極耦合；

該第三閘極與該記憶體單元之一節點耦合；

該第三汲極與該第二源極耦合；以及

該第二汲極與一讀取位元線耦合。

9.如申請專利範圍第 8 項所述之具備列式讀取輔助電路之記憶體電路，其中該第一 N 型金氧半場效電晶體被設定為當相對應之該讀取輔助電路運作於該第一輔助模式時開啟，且當相對應之讀取輔助電路運作於該第二輔助模式時關閉。

10.一種具備列式讀取及寫入輔助電路之記憶體電路，包括：

一列複數個記憶體單元；

一寫入字元線；

一寫入輔助電路，該寫入輔助電路與該寫入字元線以及與上述一系列複數個記憶體單元耦合之一第一節點耦合；

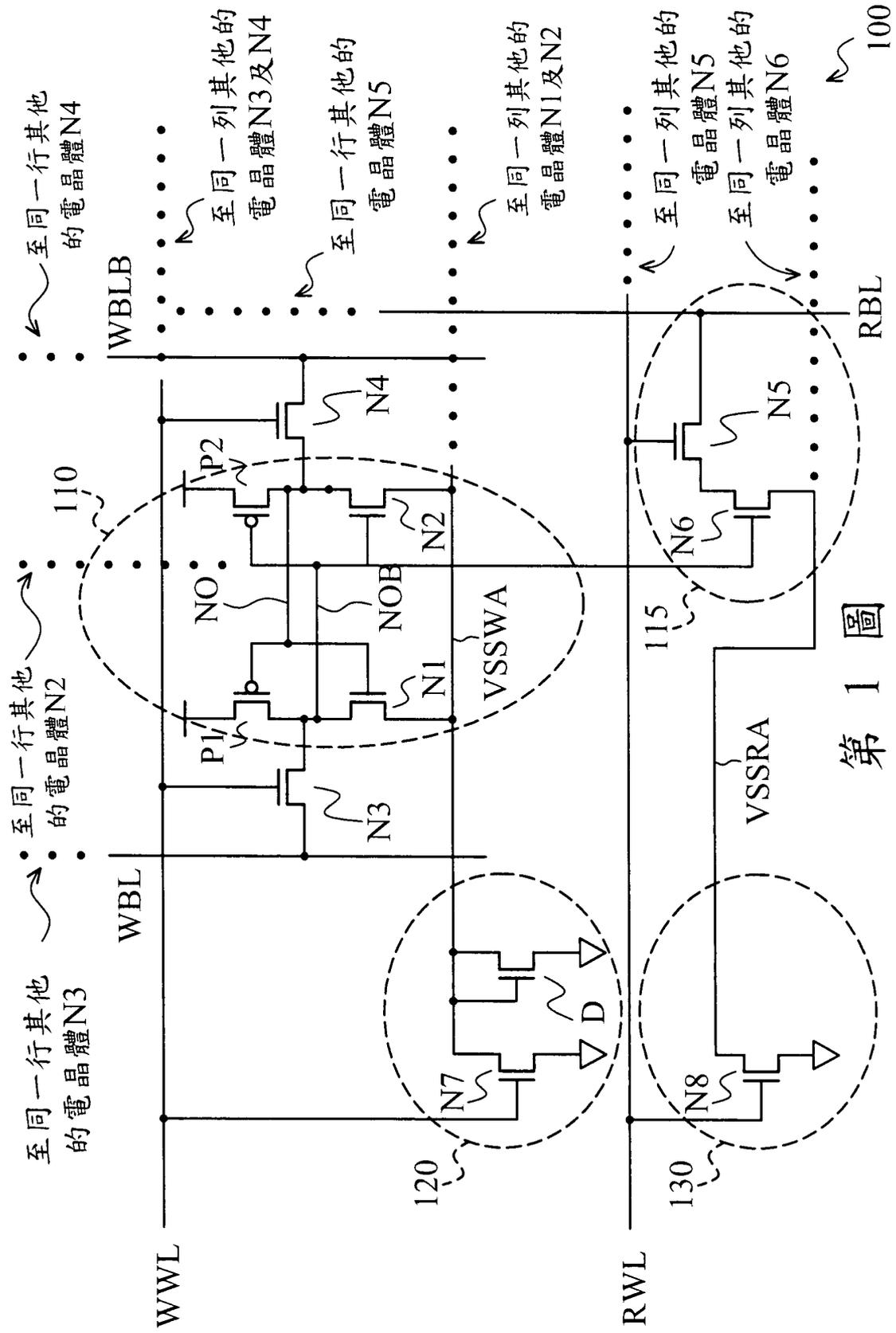
一讀取字元線；

複數個讀取電路，該複數個讀取電路中相對應之一讀取電路對應於上述一系列複數個記憶體單元中一相對應之記憶體單元；以及

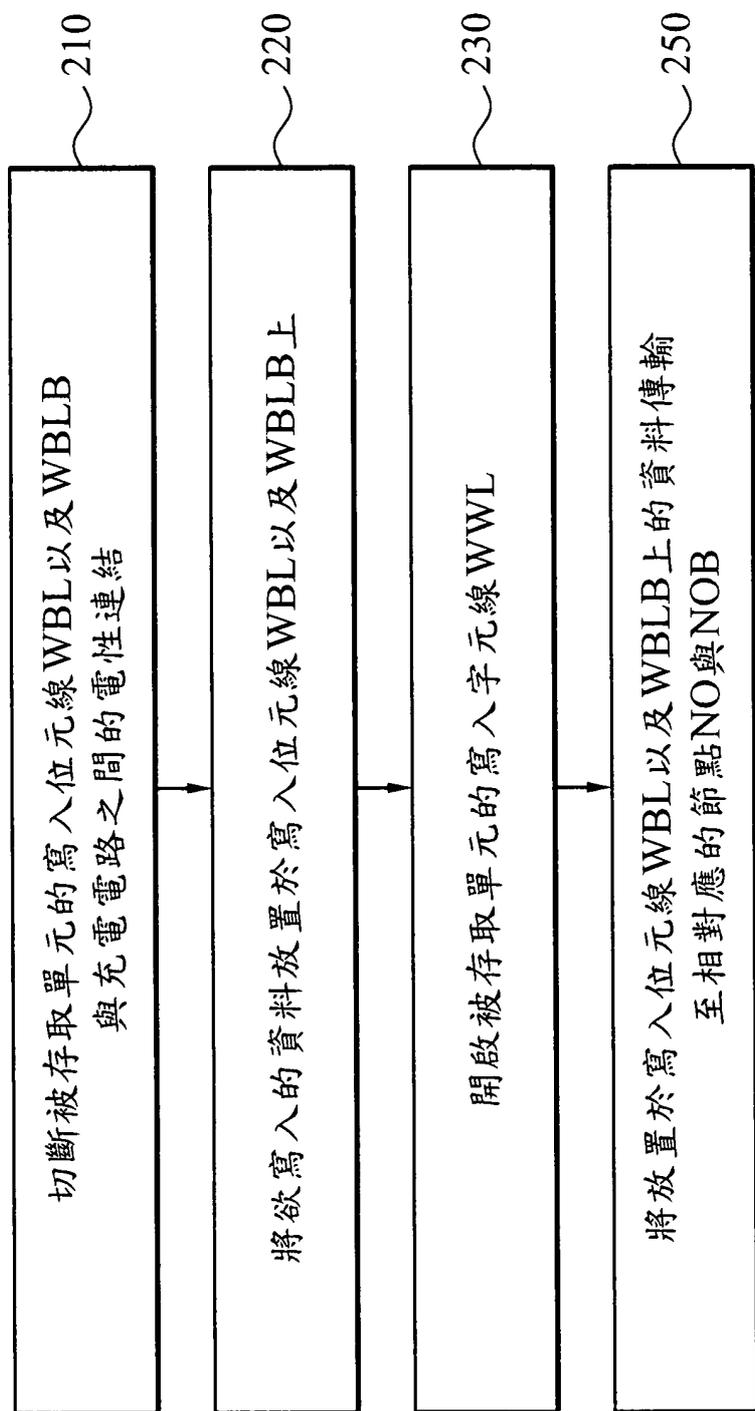
一讀取輔助電路，與該讀取字元線以及與上述複數個讀取電路耦合之一第二節點耦合。

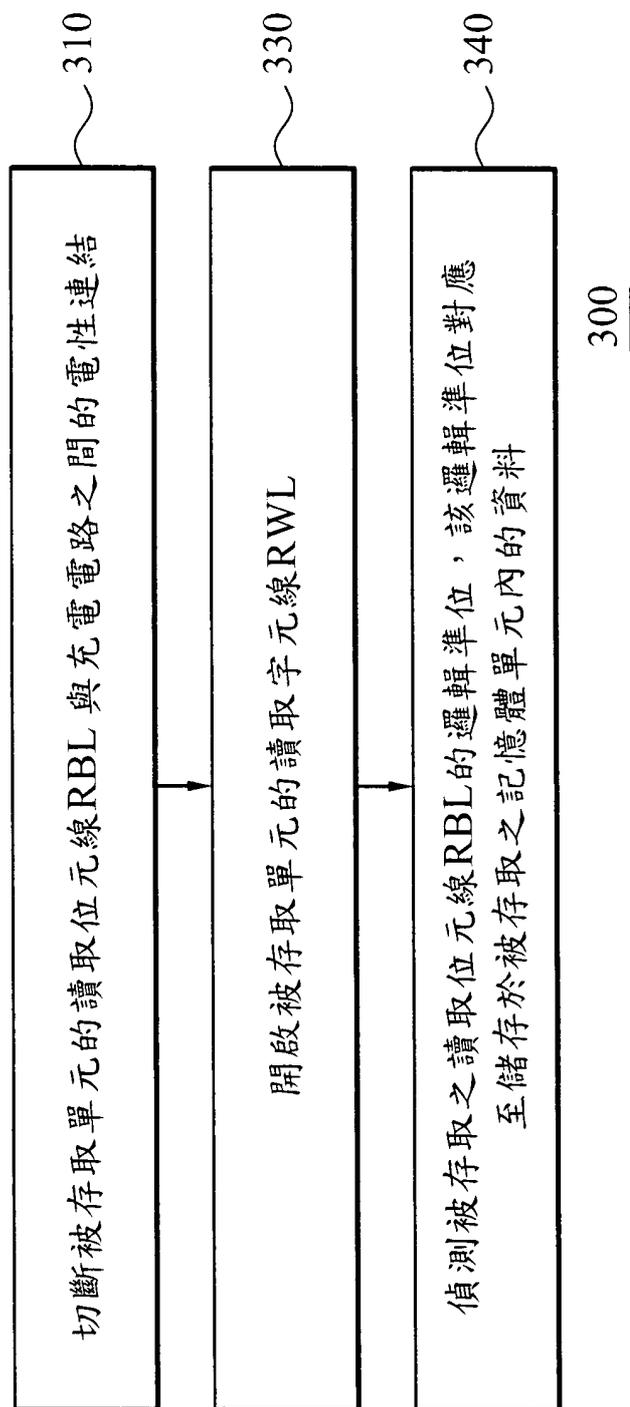
201214432

八、圖式：

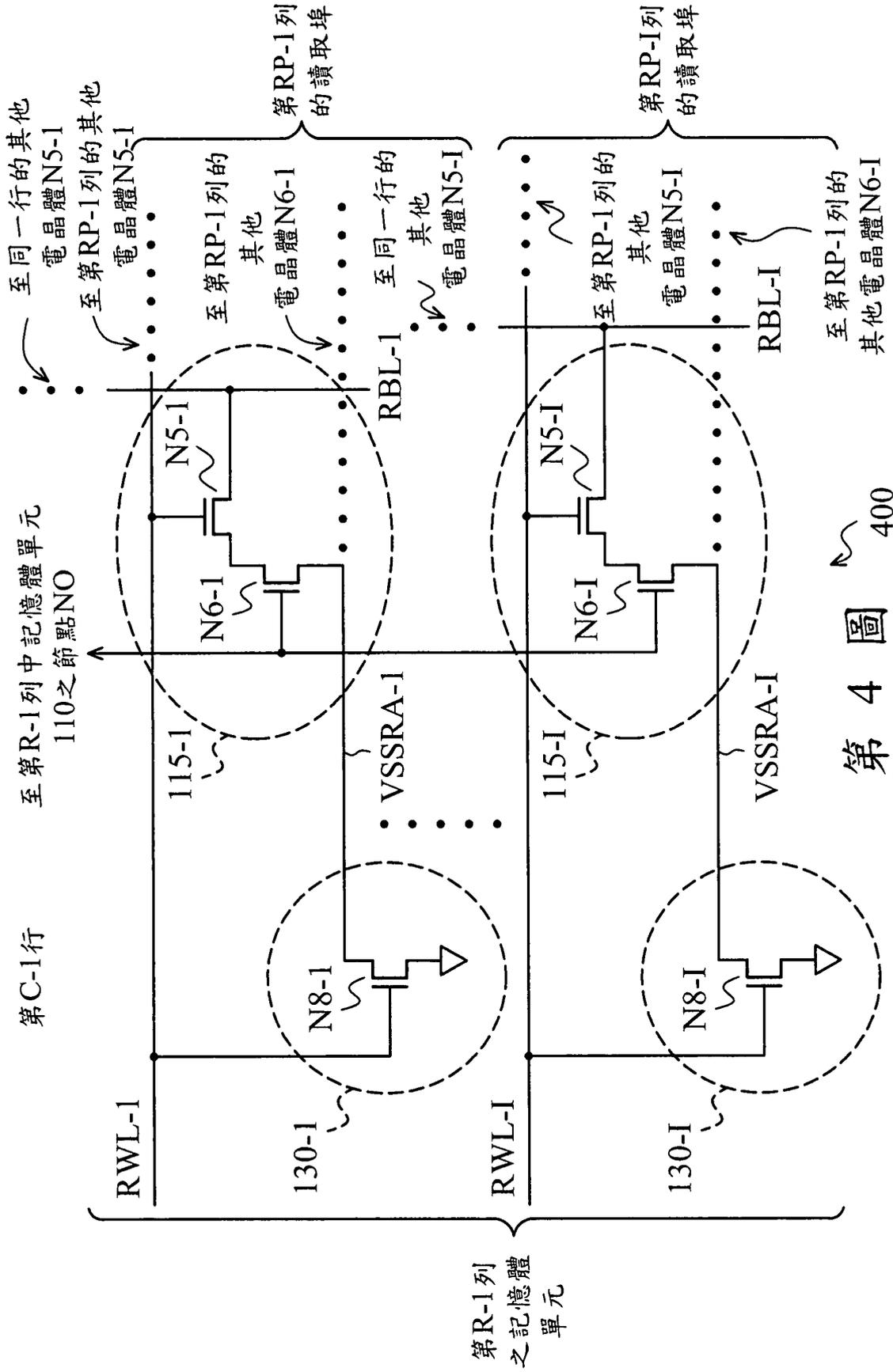


第 1 圖

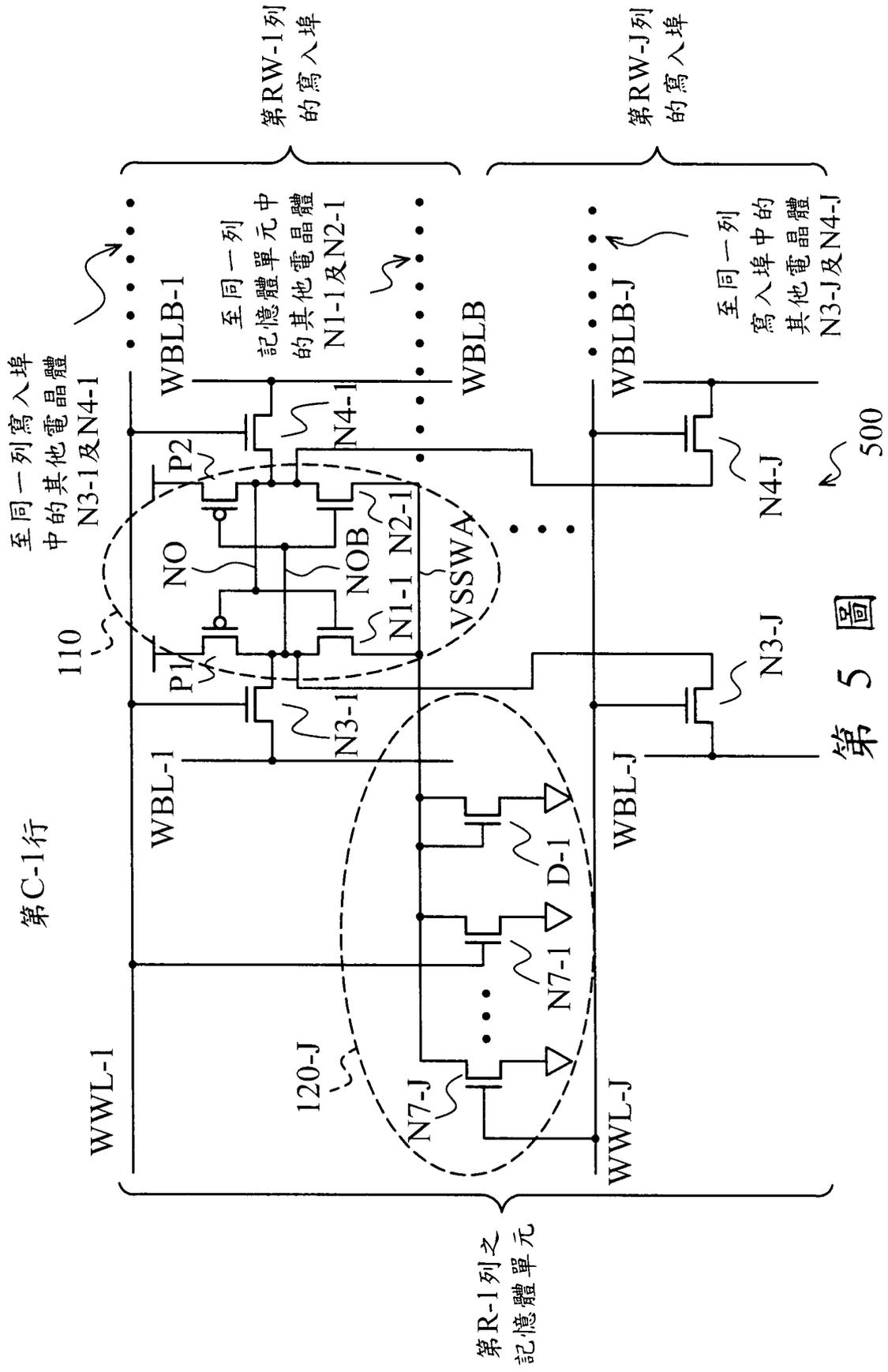




第 3 圖



第 4 圖



四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100~範例電路；

110~記憶體單元；

115~讀取電路；

120~寫入輔助電路；

130~讀取輔助電路；

N1-N8~N型金氧半場效電晶體；

NO~節點；

NOB~節點；

P1-P2~P型金氧半場效電晶體；

RBL~讀取位元線；

RWL~讀取字元線；

VSSRA~節點；

VSSWA~節點；

WBL~寫入位元線；

WBLB~寫入位元線；

WWL~寫入字元線。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：