



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202249543 A

(43)公開日：中華民國 111 (2022) 年 12 月 16 日

(21)申請案號：111112787

(22)申請日：中華民國 111 (2022) 年 04 月 01 日

(51)Int. Cl. : *H05K1/03 (2006.01)* *H05K3/46 (2006.01)*
H05K3/00 (2006.01)

(30)優先權：2021/04/01 美國 63/169,658

(71)申請人：美商泰瑞賽克斯公司 (美國) TERCIRCUITS CORPORATION (US)
美國

(72)發明人：希慈 傑納 SHEATS, JAYNA (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：24 項 圖式數：7 共 44 頁

(54)名稱

用於嵌入式積體電路總成之總成及其用途與製造方法

(57)摘要

本發明描述用於積體電路製造中或在積體電路製造中之總成及層壓板，以及製造及使用方法。該等總成可包含由一釋放層或藉由施加至一多孔基板之真空保持在適當位置之緊密間隔組件及經沈積以囊封該等組件之至少一個嵌入式材料，同時使包括襯墊之該等組件之該側面保持未塗覆，藉此形成該等組件及嵌入式材料之一層壓板。

Assembly and laminates used for or in integrated circuit manufacturing are described, as well as the methods of fabrication and use. The assemblies may include closely spaced components held in place by a release layer or by vacuum applied to a porous substrate, and at least one embedding material deposited to encapsulate the components while leaving the side of the components comprising pads uncoated, thereby forming a laminate of the components and embedding material.

指定代表圖：

符號簡單說明：

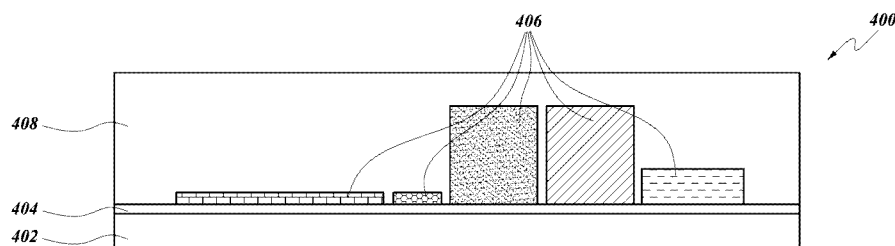
400:總成

402:暫時性基板

404:釋放層

406:組件

408:單層嵌入式材料



【圖4】

【發明摘要】

【中文發明名稱】

用於嵌入式積體電路總成之總成及其用途與製造方法

【英文發明名稱】

ASSEMBLIES USED FOR EMBEDDING INTEGRATED CIRCUIT
ASSEMBLIES, AND THEIR USES AND METHOD OF FABRICATION
THEREOF

【中文】

本發明描述用於積體電路製造中或在積體電路製造中之總成及層壓板，以及製造及使用方法。該等總成可包含由一釋放層或藉由施加至一多孔基板之真空保持在適當位置之緊密間隔組件及經沈積以囊封該等組件之至少一個嵌入式材料，同時使包括襯墊之該等組件之該側面保持未塗覆，藉此形成該等組件及嵌入式材料之一層壓板。

【英文】

Assembly and laminates used for or in integrated circuit manufacturing are described, as well as the methods of fabrication and use. The assemblies may include closely spaced components held in place by a release layer or by vacuum applied to a porous substrate, and at least one embedding material deposited to encapsulate the components while leaving the side of the components comprising pads uncoated, thereby forming a laminate of the components and embedding material.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

400:總成

402:暫時性基板

404:釋放層

406:組件

408:單層嵌入式材料

【發明說明書】

【中文發明名稱】

用於嵌入式積體電路總成之總成及其用途與製造方法

【英文發明名稱】

ASSEMBLIES USED FOR EMBEDDING INTEGRATED CIRCUIT
ASSEMBLIES, AND THEIR USES AND METHOD OF FABRICATION
THEREOF

【技術領域】

【0001】 本發明針對微電子組件之總成之形成。

【先前技術】

【0002】 組件(諸如封裝積體電路、電容器、電阻器及電感器)通常放置於印刷電路板(「PCB」)上，該印刷電路板(PCB)具有多個預形成佈線之層，該佈線終止於著陸襯墊，其繼而由焊料連接至組件。通常，將積體電路(「IC」)封包之輸入/輸出(「I/O」)端子上之焊球或凸塊對準並放置至印刷於PCB上之焊膏上；接著將總成穿過稱為一回焊爐之一爐子，該爐子熔融焊料並允許其形成一接頭。被動組件具有相對較大鍍金屬端子，該等端子類似地對準並放置至PCB上之絲網印刷焊膏圖案上。

【0003】 此方法具有若干缺點。必須將總成加熱至250°C至260°C左右之一溫度以熔融焊料(例如，諸如「SAC」之一焊料，其具有96.5% Sn、3% Ag及0.5% Cu之一常見組成物)並隨後允許其在襯墊上方自由流動，其中施加高於220°C之溫度達一分鐘或更長。當電路板冷卻時，歸因於不同材料(例如焊料、PCB中之聚合物、特別係Cu及Si)之熱膨脹係數(CTE)非常不同，產生嚴重應力。Si之CTE為2.7 ppm/°C，Cu為17

ppm/°C，SAC約為23 ppm/°C，FR4（其係用於PCB構造之一系列二氧化矽填充環氧樹脂複合材料之一名稱）約為14 ppm/°C至16 ppm/°C，且底部填充聚合物及/或各種環氧樹脂在接近環境溫度之約為15 ppm/°C與30 ppm/°C以上（其可實質上更高高於其玻璃化轉變溫度）。歸因於焊料接頭斷裂或焊料自組件（例如IC）襯墊分層，此等應力可且經常確實導致電路故障。在使用中之熱循環期間出現進一步故障機會，例如，歸因於其運行發熱，IC溫度可升至85°C或更高。

【0004】 因而，不減輕此等缺點及故障點之架構及製造方法可為有益的。

【發明內容】

【0005】 為了總結本發明及相對於習知技術達成之優點，本文描述本發明之特定目的及優點。並非所有此等目的或優點可在任何特定實施例中達成。因此，例如，熟習此項技術者將認識到，本發明可依達成或最佳化如本文所教導之一個優點或群組之優點之一方式來體現或執行，而不必達成本文中可教導或建議之其他目的或優點。

【0006】 在一個態樣中，揭示一種用於積體電路製造之總成。該總成包括：一基板；一釋放層，其安置於該基板上方；複數個組件，其安置於該釋放層上方，其中該複數個組件各包括與該釋放層接觸之一主動面；及一嵌入式材料層，其囊封該複數個組件。

【0007】 在一些實施例中，該等組件之該等主動面之各者實質上不接觸該嵌入式材料。在一些實施例中，該嵌入式材料層包括複數個嵌入式材料子層。在一些實施例中，該嵌入式材料層包括一汞齊。在一些實施例中，該汞齊係具有約-5 ppm/°C至約5 ppm/°C之一CTE之一低CTE汞齊。

在一些實施例中，該汞齊包括一基質金屬、一合金金屬及一低CTE材料。在一些實施例中，該基質金屬包括Ga。在一些實施例中，該合金金屬選自由Cu、Ni、Ag、Ce及其組合組成之群組。在一些實施例中，該低CTE材料選自由 ZrW_2O_8 、 HfW_2O_8 、 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 及其組合組成之群組。在一些實施例中，該汞齊進一步包括選自由一額外低CTE材料、一鈍化材料、一液體、一還原劑及其組合組成之群組之一元件。在一些實施例中，該釋放層包括定位於該釋放層與該複數個組件之至少一個組件之間的一底切區。在一些實施例中，該底切區包括一沈積材料。在一些實施例中，該基板包括孔。

【0008】 在另一態樣中，描述製造該總成之一程序。該程序包括：將該複數個組件沈積至該釋放層上，其中該釋放層安置於一基板上方；及用一嵌入式材料層包裹該複數個組件。

【0009】 在一些實施例中，用該嵌入式材料層包裹該複數個組件藉由一噴塗程序執行。

【0010】 在另一態樣中，描述一種將一總成整合至一積體電路中之程序。該程序包括：將一釋放層與由一總成之一嵌入式材料層囊封之複數個組件分離以形成一層壓板；及在該複數個組件之各暴露表面上方沈積一互連材料以形成一佈線層壓板。

【0011】 在一些實施例中，該程序進一步包括將該佈線層壓板放置至一器件中，並將該佈線層壓板電連接至該器件。

【0012】 在另一態樣中，描述一種用於整合至一電路器件中之層壓板。該層壓板包括：複數個組件，各包括複數個囊封表面及一暴露表面；及一嵌入式材料，其囊封該複數個組件之該複數個囊封表面。

【0013】 在一些實施例中，該等暴露表面之各者包括一襯墊。在一些實施例中，該等暴露表面之各者實質上彼此共面。在一些實施例中，該層壓板進一步包括安置於該等暴露表面之各者上方之互連材料。在一些實施例中，該嵌入式材料包括一汞齊。在一些實施例中，該汞齊包括一基質金屬、一合金金屬及一低CTE材料。在一些實施例中，該汞齊係具有約-5 ppm/°C至約5 ppm/°C之一CTE之一低CTE汞齊。

【圖式簡單說明】

【0014】 本發明之此等及其他特徵、態樣及優點參考特定實施例之附圖來描述，該等附圖旨在繪示特定實施例而不限制本發明。

【0015】 圖1係描繪一錄汞齊在不同溫度下之硬化動力學之一線圖。

【0016】 圖2係用於一汞齊之噴霧沈積之一噴霧器系統及使用方法之一圖示說明。

【0017】 圖3係可用於一汞齊之噴霧沈積之一噴霧器之一圖示說明。

【0018】 圖4係根據一些實施例之具有囊封組件之一嵌入式材料之一總成之一圖示說明。

【0019】 圖5係根據一些實施例之具有囊封組件之多個嵌入式材料之一總成之一圖示說明。

【0020】 圖6係根據一些實施例之沈積在組件下方之底切區中之嵌入式材料之一總成之一圖示說明。

【0021】 圖7係根據一些實施例之具有沈積在組件上之嵌入式材料及一多孔基板之一總成之一圖示說明，其中一真空施加至多孔基板。

【實施方式】

[以引用任何優先權申請案的方式併入]

【0022】 在與本申請案一起申請之申請資料表或請求中識別一外國或國內優先權請求之任何及所有申請案藉此以引用的方式根據 37 CFR 1.57 及規則 4.18 及 20.6 併入。2021 年 4 月 1 日申請之美國臨時申請案第 63/169658 號之全部內容以引用的方式併入。

【0023】 儘管下文描述特定實施例及實例，但熟習此項技術者將瞭解本發明超出具體揭示之實施例及/或用途及其明顯修改及等效物。因此，期望本文中所揭示之本發明之範疇不應受以下描述之任何特定實施例之限制。

【0024】 提供包括組件之總成及層壓板，以及其等用途及製造方法。總成可包含由一釋放層或藉由施加至一多孔基板之真空保持在適當位置之緊密間隔組件及經沈積以囊封組件之至少一個嵌入式材料，同時使包括襯墊之組件之側面保持未塗覆，藉此形成組件之一層壓板及嵌入式材料。一旦形成層壓板，其可與基板及釋放層分離以進一步處理，諸如添加互連及/或整合至一器件中。可選擇嵌入式材料以具有良好 CTE、電絕緣/導電及/或導熱性質。另外，此等總成可包含使一個組件與另一組件絕緣之一沈積材料。

【0025】 在具有經定大小用於焊料絲網印刷之著陸襯墊之一預佈線 PCB 上放置組件相對難以以小於約 50 μm 之解析度印刷。此外，在此一程序中使用通常由軋製銅箔(例如以 17 μm 或 35 μm 之一厚度)圖案化之佈線通常導致組件之間的 I/O 端子分離至少一毫米。即使使用晶片級封裝 (CSP)，其中封裝最多為裸晶粒之 1.3 倍大，自一 I/O 電晶體端子至最近組

件(例如一旁通電容器)可能有至少1 mm之一距離。更常見的是，兩個IC之端子之間的距離可為幾釐米。組件之間的此等間隔距離伴隨電阻損耗，以及IC附近之非所要電感。

【0026】此外，互連之大小可受所使用之圖案化技術之影響。用於圖案化銅層之程序(其利用相對較大縱橫比，其中通常跡線比其等之高更寬以便通過各向同性濕蝕刻來達成令人滿意之幾何形狀)迫使互連跡線寬幾十微米(例如通常在至少千分之二或三英寸或更多)。此互連限制繼而增加面密度及所需之互連層之數目。

【0027】除橫向相對較大之外，所得結構既厚又剛性(例如，PCB通常約1 mm厚，且封裝IC約為0.5 mm厚度或更大)。此外，歸因於使用導熱率約為矽之0.01%之有機聚合物，透過IC封裝材料及PCB之散熱相對較差。

【0028】類似問題出現在用於封裝積體電路之程序中。習知上，在單片化一經處理晶圓之後，由一拾放機將一裸Si晶粒放置在一封裝基板上，其類似於一PCB可具有預形成佈線以將IC之I/O襯墊連接至相對於IC之I/O襯墊通常更大且間隔更寬之封裝之I/O襯墊。在形成互連(例如藉由焊料回焊、引線接合或其他技術)之後，可藉由注塑成型將晶粒及其基板及佈線囊封於一保護性聚合物中。許多相同問題(例如材料CTE之不匹配及互連之額外長度)亦存在於此等程序中。

【0029】在解決一些此等問題之一嘗試中，一些人利用一重組晶圓，其中來自不同源晶圓之矽晶粒使用一釋放層型黏著劑放置在一暫時性基板上，且以晶圓形式嵌入於環氧樹脂模製材料中。接著將此一「重組晶圓」自基板釋放且在形成最終封裝多晶粒產品之前進一步處理以添加互

連。已產生此概念之若干變體，包含由STATSChipPAC、Amkor、ASE及其他公司之變體。然而，環氧樹脂封裝仍導致實質CTE不匹配，且結構容易受來自此等因素之很大程度之翹曲之影響。散熱亦係一問題。封裝多晶粒系統仍必須與其他封裝IC及組件一起放置在PCB上，具有與已描述相同之問題。

【0030】一期望架構將為以下一者：其中由一電路所需之所有IC及其他組件，無論其大小如何，盡可能以裸露形式靠近地放置在一起(例如，較佳地，其等之間不超過幾微米)且除一個表面(例如底面)之外，所有表面由一導熱嵌入式媒體或材料包圍，其CTE類似於Si且其表面與IC共面。IC將很薄(例如小於50 μm)，其將使產品變薄，且在一些實施例中可撓。由於難以使可固化材料均勻地流入幾微米寬及250 μm 高之一空間中，因此此薄度可促進製作一連續之嵌入式或囊封層。另外，部分歸因於材料之CTE不匹配，薄度最小化在法線方向上至IC之應力，且一薄但高導熱嵌入式媒體允許有效熱移除。

【0031】在IC彼此在幾微米內放置之情況下，互連跡線可藉由直接在嵌入式媒體之平坦表面上製造其等而有利地形成，其中大小與各IC內互連之最後一層大致相同。兩個或更多個此等IC，或具有一些相對較小被動組件之IC，將有效地充當一個大IC。歸因於產量減少及光微影設備之大小限制，此一架構難以或不可能利用光微影製造。取決於特定電氣要求，連接不直接相鄰之兩個I/O襯墊之跡線之寬度及厚度可大於連接相鄰襯墊之跡線之寬度及厚度。然而，兩個I/O襯墊之此等跡線將仍比常見PCB跡線相對更小，因為電流傳輸之距離更小。例如，由於IC中之頂層互連約為2 μm 厚及4 μm 至5 μm 寬，此等組件間跡線將比傳統技術小一個數量級或

更小，其將允許歸因於更短跡線之更緊湊佈線並進一步節省電路面積，提高電氣效能。

【0032】 一旦製造所需數目個互連層(由介電層分離)，層壓板可由一或多個保護層囊封以使其準備好用於一產品中。此等層通常將根據特定要求選擇，且可使用本技術眾所周知之材料形成，諸如金屬(例如鋁或銅)、陶瓷(例如氧化物及氮化物)、聚醯亞胺、聚酯(諸如聚對苯二甲酸乙二酯)、聚氨酯等。若需要，可由金屬跡線提供至其他組件之連接，該等金屬跡線終止於基板之邊緣處且不由最終封裝覆蓋，或通過可透過保護性囊封形成之通孔。由於根據本發明可在一個單元中製造完整功能電路，因此可需要相對較小數目個I/O連接。

【0033】 此一結構可用於任何程度之整合，自習知上含於單晶片內之電路至當前佔據大PCB之電路。一個應用係所謂「多晶粒封裝」或「系統級封裝」器件，其可在一個封裝中含有幾個甚至若干IC晶粒，但其仍意欲與其他封裝一起放置在一習知PCB上以形成最終功能系統。另一應用係相對較大及複雜晶片，諸如高端微處理器、場可程式化閘陣列及其類似者。此等可由「小晶片」製成，該等小晶片可不單獨起作用，因為其等係一功能IC之子單元且適當地組合以形成一自立電路。例如，此等子單元可為一微處理器之一方塊圖之元件(例如，核心、I/O部分、直接記憶體存取(「DMA」)控制器、時序部分等等)。此一架構之優點包含通過改良一特定子系統而不必為整個晶片製作全新遮罩來輕鬆升級一系統之能力、快速設計一新系統之能力及/或降低功耗及歸因於長互連跡線之信號退化之能力。

【0034】 在一些實施例中，將一嵌入式材料流體塗覆在安置於一暫

時性釋放層上方之一組組件上方，其中流體滲透組件之間的微米級間隙且可在低溫下固化成一固體(例如可撓性固體)嵌入式材料及囊封組件。可選擇流體及固體組成物以具有與矽相當或緊密匹配之一導熱率及CTE，且可為導電或絕緣。

【0035】 釋放層及其等之使用方法在美國專利案第6,946,178號及美國專利案第7,141,348號中討論，該等案以引用的方式併入本文中用於所有目的。觸發程序可用於自釋放層分離組件。如美國專利案第6,946,178號中所描述，觸發程序包含在一單一步驟中將釋放層暴露於熱及光以降解釋放層。用光(例如光化光)照射可用於選擇性地啟動使用者希望轉移之一組件下方之一釋放層之一化合物(例如聚合物)，同時使相同基板上之其他組件保持未啟動。將釋放層之化合物(亦指稱一數位釋放材料(例如數位釋放黏著劑(「DRA」)))加熱至一合適溫度(例如小於約150°C)可導致釋放層蒸發並釋放組件，同時使未啟動器件仍附接至供體基板。藉由此方法，組件可由釋放層緊密地保持在適當位置，同時一嵌入式材料在除面向釋放層之側之外之所有側上囊封組件，且隨後釋放層可分解以轉移總成及/或暴露組件之一非囊封側用於互連應用。在一些實施例中，轉移程序包含光聚合物組件總成(「PCA」)及光誘導正向轉移(「LIFT」)。

【0036】 在一些實施例中，嵌入式材料包括銻及另一金屬(例如銅及/或鎳)顆粒之一汞齊混合物。此等汞齊在第一次混合時可為流體，但隨著元素相互擴散，形成一高熔點固體。例如，約65% Ga、30% Cu及5% Ni之一合金之熔點在500°C以上熔融，但在環境溫度(例如約25°C或約30°C)下自一流體混合物凝固。例如，美國專利案第5,053,195號及「Amalgams for Improved Electronics Interconnection」，IEEE Micro，第46至58

頁，1993中描述此等汞齊，該等案之各者之全部內容以引用的方式併入用於所有目的。

【0037】 一些流體汞齊可需要若干天用於在沒有加熱之情況下發生完全硬化。圖1描繪一鎳汞齊(5% Ni、30% Cu)之硬化動力學。然而，具有類似於圖1中所描繪之硬化結果之此等鎳汞齊通常利用具有在微米至幾十微米範圍內之平均粒徑之粉末。儘管已發表證據(例如，T. Okabe及R.J. Mitchell，在*口腔及生物醫學之批判性評論*，第7卷，第23至35頁之「Setting Reactions In Dental Amalgam Part 2. The Kinetics Of Amalgamation」中)液態金屬原子在汞齊中沿晶界相對較快擴散，但已證明較小顆粒將導致更均勻混合(例如，A. B. Shubin等人，*缺陷及擴散論壇*第283至286卷(2009)第238至242頁之「The Diffusion of Gallium into Copper-Tin Alloy Particles」)。可沒有使用此等較小顆粒，因為混合物趨向於硬化得太快而無法自研鉢及研杵或汞齊機膠囊轉移，此等汞齊前體在其中形成，且因此難以處置。

【0038】 為了避免過早硬化並允許使用亞微米顆粒(例如奈米級顆粒)，在一些實施例中，顆粒可在一超音波混合器或噴射裝置中混合。在超音波噴塗機(例如，由紐約州米爾頓之Sono-tek公司製造之塗料機)中，液體原料在即將塗覆之前由一超音波噴霧器轉化成氣溶膠。圖2描繪如美國專利第6,358,567號中所討論之用於噴霧沈積之此一噴塗裝置(即噴霧器)，該專利案之全部內容以引用的方式併入用於所有目的。系統包括自一液體泵4泵送至一超音波換能器6之液體2，該超音波換能器6用於在液體中引起振動以將經噴射液體分解成小(例如亞微米大小之)一氣溶膠液滴，該等液滴噴射至安置於一加熱器之上之一基板8上。有許多替代方法

用於製造多種顆粒類型之一氣溶膠噴霧。在一些實施例中，液體可包括存在於一混合物(例如溶液)中之金屬顆粒。例如，大多數金屬(例如Cu及Ni)彼此之間之反應性不比其等對自身之反應性更強。因此，若金屬顆粒已經穩定以防止結塊，則金屬顆粒可組合於一單一溶液或分散體中，並提供至所需氣溶膠顆粒流。在一些實施例中，液體包括一鈍化材料。在一些實施例中，金屬顆粒包括一鈍化層。

【0039】 在一些實施例中，不同液體流可在其等進入噴霧器時組合，以便使不同顆粒彼此暴露之時間量最小化。圖3示意性地描繪來自Sono-Tek公司之一商業噴霧器300，其中組合兩個輸入流。噴霧器300包含包括一微孔管304之一液體A進料通道302及包圍液體A進料通道302及微孔管304且包裹於一外殼314中之一液體B進料通道306。在噴霧器300之遠端處，液體A 308及液體B 310在一霧化表面312處組合並噴出噴霧器300。在一些實施例中，氣流可用於將氣溶膠顆粒流自單獨液體流引導朝向彼此，以便混合其等。例如，由Sono-tek在一些噴塗噴嘴中使用此等成形流，且成形流之一些態樣在全部內容以引用的方式併入之美國公開案第2010/0078496號中揭示。其他噴射系統(諸如由Optomec (Albuquerque, NM)、nScript (Orlando, FL)或其他者製造之系統)可用於形成奈米顆粒流用於混合及沈積。在一些實施例中，流或液體可包含不同量之溶劑。在一些實施例中，溶劑可為一低沸點溶劑，使得其一旦自一表面沈積則快速蒸發。在一些實施例中，溶劑可有助於在沈積表面上產生一均勻、緊密堆積之顆粒分佈。在其中此等系統中之液滴速度為幾、幾十或幾百米/秒(例如1米/秒至900米/秒)之數量級之一些實施例中，分配器尖端與基板之間的距離為約幾毫米且在最多幾毫秒內橫越，因此允許使用相對較小金屬顆

粒而不硬化在沈積之前形成之汞齊。

【0040】金屬(例如鎵)奈米顆粒可藉由多種方法合成。M.F. Meléndrez等人在膠體及介面科學雜誌，第346卷，第279至287頁(2010)(其全部內容以引用的方式併入用於所有目的)中描述一種用於合成鎵奈米顆粒之實例方法。由於Ga之熔點約為29°C，因此顆粒可保持為固體形式或以一液體輸送。在一些實施例中，Ga可由如本文中所描述之一超音波噴霧器與奈米顆粒金屬混合，其允許在混合之後幾毫秒或更短時間內沈積。在一些實施例中，可沈積Ga及其他奈米顆粒之交錯薄層。在一些實施例中，將所得Ga及其他奈米顆粒之交錯薄層之膜加熱以熔融Ga並促進顆粒在流體基質中之一均勻分佈之形成，或使流體佔據空隙。

【0041】在一些實施例中，金屬奈米顆粒經穩定以防止結塊，因為許多裸露金屬表面係易生反應的且趨於黏附至其他類似表面。可在低溫下移除之薄鈍化塗層之實例係已知的且係可商購。例如，Cu之一鈍化塗層由位於紐約州Rochester之Zerovalent NanoMetals製造，或金屬顆粒之外表面可經氧化以形成一鈍化塗層。在一些實施例中，還原劑可用於移除金屬顆粒表面上形成之氧化物。在一些實施例中，一形成氣體(例如，N₂中4% H₂及/或甲酸)可用於一施加器件(例如噴霧器)之氣流中或以一單獨氣流施加至沈積表面。

【0042】儘管描述超音波氣溶膠產生器及其相關聯噴霧沈積，但亦可利用形成及沈積奈米顆粒混合物之其他方法。例如，顆粒表面之合適鈍化可藉由氧化物形成及/或相對不穩定之有機配體之附著來達成。在一些實施例中，相對不活潑之顆粒之溶液或懸浮液可在一裝置(例如一快速混合裝置)中與Ga顆粒之一溶液或懸浮液混合，且接著藉由多種技術之一者

(例如，噴霧塗佈、縫模(即彎月面)塗佈及超音波塗佈及在壓力下噴射(例如噴墨印刷))沈積。保護性鈍化可藉由加熱、化學處理(例如形成氣體、甲酸等等)及/或光解來移除。

【0043】 儘管圖1展示在不將物體加熱至高於環境溫度(即約25°C)的情況下可形成一高熔點固體，但加熱汞齊混合物(例如，至約85°C或100°C)以更快地完成固化可為有利的。由於電子產品之正常運行，電子產品通常經歷此等溫度，且因此電路在任何情況下可偏離此等值。在一些實施例中，汞齊之CTE與電路材料(例如Si)匹配或實質上匹配以減輕或防止此等偏離相對於典型架構造成損害。

【0044】 在一些實施例中，使用一低CTE汞齊。在一些實施例中，汞齊(例如低CTE汞齊)包含一基質金屬及一合金金屬。在一些實施例中，汞齊(例如低CTE汞齊)進一步包含一低CTE材料。在一些實施例中，汞齊(例如低CTE汞齊)包括約、至少或至少約40 wt.%、45 wt.%、50 wt.%、55 wt.%、60 wt.%、65 wt.%、70 wt.%、75 wt.%、80 wt.%、85 wt.%、90 wt.%、92 wt.%或95 wt.%或其等之間的任何值範圍之一基質金屬量。在一些實施例中，基質金屬包括Ga。在一些實施例中，合金金屬選自Cu、Ni、Ag、Ce及其組合。在一些實施例中，低CTE材料選自 ZrW_2O_8 、 HfW_2O_8 及/或 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 。在一些實施例中，低CTE汞齊進一步包含一額外低CTE材料。在一些實施例中，額外低CTE材料選自 SiO_2 、 Si_3N_4 、 Al_2O_3 、Si、其等之非化學計量形式及其組合。在一些實施例中，汞齊(例如低CTE汞齊)進一步包含一鈍化材料。在一些實施例中，汞齊(例如低CTE汞齊)進一步包含一液體(例如溶劑)。在一些實施例中，液體係一低黏度液體。在一些實施例中，汞齊(例如低CTE汞齊)進一步包含一還原

劑。

【0045】 在一些實施例中，汞齊(例如Ga汞齊)之CTE為約15 ppm/°C至20 ppm/°C，且可取決於汞齊之特定組成物而變化。在一些實施例中，可期望較低CTE值。存在一些材料，其CTE非常接近於零(即小於Si)，且在一些情況下甚至為負值。例如，二氧化矽(SiO₂)具有約0.5 ppm/°C之一CTE。因此，在一些實施例中，二氧化矽及汞齊以適當比例之一混合物可降低CTE，使其更接近所需值。儘管通常一混合物之CTE並不精確地等於組分之質量加權平均值，但在一廣泛範圍之組成物範圍內，質量分數與CTE之間的關係通常接近線性或大致線性。在一些實施例中，汞齊具有或約為-25 ppm/°C、-20 ppm/°C、-19 ppm/°C、-18 ppm/°C、-17 ppm/°C、-17 ppm/°C、-16 ppm/°C、-15 ppm/°C、-14 ppm/°C、-13 ppm/°C、-12 ppm/°C、-11 ppm/°C、-10 ppm/°C、-9 ppm/°C、-8 ppm/°C、-7 ppm/°C、-6 ppm/°C、-5 ppm/°C、-4 ppm/°C、-3 ppm/°C、-2 ppm/°C、-1 ppm/°C、-0.75 ppm/°C、-0.5 ppm/°C、-0.25 ppm/°C、-0.1 ppm/°C、0 ppm/°C、0.1 ppm/°C、0.25 ppm/°C、0.5 ppm/°C、0.75 ppm/°C、1 ppm/°C、1.5 ppm/°C、2 ppm/°C、2.5 ppm/°C、3 ppm/°C、4 ppm/°C、5 ppm/°C、6 ppm/°C、7 ppm/°C、8 ppm/°C、9 ppm/°C、10 ppm/°C、11 ppm/°C、12 ppm/°C、13 ppm/°C、14 ppm/°C、15 ppm/°C、16 ppm/°C、17 ppm/°C、18 ppm/°C、19 ppm/°C、20 ppm/°C或25 ppm/°C或其等之間的任何值範圍之一CTE。

【0046】 一負CTE之一個實例由ZrW₂O₈提供，約為-7.2 ppm/°C。為了使具有負CTE及正CTE之材料之混合物在兩種個別化合物之CTE之間具有一淨值而不經歷不期望應力，化合物之顆粒應盡可能小(例如奈米顆

粒)。已合成 ZrW_2O_8 之奈米顆粒(例如，參閱 H.Wu，「Physical and Thermal Properties of Zirconium Tungstate Nanoparticles with Different Morphologies from Hydrothermal Synthesis」，MS論文，愛荷華州立大學，2012年；及「Optical and Dielectric studies in zirconium(IV) tungstate nanoparticles prepared by chemical co-precipitation method」，*J. Iranian Chem. Res.* **5** (2) (2012) 109-118)。

【0047】為了可用作微電路之一嵌入式材料層，一複合汞齊材料應較佳在由電路組件耐受之溫度下形成一均勻固體。 ZrW_2O_8 在超過 1000°C 之溫度下燒結且因此單獨使用或與其他耐火材料組合使用可為不實用。如由美國專利案第6,132,676號所描述，此問題實際上阻止低CTE材料或零CTE材料用於許多應用中。然而，藉由將適當量 ZrW_2O_8 混合至一Ga汞齊前體中，可在低溫及低壓(例如，大氣壓力及低於 150°C 或低於 100°C 之溫度)下形成一均勻固體。可依相同方式添加其他組成材料，條件係汞齊組成物包含足夠初始液態Ga以填充固體顆粒之間的空隙。由相同大小之球形顆粒之一均勻陣列中之自由體積約為總體積之33%，取決於填料。然而，藉由組合多峰分佈，可實質上減少自由體積。例如，對於三個粒徑，剩餘自由體積可約為4%至5%。

【0048】作為一陶瓷材料之 ZrW_2O_8 之導熱率不如一典型金屬或一元素晶體(諸如矽)高。根據C.A. Kennedy等人，在固態通信第134卷，第271至276頁(2005)中，其約為 $1\text{ W/m}\cdot\text{K}$ ，較Si為 $149\text{ W/m}\cdot\text{K}$ 且Cu為 $401\text{ W/m}\cdot\text{K}$ 。然而，取決於特定組成物，汞齊(例如Ga汞齊)可具有遠高於單獨之基質金屬(例如Ga)(Ga之導熱率為 $40.6\text{ W/m}\cdot\text{K}$)之導熱率。 ZrW_2O_8 及Cu之一1:1體積混合物，壓縮至3 GPa且接著加熱至 500°C ，X.Li等人能夠為

一 Ga 汞齊獲得 165 W/m·K 之一導熱率(「High-pressure and high-temperature synthesis and study of the thermal properties of $\text{ZrW}_2\text{O}_8/\text{Cu}$ composites」；物理B：凝聚態物理，第487卷，第27至41頁(2016))。因此，使用使用汞齊(例如Ga汞齊)可獲得至更親密介面接觸，可在一基質中達成與矽之CTE及導熱率接近之CTE及導熱率兩者。在一些實施例中，Ga汞齊包括Ga-M及一負CTE材料(例如 ZrW_2O_8)，其中「M」表示一或多個金屬原子。在一些實施例中，M選自Cu、Ni、Ag、Ce及其組合。在一些實施例中，負CTE材料選自 ZrW_2O_8 、 HfW_2O_8 及/或 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 。在一些實施例中，Ga汞齊進一步包括一低CTE材料。在一些實施例中，低CTE材料選自 SiO_2 、 Si_3N_4 、 Al_2O_3 、Si、其等之非化學計量形式及其組合。

【0049】 儘管基質金屬(例如Ga)通常與許多其他元素形成合金，但基質金屬可不與所有其他元素混合。例如，Si在Ga中之溶解度約為 10^{-7} 原子%。在一些實施例中，對於所需機械性質，不同微晶之間的介面應盡可能強。在一些例項中，基質金屬之合金(例如Ga)可不與氧化物(例如 ZrW_2O_8)形成明確且牢固鍵合。然而，藉由使用原子層沈積對奈米顆粒進行塗覆，可使奈米顆粒更適合彼此形成合金，其係一種特別適於在許多金屬與氧之間形成特定鍵合之技術。在一些實施例中，基質金屬具有為、約、至多或至多約5 nm、10 nm、15 nm、20 nm、25 nm、30 nm、35 nm、40 nm、50 nm、60 nm、70 nm、80 nm、100 nm、150 nm、200 nm、250 nm、300 nm、400 nm、500 nm、600 nm、700 nm、800 nm、900 nm或1000 nm或由其等之間的任何值範圍界定之一粒徑分佈之一D50平均粒徑。在一些實施例中，合金金屬具有為、約、至多或至多約5 nm、10 nm、15 nm、20 nm、25 nm、30 nm、35 nm、40 nm、50 nm、

60 nm、70 nm、80 nm、100 nm、150 nm、200 nm、250 nm、300 nm、400 nm、500 nm、600 nm、700 nm、800 nm、900 nm或1000 nm或由其等之間的任何值範圍界定之一粒徑分佈之一D50平均粒徑。在一些實施例中，低CTE材料具有為、約、至多或至多約5 nm、10 nm、15 nm、20 nm、25 nm、30 nm、35 nm、40 nm、50 nm、60 nm、70 nm、80 nm、100 nm、150 nm、200 nm、250 nm、300 nm、400 nm、500 nm、600 nm、700 nm、800 nm、900 nm或1000 nm或由其等之間的任何值範圍界定之一粒徑分佈之一D50平均粒徑。在一些實施例中，額外低CTE材料具有為、約、至多或至多約5 nm、10 nm、15 nm、20 nm、25 nm、30 nm、35 nm、40 nm、50 nm、60 nm、70 nm、80 nm、100 nm、150 nm、200 nm、250 nm、300 nm、400 nm、500 nm、600 nm、700 nm、800 nm、900 nm或1000 nm或由其等之間的任何值範圍界定之一粒徑分佈之一D50平均粒徑。在一些實施例中，汞齊包含顆粒之多峰粒徑分佈。

【0050】 在一些實施例中，薄純金屬層亦可藉由原子層沈積(「ALD」)沈積，通過鍵(例如化學鍵)與基板具有強黏著性。依此方式，金屬可鍵合至與Ga合金更相容之一給定類型之奈米顆粒之表面，使得可隨後形成更強鍵合。例如，Cu係與一ALD沈積之Ga層具有高相容性之一金屬，但其他金屬亦係已知，包含(例如) W、Pt、Co、Fe、Ag及Ni。使用流化床技術(例如，如ALD Nanosolutions在Broomfield, CO之實踐)，此等塗層可放至奈米顆粒上。

【0051】 在一些實施例中，汞齊係導電的，例如其中一基質金屬(例如Ga)包括大部分體積之一汞齊。在一些實施例中，汞齊係絕緣的，例如

其中一陶瓷材料(例如 ZrW_2O_8)係大部分體積之一汞齊。在一些實施例中，一導電汞齊之一優點在於其可用作一積體電路之接地平面，無需電路之互連部分中之一個層。在此一實施例中，可藉由在施加包括一導電汞齊組成物之一嵌入式材料之前沈積(例如一絕緣嵌入式材料之)一絕緣層來將組件彼此電隔離。在一些實施例中，絕緣層可為一薄(例如至多約 $1\text{ }\mu\text{m}$)氧化物層，例如一 SiO_2 層。在一些實施例中，絕緣層藉由電漿增強化學氣相沈積(PECVD)或任何其他沈積技術形成。在一些實施例中，絕緣材料及/或絕緣汞齊材料包括選自 ZrW_2O_8 、 SiO_2 、 Al_2O_3 、 Si_3N_4 之一介電材料、一聚合物材料(例如，聚醯亞胺、液晶聚合物及苯並環丁烯基聚合物)、其等之非化學計量比及其組合。

【0052】圖4繪示一總成400，該總成400包括安置於安置於一暫時性基板402上方之一釋放層404並由釋放層404保持在適當位置之複數個組件406，其中組件406由一單層嵌入式材料408囊封。在一些實施例中，嵌入式材料408係本文中所描述之一汞齊。在一些實施例中，嵌入式材料408藉由本文中所描述之一方法(例如噴射沈積或多層沈積)沈積以包裹組件406。儘管應理解，圖4未按比例繪製，但總成400之相對高度及寬度旨在指示在一些實施例中可存在一大總成縱橫比。如圖4中描繪，複數個組件之各組件可具有與其他組件相同、類似及/或不同高度、寬度或形狀。在一些實施例中，組件可具有為、約、至多或至多約 $2\text{ }\mu\text{m}$ 、 $3\text{ }\mu\text{m}$ 、 $5\text{ }\mu\text{m}$ 、 $8\text{ }\mu\text{m}$ 、 $10\text{ }\mu\text{m}$ 、 $15\text{ }\mu\text{m}$ 、 $20\text{ }\mu\text{m}$ 、 $25\text{ }\mu\text{m}$ 、 $30\text{ }\mu\text{m}$ 、 $35\text{ }\mu\text{m}$ 、 $40\text{ }\mu\text{m}$ 、 $45\text{ }\mu\text{m}$ 、 $50\text{ }\mu\text{m}$ 、 $60\text{ }\mu\text{m}$ 、 $70\text{ }\mu\text{m}$ 、 $80\text{ }\mu\text{m}$ 、 $90\text{ }\mu\text{m}$ 、 $100\text{ }\mu\text{m}$ 、 $150\text{ }\mu\text{m}$ 、 $200\text{ }\mu\text{m}$ 、 $300\text{ }\mu\text{m}$ 、 $400\text{ }\mu\text{m}$ 、 $500\text{ }\mu\text{m}$ 、 $600\text{ }\mu\text{m}$ 、 $700\text{ }\mu\text{m}$ 、 $800\text{ }\mu\text{m}$ 或 $1000\text{ }\mu\text{m}$ 或其等之間之任何值範圍之一高度。例如，在一些實施例中，就

高度而言最薄組件可為約25 μm 高或更薄數量級。在一些實施例中，兩個相鄰組件之間間距係、約、至多或至多約為0.1 μm 、0.5 μm 、1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm 、12 μm 、15 μm 或20 μm 或其等之間的任何值範圍。例如，在一些實施例中，兩個相鄰組件之間間距可為5 μm 至10 μm 或更小。在一些實施例中，組件可具有為、約、至少、或至少約3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm 、12 μm 、15 μm 、20 μm 、25 μm 、30 μm 、35 μm 、40 μm 、45 μm 、50 μm 、60 μm 、70 μm 、80 μm 、90 μm 、100 μm 、150 μm 、200 μm 、300 μm 、400 μm 、500 μm 、600 μm 、700 μm 、800 μm 、900 μm 、1 mm、2 mm、3 mm、4 mm或5 mm或其等之間的任何值範圍之一寬度。例如，在一些實施例中，一組件之寬度可在約25 μm 與幾毫米之間。如所繪示，組件406經倒置定位，使得其等之主動面或側面(例如襯墊)與釋放層404接觸，且因此主動面不與嵌入式材料408接觸。在一些實施例中，一旦嵌入式材料408經沈積，其經硬化。在一些實施例中，藉由加熱及/或允許嵌入式材料在靜止時固化來執行硬化。在一些實施例中，在嵌入式材料之沈積及/或硬化之後，將包括組件406及嵌入式材料之層壓板與釋放層404及基板402分離。在一些實施例中，將層壓板自釋放層剝離。在一些實施例中，釋放層經分解(例如用光及/或熱)以將層壓板與基板402分離。在一些實施例中，一組件可為一被動組件。在一些實施例中，一被動組件係一電容器或電阻器。在一些實施例中，組件約為150 μm 高(即厚)或更大。在一些實施例中，組件之寬度約為其等高度之兩倍(即厚)。在一些實施例中，具有保護敏感內部結構之初級封裝之微機電系統(「MEMS」)組件可為約100 μm 高(例如厚)或更大，及/或幾百至幾百微

米寬。在一些實施例中，嵌入式材料由包括一液體之一汞齊施加。在一些實施例中，液體係一低黏度前體液體，其可允許用嵌入式材料完全填充高組件之間的狹窄裂縫。在一些實施例中，總成進一步包括一暫時性邊界或壩，其可用於將汞齊包含於總成之邊緣處(例如當材料硬化時)。在一些實施例中，釋放層之厚度為或約為0.5 μm 、1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm 、12 μm 、15 μm 、20 μm 或25 μm 或其等之間的任何值範圍。例如，在一些實施例中，釋放層約為1 μm 至2 μm 厚，其可足以將組件保持在一平坦表面上。在一些實施例中，基板表面具有為、約、至多或至多約0.01 μm 、0.05 μm 、0.1 μm 、0.5 μm 、1 μm 、2 μm 、3 μm 、4 μm 或5 μm 或其等之間的任何值範圍之一平均表面高度變化。

【0053】圖5繪示一總成500，該總成500包括安置於安置於一暫時性基板502上方之一釋放層504上方並由釋放層504保持在適當位置之複數個組件506，其中組件506由一第一層嵌入式材料508及一第二層嵌入式材料510囊封。在一些實施例中，第一層嵌入式材料508可包括凹陷及/或裂縫，其中表面僅藉由流動部分平坦化。在一些實施例中，可使用任何數目個嵌入式材料層來囊封組件，諸如，或至少，1、2、3、4、5、6、7、8、9或10層或其等之間的任何值範圍。在一些實施例中，一層可包括具有相同或不同組成物之兩個或更多個子層。在一些實施例中，嵌入式材料層之各者可具有相同、類似或不同相對高度(即厚度)。在一些實施例中，第一層及/或第二層之嵌入式材料可包含一絕緣材料、一汞齊材料或其組合。在一些實施例中，層之嵌入式材料之至少一者包括一汞齊材料。圖5之總成500之元件及其程序可類似於本文中描述且關於圖4之元件及程

序。

【0054】 在一些實施例中，在組件之主動側上形成互連之後執行組件之囊封。在一些實施例中，在組件之主動側上形成互連之前執行組件之囊封。在一些實施例中，可應用各種嵌入式材料組成物來囊封組件。在一些實施例中，可首先將第一層施加至組件並允許其至少部分固化。在一些實施例中，可選擇第一層之組成物以盡可能接近地匹配矽之CTE，使得在熱循環期間矽IC內及周圍之應力盡可能小。在一些實施例中，此一組成物可增加金屬互連線與ICI/O襯墊之間的接觸之可靠性。在一些實施例中，可隨後將具有一第二組成物之第二層施加至第一層上方之組件。在一些實施例中，選擇第二層組成物用於高導熱率。在一些實施例中，例如在至少一些組件上升高於第一層之高度之情況下，第一層之CTE相對於矽之一適度不匹配可為可容忍。此一適度CTE不匹配可為可接受的，例如，在第一層中之所有關鍵組件上升並沒有完全由第一層囊封的情況下，且因此關鍵組件將大致同樣受第二層之熱引起之膨脹及收縮的影響。在一些實施例中，較寬或較大組件(諸如與第一層及第二層兩者接觸之被動器件(例如電阻器及陶瓷電容器))可較少受CTE不匹配之影響，因為其等較大接觸面積提供更多總黏附面積至互連且因此不易發生故障。

【0055】 在一些實施例中，在兩層中使用兩種不同嵌入式材料組成物。在一些實施例中，兩種不同嵌入式材料組成物經配置以同時最佳化器件(例如電路)之熱膨脹匹配及導熱率。在一些實施例中，嵌入式材料層之各者之厚度可經選擇及配置用於可撓性。在一些實施例中，多個層可具有相同、類似或不同相對厚度。在一些實施例中，第一層之嵌入式材料可為一絕緣體材料(例如絕緣汞齊材料)，其作為一實例可無需一介電層。在一

些實施例中，第二層或後續層之嵌入式材料可為一導體，其作為一實例可形成一接地平面且在一些例項中可接觸一些被動組件(諸如全部連接至接地之旁通電容器)。

【0056】 在一些實施例中，本文中所描述之層壓板及總成可適於與超薄組件一起使用，或可與尚未變薄且可更厚之組件一起使用。例如，可利用為或約250 μm 或500 μm 之厚度之組件，其係可出現在商業產品中之矽晶圓厚度之實例。可使用任何組件放置程序；例如，在美國專利案第6,946,178號及第7,141,348號中揭示之習知拾取及放置程序，該等案之全部內容以引用的方式併入本文中用於所有目的。

【0057】 在一些實施例中，一個目的係提供一嵌入式層，其表面與組件表面共面，例如如圖4中所描繪，使得可用最少表面進一步處理來製造高解析度互連。例如，習知注塑成型嵌入出現之一個問題是，組件可經推入至暫時性釋放層，且接著在施加模塑或嵌入式化合物及釋放之後，存在晶片與嵌入式材料之間的一高度不連續，稱為模具溢料。此在(例如)美國專利案第8,922,021號中描述，該案之全部內容以引用的方式併入用於所有目的。美國專利案第8,922,021號描述藉由用一層絕緣體覆蓋表面且接著形成至I/O襯墊之通孔來改善問題，其使表面平坦化但增加相當大費用及程序複雜性。

【0058】 在一些實施例中，釋放層(例如暫時性黏著劑聚合物)具有如本文中所描述之厚度(例如約1 μm 至2 μm)。釋放層厚度可經組態使得足以將本文中所描述之組件(例如典型表面安裝組件)暫時保持至基板。在一些實施例中，基板係或實質上係平坦的(即低平均表面高度變化)，如本文中所描述(例如，在小於約 ± 1 μm 變化之範圍內)。在一些實施例中，且

與一些注塑成型程序相比，施加嵌入式材料之程序不涉及強橫向力。在一些實施例中，組分滲透至釋放層(例如聚合物膜)中達釋放層厚度之1%、5%、10%、20%、30%、40%、50%、60%或70%或其等之間的任何值範圍。在一些實施例中，在沈積組件邊緣處之釋放層之所得不連續性係、約、至多或至多約為0.01 μm 、0.05 μm 、0.1 μm 、0.2 μm 、0.4 μm 、0.5 μm 、0.6 μm 、0.7 μm 、0.8 μm 、0.9 μm 、1 μm 、1.2 μm 、1.5 μm 或2 μm ，或其等之間的任何值範圍。在一些實施例中，在沈積組件邊緣處之釋放層之不連續性與通常存在於成品IC上之形貌變化相當。在一些實施例中，本文中所描述之總成及程序可有利地減少模製期間存在之干擾力，且藉此減少對可發生大量組件滲透之厚釋放層(例如暫時性黏著劑層)之需求。

【0059】 在一些實施例中，釋放層(例如暫時性黏著劑聚合物)係一光阻劑，其由於曝光及/或熱顯影而損失其質量之一部分。在一些實施例中，此等光阻劑在微影技術工業中係常見的且基於叔丁氧羰基分子之損失，其損失可導致約15%之膜厚度之一損失。在一些實施例中，此分解產生氣態產物，並降低(例如暫時或永久)附接至膜之任何表面之黏著力。在一些實施例中，當分解發生時，可使包括組件之基板及層壓板分層(例如拉開)。在一些實施例中，釋放層之分解將基板及包括組件之層壓板分離。

【0060】 在一些實施例中，可蝕刻(例如成像及顯影)釋放層材料(例如光阻劑聚合物)以在組件與釋放層之間產生小凹陷。圖6繪示具有一沈積材料612之一總成600，沈積材料612分別沈積在組件608及610下方之釋放層604之壁上及底切區606A及606B中。在一些實施例中，沈積材料係如

本文中所描述之一嵌入式材料。在一些實施例中，沈積材料係一絕緣及/或介電材料。釋放層604安置於一基板602上方，且組件608及610安置於釋放層604上方。在一些實施例中，基板602 (例如暫時性基板)係一多孔材料。在一些實施例中，底切區606A及606B可藉由釋放層604之材料(例如聚合物)之曝光及/或熱顯影形成。在一些實施例中，組件懸垂在釋放層(例如聚合物)之底切區上之距離可為幾微米。在一些實施例中，組件懸垂在釋放層(例如聚合物)之底切區上之距離係、約、至多或至多約0.1 μm 、0.2 μm 、0.5 μm 、1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm 、12 μm 、15 μm 或20 μm 或其等之間的任何值範圍(例如約2 μm 至10 μm)。圖6描繪其中底切區606A之厚度小於底切區606B之厚度，且其中組件608正下方之釋放層604之厚度小於組件610下方之厚度。在一些實施例中，一底切區及/或釋放層區之厚度可相對於另一底切區及/或兩個組件下方之釋放層區減小，歸因於組件之一者定位成(例如經凹陷或已經推入)更深地至釋放層(例如聚合物)中。在一些實施例中，組件凹陷至釋放層中之深度為、約、至多或至多約25 nm、50 nm、75 nm、100 nm、125 nm、150 nm、200 nm、250 nm、300 nm、400 nm、500 nm、600 nm、800 nm或1000 nm或其等之間的任何值範圍(例如約150 nm至300 nm，當原始釋放層厚度薄膜為約1 μm 至2 μm 時；或當原始釋放層厚度薄膜約為2 μm 至10 μm 時，形成相對較深凹陷)。在一些實施例中，在將組件安置於釋放層及底切區上方之前用光照射釋放層。在一些實施例中，釋放層之輻射形成一敏化釋放層。在一些實施例中，當施加足夠熱時，敏化釋放層分解。在一些實施例中，釋放層作為一敏化釋放層沈積在基板上。在一些實施例中，在將組件安置於釋放層及底切區上方之後，

用光照射釋放層。在一些實施例中，一旦將組件安置於釋放層及底切區上方，則沈積材料(例如介電膜)接著沈積在組件之壁上及底切區內。在一些實施例中，沈積材料之沈積藉由濺鍍或PECVD執行。在一些實施例中，沈積材料之反應性分子之平均自由徑足夠小，使得其等之至少一些在沈積之前在懸垂下方擴散，導致具有逐漸變薄之厚度之一薄層，進一步至底切區中，如圖4中所展示。

【0061】 在一些實施例中，沈積材料跨組件之邊緣進行一平滑過渡。在一些實施例中，沈積材料覆蓋組件之邊緣，否則該等組件之鋒利度可使後續難以製造互連。在一些實施例中，沈積材料使組件(例如晶片)與後續沈積之互連絕緣，且(例如)可能絕緣而不管什麼金屬結構可為靠近其邊緣之一IC之部分。在一些實施例中，沈積材料之此平滑過渡可補償歸因於釋放層(例如聚合物)內之組分之不同滲透量而可存在之任何高度差異。在一些實施例中，總成600可進一步經處理以用嵌入式材料包裹組件608及610及/或自釋放層604及基板602釋放組件。在一些實施例中，在沈積材料(例如介電質)沈積之後，釋放層(例如光阻膜)經加熱以引起釋放材料(例如叔丁氧羰基)分解及黏著力之降低。在一些實施例中，當沈積材料係介電質時，將形成一較厚漸變沈積物，其可用於覆蓋組件之一些邊緣缺陷或結構。

【0062】 在一些實施例中，釋放層係一可熱分解之聚合物，諸如在美國專利案第7,300,824號及第7,863,762號中所揭示，該等案之全部內容以引用的方式併入用於所有目的。在一些實施例中，釋放層(例如，具有或不具有光敏劑之聚合物膜)可形成於可用作一多孔真空吸盤之一多孔基板上。在一些實施例中，例如在一電路之所有組件已放置在釋放層上且至

少沈積沈積材料(例如介電層)之後，在施加一真空至多孔真空吸盤時將釋放層加熱至一分解溫度，藉此導致釋放層之分解產物透過多孔真空吸盤之孔排出，同時多孔真空吸盤將組件層壓板保持在適當位置。在一些實施例中，嵌入式材料可在釋放層之分解之前或之後施加。

【0063】 在一些實施例中，可在沈積釋放材料(例如介電質)之前分解釋放層。在一些實施例中，來自多孔真空吸盤之真空將個別組件保持在適當位置，即使存在底切區，因為此區域係總面積之一小部分，且不管開放區域可跨組件維持一足夠壓差。在一些實施例中，接著使用一大氣壓程序(例如大氣壓PECVD)來沈積沈積材料(例如介電膜)。在一些實施例中，組件之表面直接與基板之表面接觸(例如多孔真空吸盤)。在一些實施例中，多孔真空吸盤界定一或一實質上平坦平面表面，而不管組分已滲透至釋放層(例如聚合物)中之程度有任何差異。此一總成700結構在圖7中繪示。圖7繪示在移除一釋放層(例如暫時性黏著劑層)及沈積一沈積材料708(例如絕緣介電質)之後安置於基板702(例如暫時性基板)上方之組件704及706。在一些實施例中，絕緣材料在移除釋放層(例如黏著劑)之前或之後沈積。在一些實施例中，當組件層壓板(例如電路層壓板)經剝離時，沈積材料708(例如介電膜)與基板702之間的接觸(例如黏著)可分離(例如斷開)，因為其包括總面積之僅一小部分。在一些實施例中，為了促進組分與基板之分離，基板可用一低表面能塗佈(例如薄塗佈)處理。在一些實施例中，低表面能塗佈選自一電漿沈積之碳氟化合物膜、碳氟化合物之自組裝單層或其組合。在一些實施例中，可進一步處理總成700以用嵌入式材料包裹組件704及706及/或自基板702釋放組件。在一些實施例中，可進一步處理分離之組件層壓板以將互連添加至組件之主動面。

【0064】 在一些實施例中，多孔真空吸盤包括複數個孔。在一些實施例中，孔具有奈米級直徑及/或微米級直徑。在一些實施例中，孔具有為、約、至多或至多約5 nm、10 nm、20 nm、30 nm、40 nm、50 nm、75 nm、100 nm、150 nm、200 nm、300 nm、400 nm、500 nm、600 nm、800 nm、1 μm 、1.5 μm 、2 μm 、3 μm 、5 μm 或10 μm 或其等之間的任何值範圍之一平均直徑。在一些實施例中，基板(例如多孔真空吸盤)包括矽。

【0065】 在一些實施例中，釋放層在組件沈積之前沈積在多孔真空吸盤上。在一些實施例中，在組件放置程序期間可不使用一真空吸盤來保持組件，因為(例如)最初所有區域經暴露且放置之第一組件將不經歷足夠保持力。在一些實施例中，一旦將釋放層及組件放置在基板上即可施加真空，且歸因於在分解釋放層(例如暫時性黏著劑)之前或之後多孔真空吸盤上之暴露面積減少，真空足以保持組件(例如，緊密間隔之組件之間的暴露空間)。

【0066】 儘管已描述特定實施例，但此等實施例僅藉由實例呈現，且不旨在限制本發明之範疇。實際上，本文中所描述之新穎方法及系統可以多種其他形式體現。此外，可在不背離本發明之精神之情況下對本文中所描述之系統及方法進行各種省略、替換及改變。隨附申請專利範圍及其等等小物旨在覆蓋落入本發明之範疇及精神內之此等形式或修改。

【0067】 結合一特定態樣、實施例或實例描述之特徵、材料、特性或群組應理解為適用於本章節或本說明書其他地方描述之任何其他態樣、實施例或實例，除非與其不相容。本說明書(包含任何隨附申請專利範圍、摘要及附圖)中所揭示之所有特徵，及/或如此揭示之任何方法或程序

之所有步驟，可以任何組合進行組合，除其中至少一些此等特徵之組合及/或步驟係互斥。保護不限於任何前述實施例之細節。保護延伸至本說明書(包含任何隨附申請專利範圍、摘要及附圖)中所揭示之特徵之任何新穎者或任何新穎組合，或如此揭示之任何方法或程序之步驟之任何新穎者或任何新穎組合。

【0068】 此外，本發明中在單獨實施方案之上下文中描述之特定特徵亦可在一單一實施方案中組合實施。相反，在一單一實施方案之上下文中描述之各種特徵亦可在多個實施方案中分別實施或以任何合適子組合實施。此外，儘管特徵可在上文經描述為在特定組合中起作用，但在一些情況下，可自一主張組合去除來自該主張組合之一或多個特徵，且該組合可作為一子組合或一子組合之變體主張。

【0069】 此外，儘管可在附圖中描繪或在說明書中以一特定順序描述操作，但此等操作不需要以所展示之特定順序或按順序執行，或執行所有操作以達成期望結果。未描繪或描述之其他操作可併入實例方法及程序中。例如，一或多個額外操作可在所描述操作之任何者之前、之後、同時或之間執行。此外，在其他實施方案中，操作可重新配置或重新排序。熟習此項技術者將瞭解，在一些實施例中，在所繪示及/或揭示之程序中採取之實際步驟可與圖中所展示之不同。取決於實施例，可移除上文所描述之特定步驟，亦可添加其他者。此外，上文所揭示之具體實施例之特徵及屬性可以不同方式組合以形成額外實施例，該等所有落入本發明之範疇內。此外，上文所描述之實施方案中各種系統組件之分離不應理解為在所有實施方案中需要此分離，且應理解，所描述之組件及系統通常可在一單一產品中整合在一起或封裝至多個產品中。例如，本文中所描述之一能量

儲存系統之組件之任何者可單獨提供，或整合在一起(例如，封裝在一起，或附接在一起)以形成一能量儲存系統。

【0070】出於本發明之目的，本文描述特定態樣、優點及新穎特徵。不一定所有此等優點可根據任何特定實施例來達成。因此，例如，熟習此項技術者將識別，本發明可依達成如本文所教導之一個優點或一群組之優點之一方式來體現或執行，而不必達成如本文可教導或建議之其他優點。

【0071】除非另有明確說明，或在所使用之上下文內依其他方式理解，否則條件語言(諸如「可(can)」、「可(could)」、「可能(might)」或「可(may)」)通常旨在傳達特定實施例包含，而其他實施例不包含特定特徵、元件及/或步驟。因此，此條件語言通常不旨在暗示一或多個實施例依任何方式需要特徵、元件及/或步驟或一或多個實施例必須包含用於在有或沒有使用者輸入或提示之情況下決定此等特徵、元件及/或步驟是否包含於任何特定實施例中或將在任何特定實施例中執行之邏輯。

【0072】除非另有明確說明，否則連詞語言(諸如片語「X、Y及Z之至少一者」)在上下文中經理解為一般用於傳達一項目、術語等等可為X、Y或Z。因此，此連詞語言通常不旨在暗示特定實施例需要存在X之至少一者、Y之至少一者及Z之至少一者。

【0073】本文中所使用之程度語言(諸如本文中所使用之術語「大致」、「約」、「一般」及「實質上」)表示接近所述值、量或特性之一值、量或特性，其仍執行一所需功能或達成一所需結果。例如，術語「大致」、「約」、「一般」及「實質上」可係指所述量之小於10%內、小於5%內、小於1%內、小於0.1%及小於0.01%之一量，取決於所需功能或所

需結果。

【0074】 本發明之範疇不旨在受限於本章節或本說明書其他地方之較佳實施例之具體揭示內容，且可由在本章節或本說明書其他地方呈現或未來呈現之申請專利範圍界定。申請專利範圍之語言將基於申請專利範圍中利用之語言進行廣義解釋且不限於本說明書中或在應用之實施期間描述之實例，該等實例將解釋為非排他性。

【0075】 本文中所提供之標題(若有)僅為方便起見且並不一定影響本文中所揭示之器件及方法之範疇或含義。

【符號說明】

【0076】

2:液體

4:液體泵

6:超音波換能器

8:基板

300:商業噴霧器

302:液體A進料通道

304:微孔管

306:液體B進料通道

308:液體A

310:液體B

312:霧化表面

314:外殼

400:總成

402:暫時性基板

404:釋放層

406:組件

408:單層嵌入式材料

500:總成

502:暫時性基板

504:釋放層

506:組件

508:第一層嵌入式材料

510:第二層嵌入式材料

600:總成

602:基板

604:釋放層

606A:底切區

606B:底切區

608:組件

610:組件

612:沈積材料

700:總成

702:基板

704:組件

706:組件

708:沈積材料

【發明申請專利範圍】

【請求項1】

一種用於積體電路製造之總成，其包括：

一基板；

一釋放層，其安置於該基板上方；

複數個組件，其安置於該釋放層上方，其中該複數個組件各包括與該釋放層接觸之一主動面；及

一嵌入式材料層，其囊封該複數個組件。

【請求項2】

如請求項1之總成，其中該等組件之該等主動面之各者實質上不接觸該嵌入式材料。

【請求項3】

如請求項1或2之總成，其中該嵌入式材料層包括複數個嵌入式材料子層。

【請求項4】

如請求項1或2中任一項之總成，其中該嵌入式材料層包括一汞齊。

【請求項5】

如請求項4之總成，其中該汞齊係具有約-5 ppm/°C至約5 ppm/°C之一CTE之一低CTE汞齊。

【請求項6】

如請求項4之總成，其中該汞齊包括一基質金屬、一合金金屬及一低CTE材料。

【請求項7】

如請求項6之總成，其中該基質金屬包括Ga。

【請求項8】

如請求項6之總成，其中該合金金屬選自由Cu、Ni、Ag、Ce及其組合組成之群組。

【請求項9】

如請求項6之總成，其中該低CTE材料選自由 ZrW_2O_8 、 HfW_2O_8 、 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 及其組合組成之群組。

【請求項10】

如請求項4之總成，其中該汞齊進一步包括選自由一額外低CTE材料、一鈍化材料、一液體、一還原劑及其組合組成之群組之一元件。

【請求項11】

如請求項1或2之總成，其中該釋放層包括定位於該釋放層與該複數個組件之至少一個組件之間的一底切區。

【請求項12】

如請求項11之總成，其中該底切區包括一沈積材料。

【請求項13】

如請求項1或2之總成，其中該基板包括孔。

【請求項14】

一種製造請求項1至13中任一項之總成之程序，其包括：

將該複數個組件沈積至該釋放層上，其中該釋放層安置於該基板上
方；及

用該嵌入式材料層包裹該複數個組件。

【請求項15】

如請求項14之程序，其中用該嵌入式材料層包裹該複數個組件藉由一噴塗程序執行。

【請求項16】

一種將一總成整合至一積體電路中之程序，其包括：

將該釋放層與由請求項1至13中任一項之總成之該嵌入式材料層囊封之該複數個組件分離以形成一層壓板；及

在該複數個組件之該等暴露表面之各者上方沈積一互連材料以形成一佈線層壓板。

【請求項17】

如請求項16之程序，其進一步包括將該佈線層壓板放置至一器件中，並將該佈線層壓板電連接至該器件。

【請求項18】

一種用於整合至一電路器件中之層壓板，其包括：

複數個組件，各包括複數個囊封表面及一暴露表面；及

一嵌入式材料，其囊封該複數個組件之該複數個囊封表面。

【請求項19】

如請求項18之層壓板，其中該等暴露表面之各者包括一襯墊。

【請求項20】

如請求項18或19之層壓板，其中該等暴露表面之各者實質上彼此共面。

【請求項21】

如請求項18或19之層壓板，其進一步包括安置於該等暴露表面之各者上方之互連材料。

【請求項22】

如請求項18或19之層壓板，其中該嵌入式材料包括一汞齊。

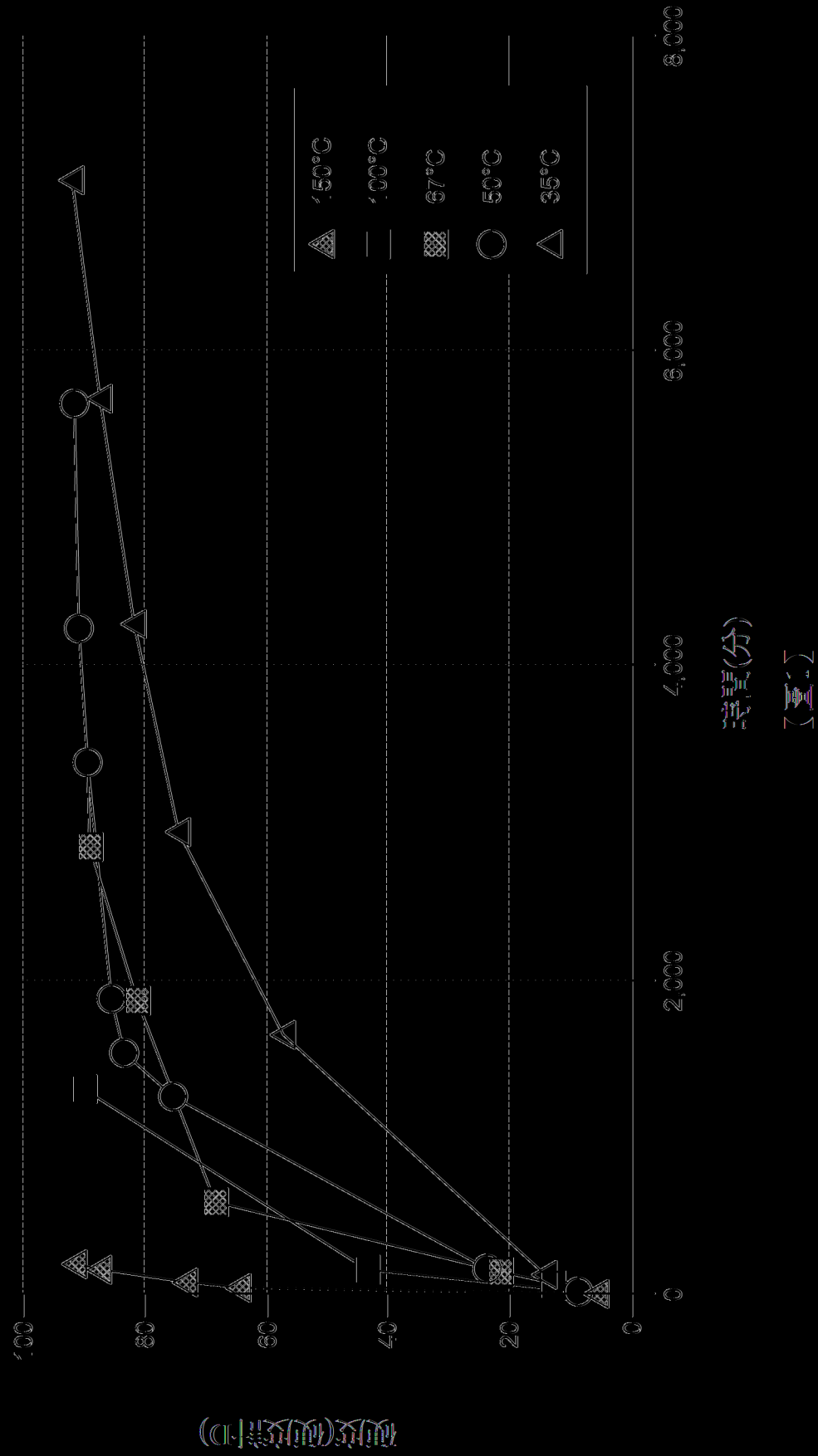
【請求項23】

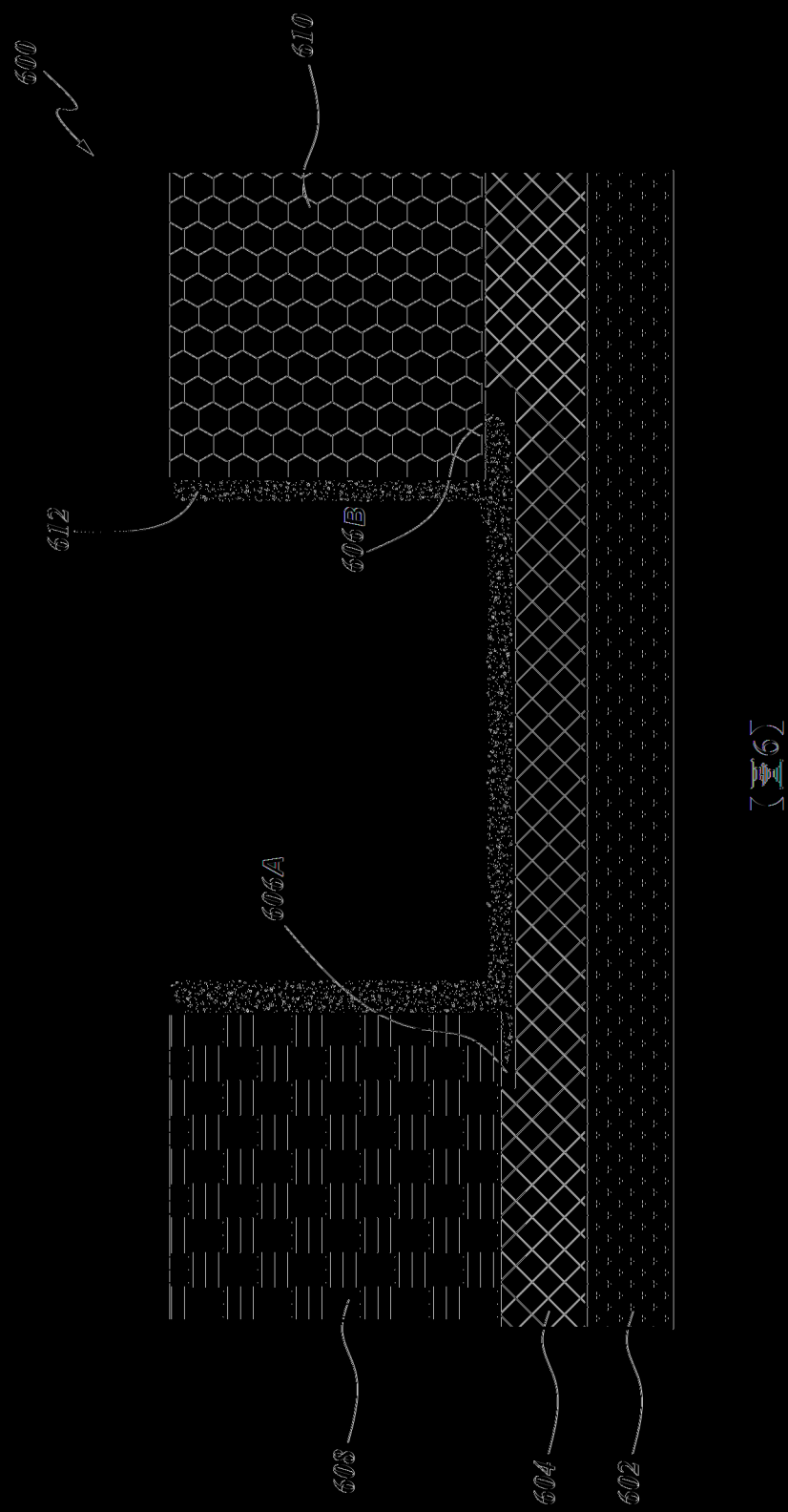
如請求項22之層壓板，其中該汞齊包括一基質金屬、一合金金屬及一低CTE材料。

【請求項24】

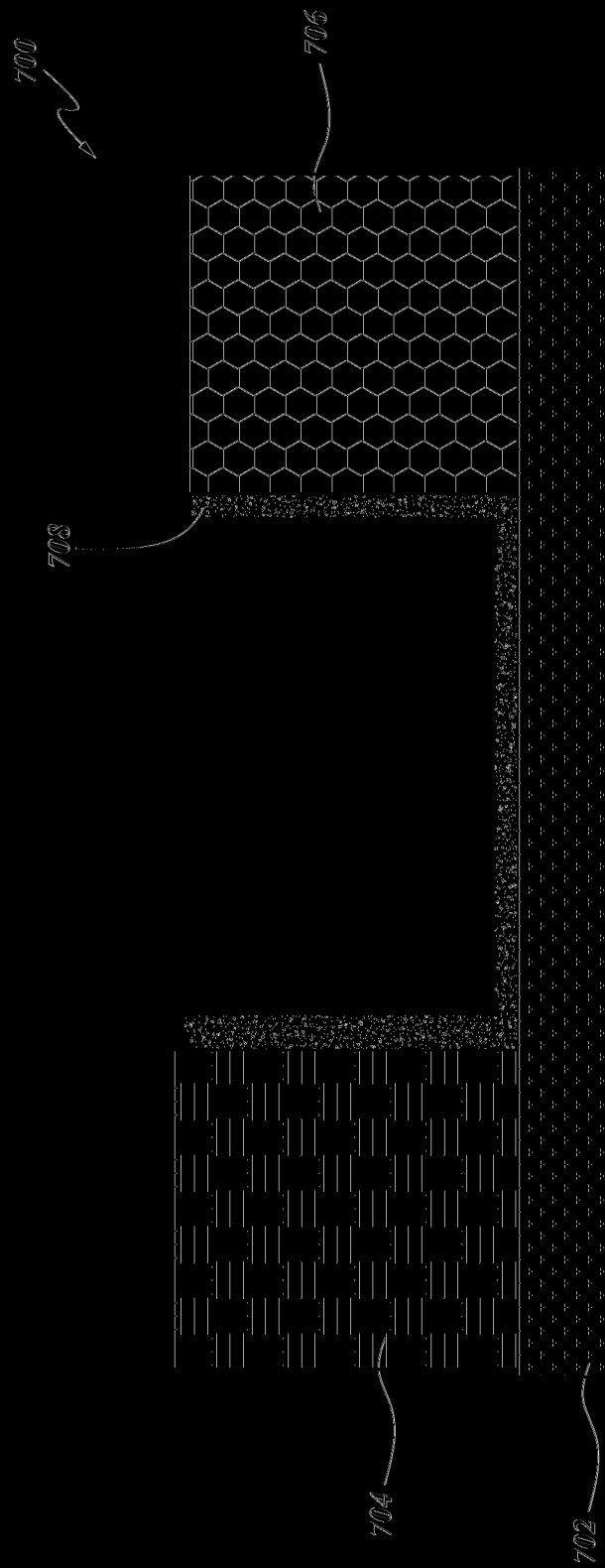
如請求項22之層壓板，其中該汞齊係具有約-5 ppm/°C至約5 ppm/°C之一CTE之一低CTE汞齊。

〔發明圖式〕





[圖6]



[圖7]