



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **219 613 A1**4(51) G 11 C 7/06
G 11 C 11/40**AMT FÜR ERFINDUNGS- UND PATENTWESEN**

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 11 C / 257 076 5

(22) 24.11.83

(44) 06.03.85

(71) VEB ZFT Mikroelektronik, 8080 Dresden, Karl-Marx-Straße, DD

(72) Pfeiffer, Harald, Dipl.-Ing.; Sievers, Gunnar, Dipl.-Ing., DD

(54) Asymmetrischer Leseverstärker für Halbleiterspeicher

(57) Die Erfindung betrifft einen asymmetrischen Leseverstärker für Halbleiterspeicher mit Speicherzellen mit beliebigen Lesesignalen. Die Aufgabe der Erfindung besteht darin, das Lesesignal solcher Speicherzellen, die vorzugsweise Ladungsschichtungszellen mit seriellem Hilfsgate in Drainschaltung sind, durch geeignete Maßnahmen verstärkend in einen anderen Spannungsbereich zu konvertieren, so daß ein geringer schaltungstechnischer Aufwand für die Leseschaltung entsteht und ein geringer Takt Aufwand erforderlich ist. Fig. 1

Asymmetrischer Leseverstärker für Halbleiterspeicher

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen asymmetrischen Leseverstärker für Halbleiterspeicher, bei dem die Speicherzellen, je nach gespeicherter Information, zwei beliebige Lesesignale liefern. Derartige Speicherzellen sind beispielsweise Ladungsschichtungs-Zellen mit seriellen Hilfsgate in Drainschaltung. Bei Vorliegen derartiger Zellen ist der bisher übliche symmetrische Sensorflipflop nicht anwendbar, da die dafür erforderliche Referenzspannung von $(U_{BLH} + U_{BLL})/2$ innerhalb der Matrix nicht realisierbar ist.

Charakteristik der bekannten technischen Lösungen

Im allgemeinen sind aus verschiedenen Veröffentlichungen symmetrische Flipflops als Leseverstärker zur Anwendung in Halbleiterspeichern beschrieben. Sie dienen speziell zum Verstärken kleiner Signale dynamischer Speicherzellen. Diese Flipflops benötigen aber stets eine Referenzspannung, deren Wert möglichst genau in der Mitte zwischen dem Signalpegel einer gespeicherten "0" und einer gespeicherten "1" der Zellen liegen sollte. Die Erzeugung einer solchen Referenzspannung ist aber mit Schwellspannungszellen, die im Raster der

24. NOV 1983 * 131699

Matrix liegen müssen, was wegen der symmetrischen Belastung des Flipflops erforderlich ist, nicht möglich. Aus diesem Grunde finden asymmetrische Leseverstärker Verwendung. Diese können unter ausschließlicher Verwendung von Enhancement-Transistoren oder unter Verwendung eines Zerotransistors realisiert werden.

Ungünstig dabei erweist es sich, daß entweder der Signal-Spannungsunterschied groß sein muß oder aber eine komplizierte Fertigungstechnologie erforderlich ist, was eine hohe Störanfälligkeit hervorruft.

Außerdem ist eine hohe Taktanzahl erforderlich.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, das Lesesignal durch geeignete Maßnahmen verstärkend in einen anderen Spannungsbereich zu konvertieren, so daß der schaltungstechnische Aufwand und die Taktanzahl sinken.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, einen asymmetrischen Leseverstärker für Halbleiterspeicher zu schaffen, wobei die Speicherzelle beim Lesen der einen gespeicherten Information einen Signalspannungspegel, den Lowpegel, und beim Lesen der anderen gespeicherten Information einen zweiten Signalspannungspegel, den Highpegel, an der Bit-Lese-Leitung realisiert. Dabei soll gleichzeitig die Schaltung für beliebige Werte beider Signalspannungspegel mit geringem Taktanwendungswand anwendbar sein. Der Leseverstärker soll so aufgebaut sein, daß für mehrere Leseverstärker nur eine Dummy-Zelle erforderlich ist, die eine konstante Gleichspannung liefert, die den Wert des Lowpegels der Signalspannung hat, bzw. eine Taktspannung entsprechend dem Verlauf an der Bit-Lese-Leitung.

Gemäß der Erfindung wird die Aufgabe durch einen asymmetrischen Leseverstärker für Halbleiterspeicher gelöst. Der Halbleiterspeicher enthält dabei Speicherzellen, die in Abhängigkeit von der gespeicherten Information zwei verschiedene Signalspannungspegel, Low- oder Highpegel, an der Bit-Lese-Leitung realisieren, vorzugsweise Ladungsschichtungszellen mit serielltem Hilfsgate. Jeder Zelle ist dabei eine Bit-Lese- und eine Bit-Schreib-Leitung zugeordnet.

Der Bit-Lese- und der Bit-Schreib-Leitung ist eine Entladeschaltung zugeordnet. Erfindungsgemäß ist die Bit-Lese-Leitung mit dem Gate eines Transistors verbunden, dessen Drain- und Sourcegebiete an einem gemeinsamen Knoten B angeschlossen sind, der über einem Kondensator mit dem Gate eines Schalttransistors verbunden ist.

Erfindungsgemäß ist zwischen dem Kondensator und dem Gate des Schalttransistors das Draingebiet eines Entladetransistors angeschlossen, an dessen Gate ein Takt ϕ_V und dessen Sourcegebiet an Masse liegen, angeschlossen.

Erfindungsgemäß sind an dem Knoten B am Kondensator, an dessen zweitem Anschluß ein Takt ϕ_K anliegt, und das Sourcegebiet eines Vorladetransistors, an dessen Gate eine Spannung U_{BLL} und an dessen Draingebiet die Taktspannung ϕ_R anliegen, angeschlossen. In Ausgestaltung der Erfindung ist der an der Bit-Lese-Leitung angeschlossene Transistor ein Enhancementstransistor zur Realisierung einer nichtlinearen, d.h. spannungsabhängigen Kapazität. In Ausgestaltung der Erfindung sind die Kapazitäten C_1 und C_2 spannungsunabhängig. In Ausgestaltung der Erfindung ist das Sourcegebiet des verwendeten Schalttransistors über einen zweiten Transistor mit der Bit-Schreib-Leitung und diese über einen dritten Transistor mit einer Datenleitung verbunden.

Ausführungsbeispiel

Die Erfindung ist anhand eines Ausführungsbeispiels und zweier Zeichnungen näher erläutert. Dabei zeigen

Fig. 1 den erfindungsgemäßen asymmetrischen Leseverstärker nach dem Ausführungsbeispiel

Fig. 2 das Taktdiagramm

Fig. 3 das Ersatzschaltbild mit Kapazitätskennlinie

Der in Fig. 1 dargestellte asymmetrische Leseverstärker enthält matrixförmig angeordnete Speicherzellen 1, die in Abhängigkeit von der in der Zelle 1 gespeicherten Information zwei beliebige Signalspannungspegel, Low- oder Highpegel, an der Bit-Lese-Leitung 3 realisieren. Im konkreten Fall handelt es sich um Ladungsschichtungszellen mit serielltem Hilfsgate in Drainschaltung. Am Hilfsgate ist dabei eine Wortleitung 2, an Source eine Bit-Lese-Leitung 3 und am Speichergate eine Bit-Schreib-Leitung 4 angeschlossen. Drain der Speicherzelle 1 ist dabei mit der Versorgungsspannung U_{DD} verbunden.

Ein Entladetransistor 5, an dessen Gate ein Vorladetakt ϕ_V anliegt, verbindet die Bit-Lese-Leitung 3 mit Masse.

Ein Entladetransistor 6, an dessen Gate ein Vorladetakt ϕ_V anliegt, verbindet die Bit-Schreib-Leitung 4 mit Masse. Die Bit-Lese-Leitung 3 ist mit dem Gate eines Transistors 7 verbunden. Drain und Source dieses Transistors 7 sind miteinander verbunden. An Drain und Source des Transistors 7 sind ein Kondensator 13, an dessen zweitem Anschluß ein Konvertierungstakt ϕ_K anliegt, ein zweiter Kondensator 14, an dessen zweitem Anschluß das Gate eines Schalttransistors 8 und Drain eines Entladetransistors 15 angeschlossen sind, und Source eines Vorladetransistors 16 angeschlossen.

Am Gate des Entladetransistors 15 liegt der Takt ϕ_V an und Source ist mit Masse verbunden. Am Gate des Vorladetransistors 16 liegt die Spannung U_{BLL} an und Drain ist mit der Taktspannung ϕ_R verbunden. Das Draingebiet des Schalttransistors 8 ist mit der Versorgungsspannung U_{DD} verbunden. Das Sourcegebiet des Schalttransistors 8 ist über einen zweiten Transistor 9, an dessen Gate ein Lesetakt ϕ_L anliegt, mit der Bit-Schreib-Leitung 4 verbunden.

Die Bit-Schreib-Leitung 4 ist über einen weiteren Transistor 10, an dessen Gate ein Datentransfertakt ϕ_{DT} anliegt, mit einer Datenleitung 12 zur Ein- oder Ausgabe der Information verbunden. Ein Transistor 11, an dessen Gate ein Vorladetakt ϕ_V anliegt, verbindet die Masse mit der Datenleitung 12.

Die Wirkungsweise des Leseverstärkers ist in Verbindung mit dem in Fig. 2 dargestellten Taktdiagramm folgende:

Im Speicherzustand sind die Wortleitungen 2 durch den Takt $\phi_{WL} = "M"$ ($M = \text{mittleres Potential} = U_{DD}/2$) auf dieses Potential vorgeladen. Gleichzeitig werden über den Vorladetakt $\phi_V = "H"$ die Bit-Lese-Leitung 3, die Bit-Schreib-Leitung 4, die Datenleitung 12 und der Knoten A auf Null Volt entladen. Der Knoten B wird mit $\phi_R = "H"$ auf $U_{BLL} - U_T$ vorgeladen.

Mit Beginn des Lesezyklus wird der Vorladetakt $\phi_V = "L"$, so daß die Transistoren 5, 6, 11 und 15 sperren. Die Bit-Lese-Leitung 3, die Bit-Schreib-Leitung 4, die Datenleitung 12, der Knoten A und der Knoten B behalten die sich dort eingestellten Potentiale. Wird nun der Wortleitungstakt $\phi_{WL} = "H"$, so stellt sich an der Bit-Lese-Leitung 3 je nach der in der Speicherzelle 1 gespeicherten Information der Low- oder Highpegel der Signalspannung ein.

Mit dem Konvertierungstakt $\phi_K = "H"$ wird das Potential an den Knoten A und B, entsprechend dem aus den

Kapazitäten C_1 und C_2 sowie der Bit-Lese-Leitungs-Kapazität, der Gate-Drain- und Source-Kapazität des Transistors 7 und der Gate-Bulk-Kapazität des Schalttransistors 8, gemäß Fig. 3a, gebildeten kapazitiven Spannungsteilerverhältnisses, ansteigen. Der Vorladetransistor 16 wird dabei von selbst sperrend, da dessen Gate-Source-Spannung kleiner als die Schwellspannung wird.

Im Fall des Lesens des Lowpegels an der Bit-Lese-Leitung 3 beträgt die Gate-Source- und Drain-Spannung des Transistors 7 U_T . Damit ist die Gate-Drain- und Source-Kapazität dieses Transistors minimal, gemäß Fig. 3b.

Im Fall des Lesens des Highpegels ist die Gate-Source- und Drain-Kapazität des Transistors 7, je nach Kanal-länge 10 ... 40mal größer, da die Gate-Source- und Drain-Spannung größer als die Schwellspannung U_T ist.

Die Kapazitäten C_1 und C_2 werden dabei so dimensioniert, daß im Fall des Lesens des Lowpegels die Spannung am Knoten A größer und im Fall des Lesens des Highpegels kleiner als die Schwellspannung U_T des Schalttransistors 8 ist, wenn der Takt $\phi_K = "H"$ wird. Gleichzeitig werden für Lesen und Refresh die Takte $\phi_L = "H"$ und $\phi_{DT} = "H"$.

Im Fall des Lesens des Lowpegels ist der Schalttransistor 8 leitend und die Bit-Schreib-Leitung 4 und die Datenleitung 12 werden aufgeladen; im Fall des Lesens des Highpegels ist der Schalttransistor 8 gesperrt und die Bit-Schreib-Leitung 4 und die Datenleitung 12 behalten das zuvor eingestellte Potential von Null Volt.

Nachdem der Wortleitungstakt $\phi_{WL} = "L"$ geworden ist, wird die entsprechende Information eingeschrieben. Das entspricht einem Refresh der Informationen in allen durch die Wortleitung 2 aktivierten Zellen 1.

In der durch den Datentransfertakt $\phi_{DT} = "H"$ ausgewählten Zeile wird zusätzlich zum Refresh die gelesene Information auf die Datenleitung 12 ausgegeben (Lesen).

Beim Einschreiben einer Information ist durch die Wortleitung 2 und die Bit-Schreib-Leitung 4 die Speicherzelle 1 ausgewählt. Dabei wird die Datenleitung 12 auf das entsprechende Potential eingestellt und über den Datentransfertakt $\phi_{DT} = "H"$ wird dieses Potential auf die Bit-Schreib-Leitung 4 übertragen, wobei für diese ausgewählte Zeile $\phi_L = "L"$ sein muß.

Erfindungsanspruch

1. Asymmetrischer Leseverstärker für Halbleiterspeicher, bei dem die Speicherzellen, je nach gespeicherter Information, zwei beliebige Lesesignale liefern, vorzugsweise Ladungsschichtungszellen mit serielltem Hilfgate in Drainschaltung, wobei die Bitleitung in eine Bit-Lese- und Bit-Schreib-Leitung geteilt ist und jeder eine Entladeschaltung zugeordnet ist und wobei eine Datenleitung, der ein Entladetransistor zugeordnet ist, mit dem Ausgang des Leseverstärkers und der Bit-Schreib-Leitung oder die Bit-Schreib-Leitung nur mit der Datenleitung verbunden ist, gekennzeichnet dadurch, daß die Bit-Lese-Leitung (3) mit dem Gate eines Transistors (7) verbunden ist, dessen Drain und Source über einen Kondensator (14) mit dem Gate eines Schalttransistors (8) verbunden sind, wobei an Drain und Source des Transistors (7) ein Kondensator (13), an dessen zweitem Anschluß ein Konvertierungstakt (ϕ_K) anliegt, und Source eines Vorladetransistors (16), an dessen Gate die Referenzspannung U_{BLL} und am Drain eine Taktspannung (ϕ_R) anliegen, angeschlossen sind sowie am Gate des Schalttransistors (8) noch ein weiterer Entladetransistor (15), an dessen Gate eine Taktspannung (ϕ_V) und dessen Source auf Masse liegt.
2. Asymmetrischer Leseverstärker nach Punkt 1, gekennzeichnet dadurch, daß das an einem Transistor (16) benötigte Referenzsignal außerhalb der Matrix erzeugt, den Wert des Low-pegels der Signalspannung hat und für mehrere Leseverstärker verwendet werden kann.
3. Asymmetrischer Leseverstärker nach Punkt 1, gekennzeichnet dadurch, daß er für beliebige Pegel der Signalspannung, Low- und Highpegel verwendbar ist.

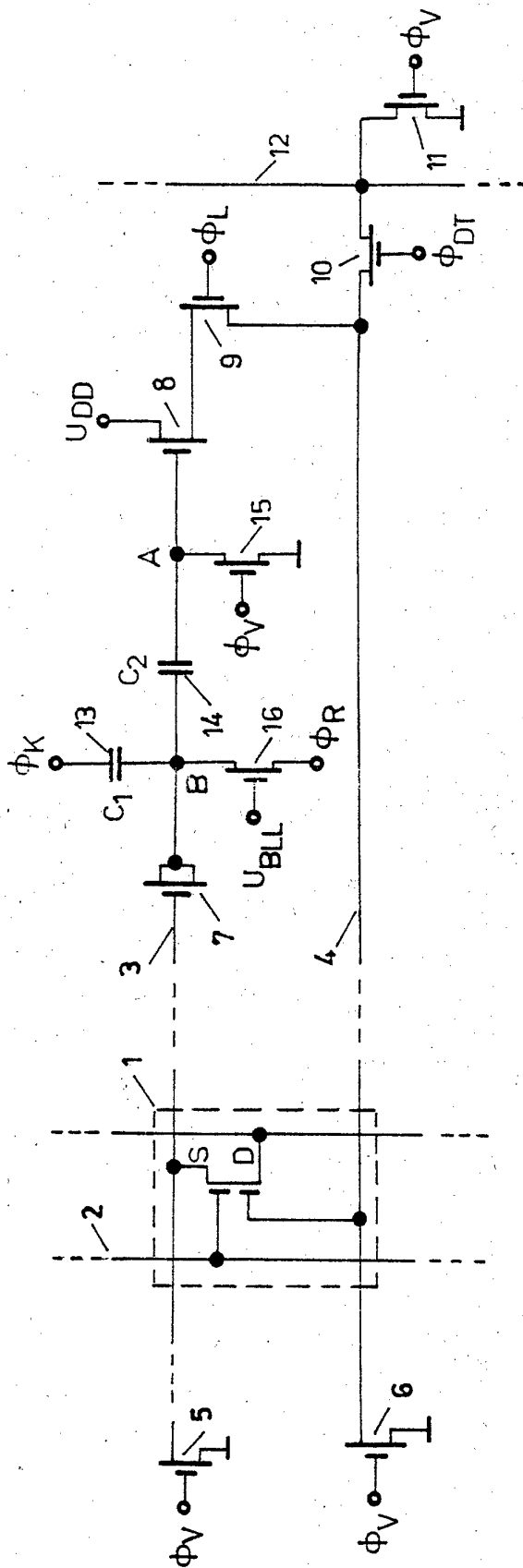


Fig. 1

24 NOV 1983 * 131699

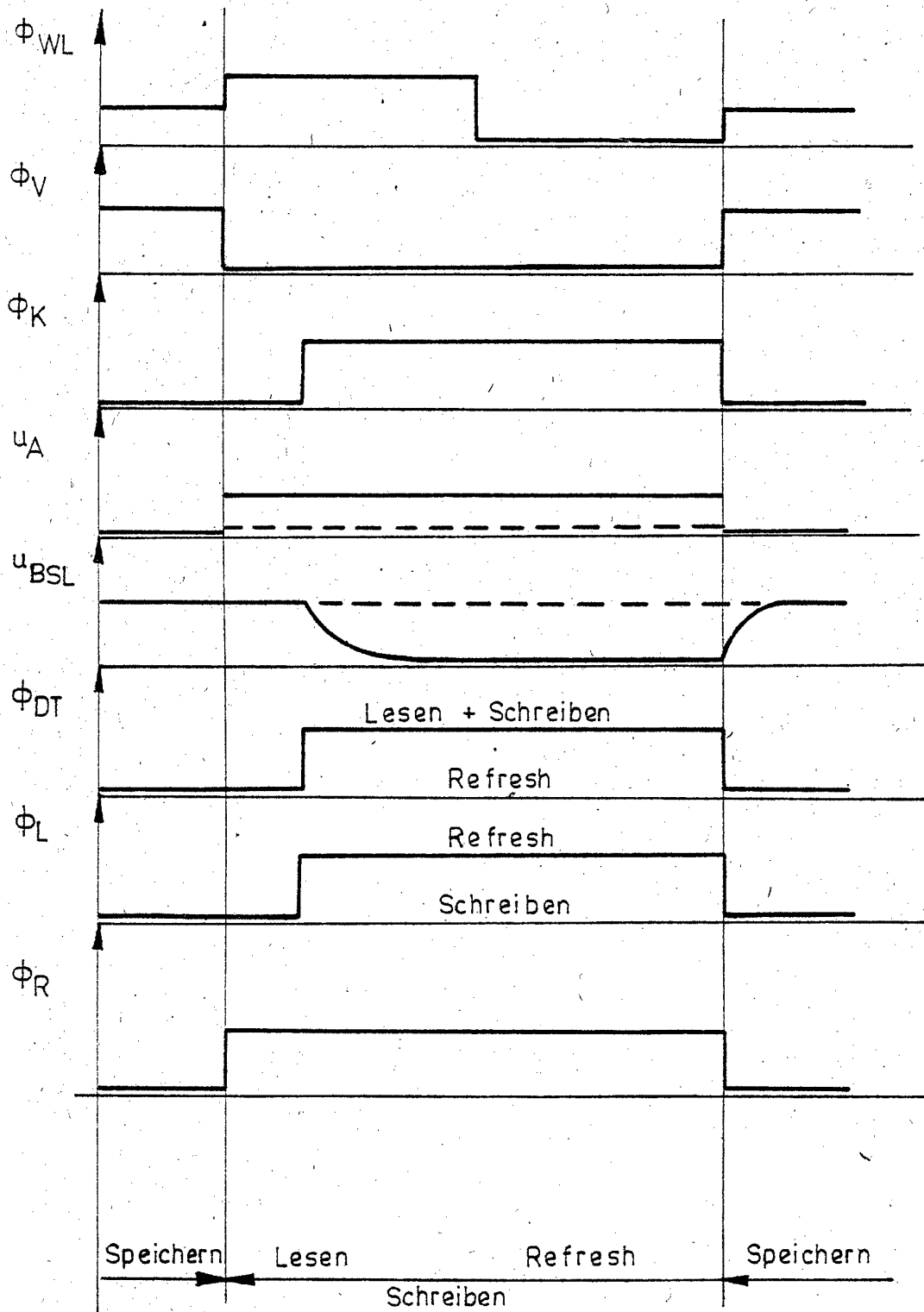


Fig. 2

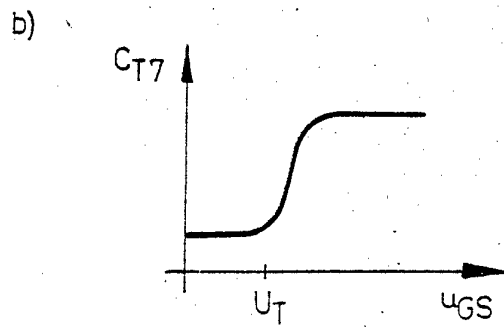
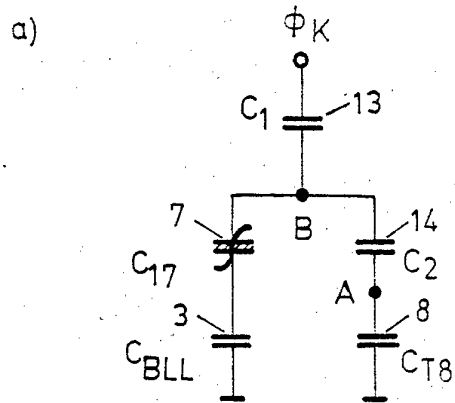


Fig. 3