(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월27일
(11) 등록번호 10-1455356
(24) 등록일자 2014년10월21일

(51) 국제특허분류(Int. Cl.)
*G02F 1/133* (2006.01) *G02F 1/13* (2006.01)
*G02F 1/136* (2006.01)
(21) 출원번호 10-2008-0097849
(22) 출원일자 2008년10월06일
심사청구일자 2013년05월31일
(65) 공개번호 10-2009-0039611
(43) 공개일자 2009년04월22일
(30) 우선권주장
JP-P-2007-270119 2007년10월17일 일본(JP)
(56) 선행기술조사문헌
JP2003151990 A*
WO2007023011 A2*
JP2000131713 A
JP2007201399 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**재팬 디스프레이 웨스트 인코포레이트**
일본 아이치켄 치타군 히가시우라초 오아자 오가와 50 아자 카미후나키
(72) 발명자
**다카토쿠 마코토**
일본 도쿄 미나토-쿠 코난 1-7-1 소니 가부시끼가이샤내
(74) 대리인
**신관호**

전체 청구항 수 : 총 5 항 심사관 : 이옥우

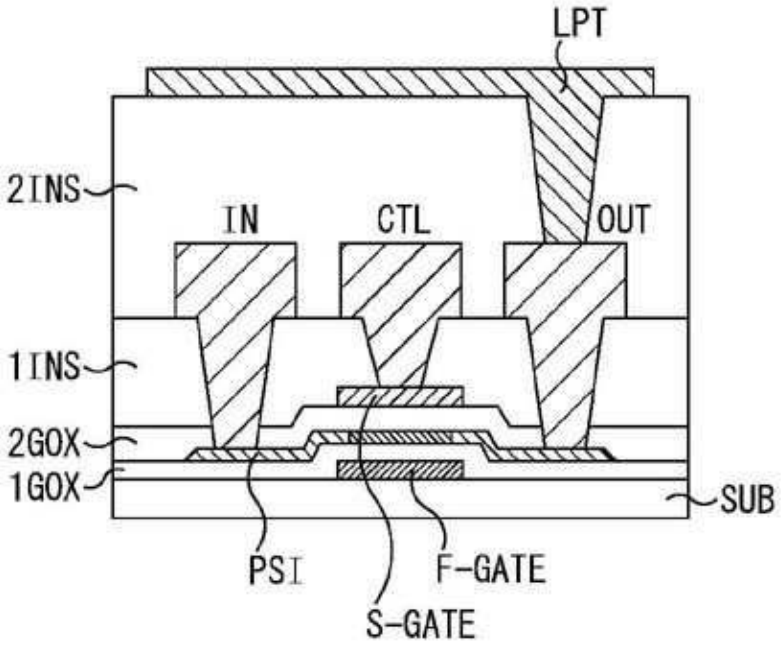
(54) 발명의 명칭 **메모리 소자 및 표시장치**

## (57) 요 약

액티브 매트릭스형의 표시장치의 화소에 장착하는 것이 가능한 초소형의 메모리 소자를 제공한다.

메모리 소자는, 한 개의 박막 트랜지스터와 한 개의 커패시터(capacitor)로 구성된다. 박막 트랜지스터는, 반도체 박막(PSI)과, 절연막(1GOX, 2GOX)을 통하여 반도체 박막(PSI)을 상하로부터 삽입하는한 쌍의 게이트 전극(F-GATE, S-GATE)을 가진다. 커패시터는, 한 쌍의 게이트 전극 중 제 1의 게이트 전극(F-GATE)에 접속하고 있다. 제 1의 게이트 전극(F-GATE)에 접속한 커패시터에 데이터를 비축하고, 한 쌍의 게이트 전극 중 제 2의 게이트 전극(S-GATE)을 제어하여 커패시터에 비축한 데이터를 독출한다.

대 표 도 - 도1



## *특허청구의 범위*

**청구항 1**

박막 트랜지스터와 커패시터(capacitor)로 구성되며, 상기 박막 트랜지스터는, 반도체 박막과, 절연막을 통하여 상기 반도체 박막을 상하로부터 삽입하는한 쌍의 게이트 전극을 가지고, 상기 커패시터는, 한 쌍의 게이트 전극 중 제 1의 게이트 전극에 접속하고, 제 1의 게이트 전극에 접속한 상기 커패시터에 데이터를 비축하고, 한 쌍의 게이트 전극 중 제 2의 게이트 전극을 제어하여 상기 커패시터에 비축한 데이터를 독출하며,

상기 박막 트랜지스터는, 데이터의 입력 측으로 구성되는 입력 전류단과, 데이터의 출력 측으로 구성되는 출력 전류단을 가지며,

상기 출력 전류단과 상기 커패시터와의 사이에 배치된 스위치를 갖추고,

데이터의 기록 시, 상기 스위치를 온 한 상태에서 제 2의 게이트 전극을 제어하고, 입력 전류단으로부터 공급된 데이터를 상기 커패시터에 기록하고,

데이터의 독출 시, 상기 스위치를 오프한 상태에서 상기 제 2의 게이트 전극을 제어하고, 상기 커패시터에 기록된 데이터를 출력 전류단에 독출하는 메모리 소자에 있어서,

상기 박막 트랜지스터는, 상기 커패시터에 기록된 데이터에 따른 전압이 상기 제 1의 게이트 전극에 가해지는 것으로 임계치 전압이 변화하고,

상기 제 2의 게이트 전극을 제어하여 상기 임계치 전압의 변화를 상기 박막 트랜지스터의 온 상태와 오프 상태의 변화로서 데이터를 독출하는 것을 특징으로 하는 메모리 소자.

**청구항 2**

행 모양의 게이트선과, 열 모양의 데이터선과, 양자가 교차하는 부분에 배치된 화소를 갖추고, 각 화소는, 메모리 소자와 전기광학 소자를 포함하고,

상기 메모리 소자는, 데이터선으로부터 공급된 데이터를 기억함과 동시에, 게이트선으로부터 공급된 신호에 따라서 데이터를 독출하고,

상기 전기광학 소자는, 상기 기억된 데이터에 따른 휘도를 나타내는 표시장치이며, 상기 메모리 소자는, 박막 트랜지스터와 커패시터로 구성되며,

상기 박막 트랜지스터는, 반도체 박막과, 절연막을 통하여 상기 반도체 박막을 상하로부터 삽입하는한 쌍의 게이트 전극을 가지며,

상기 커패시터는, 한 쌍의 게이트 전극 중 제 1의 게이트 전극에 접속하고,

제 1의 게이트 전극에 접속한 상기 커패시터에 데이터를 비축하고,

상기 게이트선으로부터 제 2의 게이트 전극을 제어하여 상기 커패시터에 비축한 데이터를 독출하는 표시장치에 있어서,

상기 박막 트랜지스터는, 데이터선에 접속한 입력 전류단과, 상기 전기광학 소자에 접속한 출력 전류단을 가지고,

상기 출력 전류단과 상기 커패시터와의 사이에 배치된 스위치를 갖추고,

데이터의 기록 시, 상기 스위치를 온 한 상태에서 게이트선으로부터 제 2의 게이트 전극을 제어하고, 입력 전류단으로부터 공급된 데이터를 상기 커패시터에 기록하고,

데이터의 독출 시, 상기 스위치를 오프한 상태에서 게이트선으로부터 상기 제 2의 게이트 전극을 제어하고, 상기 커패시터에 기록된 데이터를 출력 전류단에 독출하는 것을 특징으로 하는 표시장치.

**청구항 3**

제 2항에 있어서,

상기 스위치도 박막 트랜지스터로 구성되며, 데이터의 리크(leak) 방지를 위해 외광으로부터 차광되고 있는 것

을 특징으로 하는 표시장치.

**청구항 4**

제 2항에 있어서,

상기 화소는, 데이터선과 전기광학 소자와의 사이에 직렬 접속된 복수의 메모리 소자를 포함하고,

각 메모리 소자에 대응하는 복수의 게이트선에 의해 각 메모리 소자를 시분할적으로 제어하여 다계조(多階調)에 대응하는 다(多)비트 데이터를 기록하고,

또한 기록된 다비트 데이터에 따라서 상기 전기광학 소자를 시분할 구동하고, 이로써 전기광학 소자의 휘도를 다계조 제어하는 것을 특징으로 하는 표시장치.

**청구항 5**

제 2항에 있어서,

상기 화소는, 복수의 영역에 면적 분할되어 있고,

각 영역마다 전기광학 소자와 메모리 소자를 포함하고 있고,

복수의 영역에 배치된 복수의 메모리 소자에 다비트 데이터를 기록하고, 이로써 기록된 다비트 데이터에 따라서 상기 화소의 휘도를 다계조 제어하는 것을 특징으로 하는 표시장치.

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

# 명 세 서

## 발명의 상세한 설명

### 기 술 분 야

[0001] 본 발명은 메모리 소자에 관한 것이다. 보다 상세한 것은, 액티브 매트릭스형의 표시장치의 화소 구동에 매우 적합한 메모리 소자에 관한 것이다. 또, 이와 같은 메모리 소자를 각 화소에 형성한 액티브 매트릭스형의 표시장치에 관한 것이다.

### 배 경 기 술

[0002] 액티브 매트릭스형의 액정표시장치는, 행 모양의 게이트선과, 열 모양의 데이터선과, 양자가 교차하는 부분에 배치된 화소를 갖추고 있다. 각 화소에는 액정 셀에 의해서 대표되는 전기광학 소자와, 이것을 구동하는 박막 트랜지스터 등의 액티브 소자가 형성되어 있다. 박막 트랜지스터의 게이트는 게이트선에 접속되며, 소스는 데이터선에 접속되고, 드레인은 전기광학 소자에 접속되어 있다. 액티브 매트릭스형의 표시장치는, 게이트선을 선순차 주사하는 한편, 이것에 맞추어 열 모양의 데이터선에 영상 신호(데이터)를 공급하는 것으로, 화소 어레이에 영상 신호에 따른 화상을 표시한다.

[0003] 액티브 매트릭스형의 표시장치는, 1 필드마다 게이트선을 선순차 주사하고, 이것에 맞추어 데이터선에 영상 신호를 공급하고 있다. 동영상 표시의 경우, 1 필드마다 화면이 전환하기 때문에, 데이터선은 1 필드마다 영상 신호의 충방전(充放電)을 반복할 필요가 있다. 액티브 매트릭스형의 표시장치의 패널을 구동할 때, 소비 전력의 대부분이 데이터선의 충방전에 소비된다.

[0004] 이 정도의 소비 전력을 억제하기 위해서는, 화상의 개서(改書) 주파수(필드 주파수)를 떨어뜨리는 것이 유효하

다. 그렇지만, 필드 주파수를 30~60Hz이하로 낮추면, 플리커(flicker)라고 불리는 깜박거림이 화면에 발생하고, 표시 특성이 떨어지는 것이 잘 알려져 있다. 그래서 종래부터 필드 주파수를 낮추지 않고 소비 전력을 절약하는 수단으로서, 각 화소 내에 메모리 기능을 갖게 하는 것으로, 충방전 회수를 낮추는 방식이 제안되고 있다. 예를 들면 이하의 특허 문헌 1이나 비 특허 문헌 1에 기재가 있다.

[0005] [특허 문헌 1] 특개 평11-52416호 공보

[0006] [비특허 문헌 1] M.Senda et.al."Ultra low power polysilicon AMLCD with fullintegration" SID2002p790

## 발명의 내용

### 해결 하고자하는 과제

[0007] 정지화면을 표시하고 있는 경우 등, 입력 영상 신호가 변화하지 않을 때에는, 화소 내의 메모리 기능에서 보관 유지한 데이터를 계속 표시하는 것으로, 데이터선의 충방전 회수를 줄이고, 저소비 전력화하는 기술의 연구가 진행되고 있다.

[0008] 예를 들면 액정 패널의 화소 내에 메모리 기능을 장착하기 위해, SRAM 메모리 소자를 각 화소에 집적 형성하는 방식이 제안되고 있다. 그렇지만, SRAM 메모리 소자는, 1비트당 적어도 6개의 트랜지스터를 사용한다. 따라서 1화소당 6비트의 64계조 표시로 하는 경우, 화소당 6×6=36개의 트랜지스터를 집적 형성할 필요가 있고, 그만큼 화소의 유효 개구 면적을 압박한다. 표시에 필요한 백 라이트의 빛을 투과할 수 있는 화소 개구 면적이 줄기 때문에, 밝은 화면이 얻어지지 않는다. 따라서, 종래의 메모리 소자를 그대로 화소에 장착하려고 하면, 다(多) 비트화가 곤란하게 되어 고정밀의 다계조(多階調) 표시에 제약이 생기고, 해결해야 할 과제로 되어 있다.

[0009] 특허 문헌 1에서는, 화소에 장착하는 메모리 기능을 실현하는 방식으로서, 강유전체(强誘電體)를 이용한 예가 기재되어 있다. 각 화소에는 트랜지스터 등의 회로 소자를 형성할 필요가 없기 때문에, 개구 면적을 압박할 우려는 없지만, 메모리 기능을 갖춘 강유전체에 적절한 재료가 부족하고, 실용 레벨에 이르고 있지 않다. 데이터를 반복하여 개서하면, 강유전체 특성이나 절연성이 변화하기 쉽고, 메모리 기능의 신뢰성 확보가 곤란하다.

### 과제 해결수단

[0010] 상술한 종래의 기술 과제를 감안하여 이루어진 것이며, 본 발명은 화소에 장착하는 것이 가능한 초소형의 메모리 소자를 제공하는 것을 목적으로 한다. 또, 이러한 메모리 소자를 장착한 액티브 매트릭스형의 표시장치를 제공하는 것을 목적으로 한다. 이러한 목적을 달성하기 위해서 이하의 수단을 강구했다. 즉 본 발명에 관계되는 메모리 소자는, 박막 트랜지스터와 커패시터(capacitor)로 구성되며, 상기 박막 트랜지스터는, 반도체 박막과, 절연막을 통하여 상기 반도체 박막을 상하로부터 삽입하는한 쌍의 게이트 전극을 가지며, 상기 커패시터는, 한 쌍의 게이트 전극 중 제 1의 게이트 전극에 접속하고, 제 1의 게이트 전극에 접속한 상기 커패시터에 데이터를 비축하고, 한 쌍의 게이트 전극 중 제 2의 게이트 전극을 제어하여 상기 커패시터에 비축한 데이터를 독출하는 것을 특징으로 한다.

[0011] 바람직하게는, 상기 박막 트랜지스터는, 데이터의 입력 측으로 구성되는 입력 전류단과, 데이터의 출력 측으로 구성되는 출력 전류단을 가지며, 상기 출력 전류단과 상기 커패시터와의 사이에 배치된 스위치를 갖추고, 데이터의 기록 시, 상기 스위치를 온 한 상태에서 제 2의 게이트 전극을 제어하고, 입력 전류단으로부터 공급된 데이터를 상기 커패시터에 기록하고, 데이터의 독출 시, 상기 스위치를 오프한 상태에서 상기 제 2의 게이트 전극을 제어하고, 상기 커패시터에 기록된 데이터를 출력 전류단에 독출한다. 또 상기 박막 트랜지스터는, 상기 커패시터에 기록된 데이터에 따른 전압이 상기 제 1의 게이트 전극에 가해지는 것으로 임계치 전압이 변화하고, 상기 제 2의 게이트 전극을 제어하여 임계치 전압의 변화를 상기 박막 트랜지스터의 온 상태와 오프 상태의 변화로서 데이터를 독출한다.

[0012] 또 본 발명은, 행 모양의 게이트선과, 열 모양의 데이터선과, 양자가 교차하는 부분에 배치된 화소를 갖추고, 각 화소는, 메모리 소자와 전기광학 소자를 포함하고, 상기 메모리 소자는, 데이터선으로부터 공급된 데이터를 기억함과 동시에, 게이트선으로부터 공급된 신호에 따라서 데이터를 독출하고, 상기 전기광학 소자는, 상기 기억된 데이터에 따른 휘도를 나타내는 표시장치이며, 상기 메모리 소자는, 박막 트랜지스터와 커패시터로 구성되며, 상기 박막 트랜지스터는, 반도체 박막과, 절연막을 통하여 상기 반도체 박막을 상하로부터 삽입하는한 쌍의

게이트 전극을 가지며, 상기 커패시터는, 한 쌍의 게이트 전극 중 제 1의 게이트 전극에 접속하고, 제 1의 게이트 전극에 접속한 상기 커패시터에 데이터를 비축하여, 상기 게이트선으로부터 제 2의 게이트 전극을 제어하여 상기 커패시터에 비축한 데이터를 독출한다.

[0013] 바람직하게는, 상기 박막 트랜지스터는, 데이터선에 접속한 입력 전류단과, 상기 전기광학 소자에 접속한 출력 전류단을 가지며, 상기 출력 전류단과 상기 커패시터와의 사이에 배치된 스위치를 갖추며, 데이터의 기록 시, 상기 스위치를 온 한 상태에서 게이트선으로부터 제 2의 게이트 전극을 제어하고, 입력 전류단으로부터 공급된 데이터를 상기 커패시터에 기록하고, 데이터의 독출 시, 상기 스위치를 오프한 상태에서 게이트선으로부터 상기 제 2의 게이트 전극을 제어하고, 상기 커패시터에 기록된 데이터를 출력 전류단에 독출한다. 또 상기 스위치도 박막 트랜지스터로 구성되며, 데이터의 리크 방지를 위해 외광으로부터 차광 되고 있다. 일 모양에서는, 상기 화소는, 데이터선과 전기광학 소자와의 사이에 직렬 접속된 복수의 메모리 소자를 포함하고, 각 메모리 소자에 대응하는 복수의 게이트선에 의해 각 메모리 소자를 시분할적으로 제어하여 다계조에 대응하는 다비트 데이터를 기록하고, 또한 기록된 다비트 데이터에 따라서 상기 전기광학 소자를 시분할 구동하고, 이로써 전기광학 소자의 휘도를 다계조 제어한다. 다른 모양에서는, 상기 화소는, 복수의 영역에 면적 분할되어 있고, 각 영역마다 전기광학 소자와 메모리 소자를 포함하고 있고, 복수의 영역에 배치된 복수의 메모리 소자에 다비트 데이터를 기록하고, 이로써 기록된 다비트 데이터에 따라 상기 화소의 휘도를 다계조 제어한다.

## 효 과

[0014] 본 발명에 의하면, 메모리 소자는 적어도 1개의 듀얼 게이트형 박막 트랜지스터와 1개의 커패시터로 구성되어 있다. 경우에 따라서는 이것에 박막 트랜지스터로 구성되는 스위치를 가하는 일이 있다. 이 경우에도 메모리 소자는 합계 2개의 박막 트랜지스터와 1개의 커패시터로 구성할 수 있고, 종래의 SRAM에 비해 회로 규모는 매우 단순화되어 있고, 소형화되어 있다. 이와 같이 소형화된 메모리 소자는, 화소 내에 복수개 장착하는 것이 용이하고, 다비트 구성의 메모리를 작은 면적으로 화소 내에 내장할 수 있다. 따라서 실용적인 화소 사이즈로 다계조 표시가 가능한 액티브 매트릭스형의 표시장치가 실현될 수 있다.

[0015] 다비트 메모리를 화소에 내장 가능하기 때문에, 백 라이트 이외의 패널 소비 전력의 대부분을 차지하는 데이터선의 충방전에 필요로 하는 소비 전력을 삭감할 수 있다. 따라서 저소비 전력으로 구동 가능한 액티브 매트릭스형의 액정표시장치 패널이 가능하게 된다. 이러한 액정 패널을 휴대 기기의 모니터에 장착하는 것으로, 배터리의 충전 간격의 연장화 뿐만 아니라, 배터리 용적의 축소가 가능해지며, 휴대 기기를 보다 소형화할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0016] 이하 도면을 참조하여 본 발명의 실시의 형태를 상세하게 설명한다. 도 1은, 본 발명에 관계되는 메모리 소자의 구성을 나타내는 모식적인 단면도이다. 본 발명에 관계되는 메모리 소자는, 기본적으로 박막 트랜지스터와 커패시터로 구성되며, 기판(SUB) 위에 형성되어 있다. 박막 트랜지스터는, 다결정 실리콘 등으로 구성되는 반도체 박막(PSI)과 절연막(1GOX, 2GOX)을 통하여 반도체 박막(PSI)을 상하로부터 삽입하는한 쌍의 게이트 전극(F-GATE, S-GATE)을 가진다. 도시하지 않지만, 커패시터는, 한 쌍의 게이트 전극 중 제 1의 게이트 전극(F-GATE)에 접속하고 있다. 이 커패시터는, 제 1의 게이트 전극(F-GATE)과 동일한 도전층을 제 1의 전극으로 하고, 반도체 박막(PSI)과 동일하고 저 저항화 된 층을 제 2의 전극으로 하는 한편 양자 간에 배치된 절연막(1GOX)을 유전체막으로서 형성할 수 있다. 또한 도시한 예에서는, 커패시터에 접속한 제 1의 게이트 전극(F-GATE)은 듀얼 게이트형 박막 트랜지스터의 하측 전극으로 되어 있지만, 본 발명은 이것에 한정되는 것은 아니다. 제 1의 게이트 전극은 듀얼 게이트형 박막 트랜지스터의 상측의 게이트 전극을 사용하는 구성도 생각된다.

[0017] 본 발명의 특징 사항으로서, 메모리 소자는, 제 1의 게이트 전극(F-GATE)에 접속한 커패시터에 데이터를 비축하고, 한 쌍의 게이트 전극 중 제 2의 게이트 전극(S-GATE)을 제어하여 커패시터에 비축한 데이터를 독출하는 구성으로 되어 있다. 본 실시 형태에서는 제 2의 게이트 전극(S-GATE)은 상측의 게이트 전극으로 되어 있지만, 이것에 한정되는 것이 아니며, 하측의 게이트 전극을 제 2의 게이트 전극이라고 해도 좋다. 이와 같이 본 발명에 관계되는 메모리 소자는, 기본적으로 상하 한 쌍의 게이트 전극(F-GATE, S-GATE)으로 구성되는 듀얼 게이트형의 박막 트랜지스터(샌드위치 구조의 박막 트랜지스터라고도 부름)와, 커패시터로 구성되어 있고, 일반적인 SRAM 메모리에 비해 회로 구성이 매우 간략하게 되어 있다.

[0018] 메모리 소자의 본체부가 되는 듀얼 게이트형의 박막 트랜지스터 및 커패시터(도시하지 않음)는, 제 1 층간 절연

막(1INS)으로 피복되어 있다. 그 표면에는 금속 배선(IN, CTL, OUT)이 접속되어 있다. 금속 배선(IN)은 듀얼 게이트형 박막 트랜지스터의 입력 전류단이 되는 소스에 접속되어 있다. 금속 배선(CTL)은 듀얼 게이트형 박막 트랜지스터의 제어단이 되는 제 2의 게이트 전극(S-GATE)에 접속하고 있다. 나머지의 금속 배선(OUT)은 듀얼 게이트형 박막 트랜지스터의 출력 전류단이 되는 드레인에 접속하고 있다. 이러한 금속 배선(IN, CTL, OUT)은 제 2 층간 절연막(2INS)에 의해 피복되어 있다. 이 제 2 층간 절연막(2INS) 위에는 메모리 소자의 구동 대상이 되는 화소 전극(LPT)이 배치되어 있다. 이 화소 전극(LPT)은 제 2 층간 절연막(2INS)에 개구한 콘택트 홀을 통하여 출력 금속 배선(OUT)에 접속하고 있다.

[0019] 이상의 설명에서 밝혀진 바와 같이, 본 발명에 관계되는 메모리 소자의 주요부가 되는 듀얼 게이트형의 박막 트랜지스터는, 데이터의 입력 측이 되는 입력 전류단과, 데이터의 출력측이 되는 출력 전류단을 가진다. 바람직한 모양으로는, 출력 전류단과 데이터 보관 유지용의 커패시터와의 사이에 같은 박막 트랜지스터로 구성되는 스위치를 갖추고 있다. 이 경우 본 메모리 소자는, 데이터의 기록 시, 이 스위치를 온 한 상태에서 제 2의 게이트 전극(S-GATE)을 제어하고, 입력 전류단으로부터 공급된 데이터를 커패시터에 기록한다. 또한 데이터를 독출 시에는, 이 스위치를 오프한 상태에서 제 2의 게이트 전극(S-GATE)을 제어하고 커패시터에 기록된 데이터를 출력 전류단에 독출한다. 이 경우, 듀얼 게이트형의 박막 트랜지스터는, 커패시터에 기록된 데이터에 따른 전압이 제 1의 게이트 전극(F-GATE)에 가해지는 것으로 임계치 전압이 변화한다. 또한 제 2의 게이트 전극(S-GATE)을 제어하여 이 임계치 전압의 변화를 듀얼 게이트형 박막 트랜지스터의 온 상태와 오프 상태의 변화로서 데이터를 독출한다.

[0020] 도 2는, 도 1에 나타낸 듀얼 게이트형 박막 트랜지스터의 동작 특성을 나타내는 그래프이다. 가로축에 게이트 전압(Vgs)을 취하고, 세로축에 드레인 전류(Ids)를 취하고 있다. 이 게이트 전압(Vgs)은 듀얼 게이트형 박막 트랜지스터의 제 2 게이트 전극(S-GATE)에 인가되는 전압이다. 드레인 전류(Ids)는, 같은 듀얼 게이트형 박막 트랜지스터의 소스(입력 전류단)와 드레인(출력 전류단)과의 사이에 흐르는 전류이다. 이 그래프는, 제 1 게이트 전극(F-GATE)의 게이트 전위를 파라미터로 취하고 있다. 이 게이트 전위는 메모리 소자에 기록된 데이터에 따라서 변화한다. 본 명세서에서는 원 비트메모리 소자에 기록되는 2진 데이터를 L, H로 나타낸다. 도 2의 그래프는, F-GATE=L과(즉 원 비트메모리 소자에 2진 데이터 0이 기록된 경우)와 F-GATE=H(즉 원 비트메모리에 2진 데이터 1이 기록된 경우)의 2개로 나누어 듀얼 게이트형 박막 트랜지스터의 Vgs-Ids 특성을 나타내고 있다. 그래프에서 밝혀진 바와 같이, 듀얼 게이트형 박막 트랜지스터는, 제 1의 게이트 전극(F-GATE)의 전위에 따라서 임계치 전압(Vth)이 변화하고 있다. 도시의 예에서는, 임계치 전압(Vth)은 F-GATE=L일 때 높아지며, F-GATE=H일 때 낮아진다. 본 메모리 소자는, 듀얼 게이트형 박막 트랜지스터의 이 임계치 전압(Vth)의 변화를 검출하여, 2진 데이터를 독출한다.

[0021] 예를 들면 듀얼 게이트형 트랜지스터의 제어단(즉 제 2 게이트 전극(S-GATE))에 H레벨의 전압을 인가하면, 듀얼 게이트형 박막 트랜지스터는 온 하고, 드레인 전류(Ids)가 흐른다. 계속하여, 제어단을 로 레벨(L)로 전환하면(S-GATE=L), 드레인 전류(Ids)는, 제 1의 게이트 전극(F-GATE)의 전위에 따라서 전환한다. 즉, F-GATE=L일 때, Ids는 흐르지 않고 듀얼 게이트형 박막 트랜지스터는 오프이다. 또한, F-GATE=H일 때, 듀얼 게이트형 박막 트랜지스터는 온 상태가 되어 전류가 흐른다. 이와 같이, S-GATE=L로 하면, 듀얼 게이트형 박막 트랜지스터는 제 1의 게이트 전극(F-GATE)의 전위에 따라 온 오프가 전환한다. 바꾸어 말하면, 메모리 소자에 기록된 데이터에 따라서 박막 트랜지스터는 온 오프가 전환한다. 또한 제어단의 전압을 S-GATE=LL로 하면, 듀얼 게이트형의 박막 트랜지스터는 메모리 소자에 기록된 데이터의 값에 관계되지 않고, 오프 상태가 된다. 예를 들면, 박막 트랜지스터를 항상 온 상태에 두는 S-GATE=H의 레벨은 5~6.5V이다. 또한 박막 트랜지스터를 항상 오프 상태에 두는 S-GATE=LL의 레벨은 예를 들면-8V이다. 이것에 대하여, 메모리 소자에 기록된 데이터를 독출하기 위한 게이트 전압(S-GATE=L)은 예를 들면 0V이다.

[0022] 도 3은, 도 2에 나타낸 메모리 소자의 동작을 진리치 표에 나타낸 표이다. 제 1의 게이트 전극(F-GATE) 측의 레벨(L, H)은 2진 데이터의 0, 1 데이터에 대응하고 있다. 또한 제 2 게이트 전극(S-GATE) 측의 레벨(LL, L, H)은 메모리 소자의 독출용의 제어 전압을 나타내고 있다.

[0023] 예를 들면 메모리 소자의 S-GATE를 L/H로 전환한 경우, 박막 트랜지스터는 메모리 소자에 기록된 데이터(L, H)에 따라 온 오프가 전환한다. 도시한 진리치 표에 있어서, S-GATE 측의 L, H의 조합과, F-GATE 측의 L, H의 조합을 보면, 본 메모리 소자는 오어 게이트(OR gate) 소자로서 동작하고 있는 것을 알 수 있다. 즉, S-GATE=L에서 F-GATE=L일 때만, 메모리 소자는 OFF가 되고, 그 외의 조합에서는 모두 ON이 되어 오어 게이트 소자로서 동작하고 있는 것을 알 수 있다.

[0024] 도 4는, 본 메모리 소자에 장착되는 듀얼 게이트형 박막 트랜지스터의 Ids / Vgs특성의 실측 데이터를 나타내는 그래프이다. 상술한 바와 같이, Vgs는 제어단으로 구성되는 게이트 전극(S-GATE)에 인가되는 전압이며, Ids는 입력 전류단과 출력 전류단과의 사이에 흐르는 전류이다. 이 그래프는, 제 1의 게이트 전극(F-GATE)에 인가되는 전압을 0V~4V까지 5단계로 전환한 경우의 데이터이다. 도면에서 밝혀진 바와 같이, 제 1의 게이트 전극(F-GATE)에 인가하는 전압을 변화시키는 것으로, 듀얼 게이트형 박막 트랜지스터의 임계치 전압이 시프트하고 있는 것을 알 수 있다. 본 발명은, 이 듀얼 게이트형 박막 트랜지스터의 특성을 이용하여, 메모리 소자에 응용한 것이다.

[0025] 도 5는, 본 발명에 관계되는 메모리 소자의 제조 방법을 나타내는 모식적인 공정도이다. 우선 (A)에 나타내는 바와 같이, 유리 기판(101) 상에 예를 들면 스패터(spatter) 법으로 금속막(102, 103)을 성막한다. 아래쪽의 금속막(102)은 예를 들면 알루미늄으로 그 두께는 100nm이다. 위쪽의 금속막(103)은 예를 들면 티탄으로 두께는 50nm이다. 이 2층의 금속막(102, 103)을 소자 영역의 형상에 맞추어 패터닝하여, 차광막으로 한다.

[0026] 계속하여 (B)에 나타내는 바와 같이, 차광용의 금속막(102, 103)을 절연 피복하기 위해, 예를 들면, 플라스마 CVD법으로 실리콘 산화막(104)을 예를 들면 100nm의 두께로 성막한다.

[0027] 계속하여 (C)에 나타내는 바와 같이, 절연막(104) 위에 제 1의 게이트 전극이 되는 금속막(105)을, 예를 들면 스패터 법으로 100nm 성막하고, 게이트 전극의 형상이 되도록 패터닝한다. 또한 공정 (C)이하의 도면 스케일은 공정 (B)에서 앞 도면의 스케일보다 축소되어 있다.

[0028] 다음으로 (D)에 나타내는 바와 같이, 제 1의 게이트 전극으로서 패터닝 된 금속막(105) 위에, 제 1의 게이트 절연막(106)을 형성한다. 이 게이트 절연막(106)은 예를 들면 질화(nitride) 실리콘막 50nm와 산화 실리콘막 50nm를 적층한 것이다. 또한 이 제 1 게이트 절연막(106) 위에 어모퍼스(amorphous) 실리콘 반도체 층(107)을 50nm의 두께로 성막한다. 게이트 절연막(106) 및 어모퍼스 실리콘 반도체막(107)은, 플라스마 CVD법으로 연속 성막된다. 그 후 엑시머(excimer) 레이저 빛을 조사하여, 어모퍼스 실리콘 반도체막(107)을 다결정화한다.

[0029] 계속하여 (E)에 나타내는 바와 같이 다결정화한 반도체 박막(107) 위를 마스크로 피복한 상태에서, 이온 도핑 장치에 의해 선택적으로 N형이나 P형의 불순물을 다결정 실리콘 박막(107)에 주입하고, 소스 영역 및 드레인 영역을 형성한다. 계속하여 RTA(급속 가열) 장치를 이용하여 반도체 박막(107)에 주입한 불순물을 활성화시킨다. 또한 실리콘 박막(107)을 소자 영역의 형상에 맞추어 섬 모양으로 패터닝한다.

[0030] 마지막으로 (F)에 나타내는 바와 같이, 제 2의 게이트 절연막(108)을, 반도체 박막(107) 위에 퇴적한다. 예를 들면 산화 실리콘막 50nm와 질화 실리콘막 50nm를 플라스마 CVD법으로 연속적으로 성막하고, 제 2의 게이트 절연막(108)으로 한다. 그 후 제 2의 게이트 전극이 되는 금속막(109)을 예를 들면 스패터 법으로 제 2 게이트 절연막(108) 위에 성막한다. 예를 들면 금속 몰리브덴을 스패터법으로 100nm 성막한다. 이 금속막(109)을 게이트 전극의 형상에 맞추어 마스킹한다. 이 마스크를 통하여 금속막(109)을 에칭하고, 제 2의 게이트 전극에 가공한다. 이상에 의해, 본 발명에 관계되는 메모리 소자의 주요부가 되는 듀얼 게이트형 박막 트랜지스터의 기본 구조가 형성된다.

[0031] 공정 (E)에서는, 다결정 실리콘막(107)을 패터닝 할 때, 동시에 커패시터도 형성하고 있다. 도시하지 않지만, 이 커패시터는 제 2의 게이트 전극이 되는 금속막(105)과 동층의 금속 패턴을 아래쪽 전극으로 하고, 반도체 박막(107)과 동층의 저저항화된 반도체 층의 패턴을 위쪽 전극으로 하여, 상하 전극에 끼워진 게이트 절연막(106)과 동층의 절연막을 유전체로 하고 있다.

[0032] 공정 (F)의 후, 듀얼 게이트 구조의 박막 트랜지스터 및 커패시터의 표면을, 제 1 층간 절연막으로 피복한다. 이 제 1 층간 절연막은, 예를 들면 플라스마 CVD법으로 산화 실리콘막 300nm와 질화 실리콘막 300nm를 각각 성막한다. 또한 다결정 실리콘막(107)을 수소화하여 개질(改質)하기 위해서, 400℃정도의 어닐링(annealing)을 실시한다. 이와 같이하여 형성된 제 1 층간 절연막에 콘택트 홀을 개구한다. 또한 제 1 층간 절연막 위에 금속층을 형성하고, 소정의 형상으로 패터닝하여 배선 전극(IN, OUT, CTL)으로 한다. 이 배선 전극은 도 1에 나타낸 대로이다. 배선이 되는 금속층은, 예를 들면 3층 구조를 가지며, 하층 티탄(titanium) 50nm와 중층 알루미늄(aluminum) 500nm와 상층 티탄 50nm을 적층한 것이다. 마지막으로 제 2 층간 절연막(유기평탄화막)을 배선 전극 위에 도포하고, 이들을 완전하게 피복한다. 이 제 2 층간 절연막(유기평탄화막)에 콘택트 홀을 형성하고, 그 위에 투명 도전막(ITO)을 성막한다. 이 투명 도전막(ITO)을 소정의 형상으로 패터닝하여 화소 전극에 가공한다. 이와 같이하여 완성한 메모리 소자는, 도 1에 나타낸 바와 같은 단면 구조로 되어 있다.

[0033] 도 6~도 12를 참조하여, 도 1~도 5에 나타낸 본 발명에 관계되는 메모리 소자를 이용한 액티브 매트릭스형의

액정표시장치에 대해 상세하게 설명한다. 우선 본 발명의 배경을 분명하게 하기 위해, 도 6은 종래의 액티브 매트릭스형의 구성을 나타내고 있다. 도시하는 바와 같이, 종래의 액티브 매트릭스형의 액정표시장치는, 행 모양의 게이트선(GATE)과 열 모양의 데이터선(SIG)과, 양자가 교차하는 부분에 배치된 화소를 갖추고 있다. 각 화소는 액정 셀(LC)과 보관 유지 커패시터(Cs)와 구동용의 트랜지스터(Tr)로 구성된다. 구동 트랜지스터(Tr)는, 그 게이트가 대응하는 게이트선(GATE)에 접속하고, 그 소스가 대응하는 데이터선(SIG)에 접속하고, 그 드레인이 대응하는 액정 셀(LC) 및 보관 유지 커패시터(Cs)에 접속하고 있다. 액정 셀(LC)은 트랜지스터(Tr)의 드레인에 접속한 화소 전극과, 대향 기판 측에 형성된 대향 전극(공통 전극)과, 양전극의 사이에 보관 유지된 액정으로 구성되어 있다.

[0034] 행 모양의 게이트선(GATE)은 게이트선 구동 회로(V스캐너)(YD)에 의해서, 1 필드마다 선순차 주사된다. 또한 열 모양의 데이터선(SIG)은 데이터선 구동 회로(H스캐너)(XD)에 접속되어 있다. 데이터선 구동 회로(XD)는 열 모양의 데이터선(SIG)에 데이터를 공급한다. 게이트선(GATE)의 선순차 주사는 1 필드마다 실시되며, 이것에 대응하여 데이터선(SIG) 상의 데이터가 변환하기 때문에, 데이터선(SIG)의 충방전이 생긴다. 이 충방전이 액티브 매트릭스형 표시장치의 전력 소비의 주요 부분을 차지하고 있다. 1 필드마다 데이터 개서 조작은, 동영상 표시뿐만 아니라 화소 어레이에 정지화면을 표시하는 경우에도 실시할 필요가 있다. 왜냐하면, 구동 트랜지스터(Tr)에는 전류 리크(leak)가 있고, 이 대책을 위해서 예를 들면 60Hz의 필드 주파수로, 데이터선의 개서 조작이 필요하다. 즉 리크 대책이기 때문에 필드 주기에 정지화면을 리프레시(refresh) 할 필요가 있다.

[0035] 도 7은, 데이터 선(SIG)의 충방전에 따른 소비 전력을 삭감하기 위해, 각 화소에 메모리를 형성한 액티브 매트릭스형의 액정표시장치를 나타내는 모식적인 평면도이다. 이해를 용이하게 하기 위해, 도 6에 나타낸 액정표시장치와 대응하는 부분에는 대응하는 참조 부호를 사용하고 있다. 도시하는 바와 같이, 본 액정표시장치는 각 화소에 메모리(M)를 갖추고 있고, 보관 유지 커패시터(Cs)에 데이터를 보관 유지함과 동시에, 선순차 주사에 대응하여 데이터를 독출하고, 액정 셀(LC)을 구동하고 있다. 각 화소에 메모리(M)를 배치하는 것으로, 정지화면 표시 시에는 데이터 선(SIG)의 충방전 회수를 삭감할 수 있다. 정지화면 표시와 같이 데이터 개서의 필요가 없을 때는, 데이터 주사를 멈춘 저소비 전력 모드로 할 수 있다.

[0036] 도 8은, 본 발명에 관계되는 액정표시장치의 1화소 분을 나타내는 회로도이다. 바꾸어 말하면, 도 7에 나타낸 액정표시장치에 포함되는 1화소 분을 확대 표시한 회로도이다. 도시하는 바와 같이, 1개의 화소는, 메모리 소자(M)와 전기광학 소자를 포함하고 있다. 메모리 소자(M)는, 데이터 선(SIG)으로부터 공급된 데이터를 기억함과 동시에, 게이트 선(GATE)으로부터 공급된 신호에 따라서 데이터를 독출한다. 전기광학 소자는, 기억된 데이터에 따른 휘도를 나타낸다. 본 실시 형태에서는, 이 전기광학 소자는 액정 셀(LC)로 구성된다. 이 액정 셀(LC)은 화소 전극과 대향 전극과의 사이에 보관 유지된 액정이다. 대향 전극에는 공통 전위(VCOM)가 인가되어 있다.

[0037] 메모리 소자(M)는, 박막 트랜지스터(Tr1)와 커패시터(C)로 구성된다. 또한 도 8에서는 이해를 용이하게 하기 위해, 도 7에 나타낸 보관 유지 커패시터(Cs)를 메모리 소자(M) 내의 커패시터(C)로서 표기하고 있다. 박막 트랜지스터(Tr1)는, 반도체 박막과 절연막을 통하여 반도체 박막을 상하로부터 삽입하는한 쌍의 게이트 전극을 가지며, 이른바 듀얼 게이트 구조로 되어 있다. 커패시터(C)는 한쪽의 전극이 한 쌍의 게이트 전극 중 제 1의 게이트 전극에 접속하고, 다른 한쪽의 전극이 공통 전위(VCOM)에 접속되어 있다. 이러한 구성을 가지는 메모리 소자(M)는, 듀얼 게이트형 박막 트랜지스터(Tr1)의 제 1 게이트 전극에 접속한 커패시터(C)에 데이터를 비축하고, 게이트 선(GATE)으로부터 제 2 게이트 전극을 제어하여 커패시터(C)에 비축한 데이터를 독출한다.

[0038] 듀얼 게이트형의 박막 트랜지스터(Tr1)는, 데이터 선(SIG)에 접속한 입력 전류단(소스)과, 액정 셀(LC)의 화소 전극에 접속한 출력 전류단(드레인)을 가진다. 이 출력 전류단(드레인)과 커패시터(C)와의 사이에 박막 트랜지스터(Tr2)로 구성되는 스위치가 삽입되어 있다. 스위치용의 박막 트랜지스터(Tr2)의 게이트에는 게이트 선(GATE)과 평행으로 배치된 기록선(WRITE)이 접속하고 있다. 이러한 구성의 메모리 소자(M)는, 데이터의 기록 시, 기록선(WRITE)을 통하여 스위칭용 트랜지스터(Tr2)를 온 한 상태에서, 게이트 선(GATE)으로부터 듀얼 게이트형 트랜지스터(Tr1)의 제 2 게이트 전극을 제어하고, 입력 전류단으로부터 공급된 데이터를 커패시터(C)에 기록한다. 또한 데이터를 독출 시에는, 기록선(WRITE)을 통하여 스위칭용 트랜지스터(Tr2)를 오프한 상태에서 게이트선(GATE)으로부터 듀얼 게이트형 박막 트랜지스터(Tr1)의 제 2 게이트 전극을 제어하고, 커패시터(C)에 기록된 데이터를 출력 전류단으로 독출한다. 또한 스위칭 용의 박막 트랜지스터(Tr2)는, 데이터의 리크 방지를 위해 외광에서 차광되고 있다.

[0039] 여기에서 도 8의 메모리 소자(M)의 동작을, 기록 동작과 독출 동작으로 나누어 정리해 둔다. 우선 기록 동작

이지만, 게이트선(GATE)을 H레벨로서 박막 트랜지스터(Tr1)를 온 상태로 한다. 또 기록선(WRITE)도 H레벨로서 스위칭 트랜지스터(Tr2)도 온 한다. 이 상태에서 데이터 선(SIG)에 H 또는 L의 2진 데이터를 공급한다. 이 데이터(H, L)는 온 상태에 있는 트랜지스터(Tr1, Tr2)를 통하여 커패시터(C)에 기록된다. 커패시터(C)에 기록된 데이터(L, H)는 듀얼 게이트 트랜지스터(Tr1)의 제 1 게이트 전극에 인가된다.

[0040] 또한 독출 동작에서는, 게이트 선(GATE)을 L레벨로 전환, 기록선(WRITE)도 L레벨로 한다. 또한 데이터 선(SIG)은 공통 전위(VCOM)로 한다. 이것에 의해 스위칭 트랜지스터(Tr2)는 오프하므로 듀얼 게이트형 트랜지스터(Tr1)의 출력 전류단은 커패시터(C)로부터 떼어 내진다. 여기에서 커패시터(C)에 기록된 데이터가 H의 경우, 듀얼 게이트형 트랜지스터(Tr1)는 온 상태가 되고, 액정 셀(LC)의 화소 전극에는 데이터 선(SIG)으로부터 VCOM이 인가된다. 액정 셀(LC)의 화소 전극 및 대향 전극은 모두 VCOM이 되기 때문에, 액정 셀(LC)에는 전압이 인가되지 않는다. 또한 커패시터(C)에 기록된 데이터가 L레벨일 때, 듀얼 게이트형의 박막 트랜지스터(Tr1)는 오프 상태가 되고, 데이터 선(SIG)은 액정 셀(LC)의 화소 전극으로부터 떼어내진다. 액정 셀(LC)의 화소 전극에는 대향 전극 측의 VCOM에 대해서 소정의 전압이 계속 인가되므로, 표시 상태를 유지한다.

[0041] 도 9는, 도 8에 나타낸 화소의 응용 예를 나타내는 모식도이다. 도 9는, RGB 3화소 분을 나타내고 있고, 또한 각 화소는 화소 전극이 면적 분할되어 있다. 바꾸어 말하면, 액정 셀(LC)이 면적 분할되어 있고, 제일 면적이 큰 액정 셀(LC1)부터 제일 면적이 작은 액정 셀(LC4)까지 4개가 포함되어 있다. 각 액정 셀(LC4, LC3, LC2, LC1)은 순서대로 배씩 면적이 증가하고 있다. 각 액정 셀(LC1~LC4)에 대응하여 메모리 셀(M1~M4)이 접속되어 있다. 각 메모리 셀(M1~M4)은 공통의 게이트 선(GATE)과 기록선(WRITE)에 접속하고 있다. 또한 각 메모리 셀(M1~M4)에는, 각각 대응하는 데이터 선(SIG1~SIG4)이 접속하고 있다.

[0042] 기록 시에는 게이트 선(GATE) 및 기록선(WRITE)을 하이 레벨로서, 각 데이터 선(SIG~SIG4)으로부터 대응하는 메모리 셀(M1~M4)에 다비트 데이터를 기록한다. 본 예의 경우 4개의 메모리(M1~M4) 세트에 4비트 데이터가 기록되며, 2의 4승=16 계조의 표시가 가능하게 된다.

[0043] 도 10은, 본 발명에 관계되는 액정표시장치의 다른 실시 형태를 나타내는 모식도이며, 1화소 분의 회로 구성을 나타내고 있다. 본 실시 형태의 경우, 1개의 화소는, 데이터 선(SIG)과 액정 셀(LC)과의 사이에 직렬 접속된 4개의 메모리 소자(M1~M4)를 포함하고 있다. 각 메모리 소자(M1~M4)에 대응하는 복수의 게이트 선(GATE1~GATE4)에 의해 각 메모리 소자(M1~ M4)를 시분할적으로 제어하고, 다계조에 대응하는 다비트 데이터를 기록한다. 또한 기록된 다비트 데이터에 따라 액정 셀(LC)을 시분할 구동하고, 이로써 액정 셀(LC)의 휘도를 다계조 제어하고 있다. 본 실시 형태의 경우, 원 비트 메모리 소자(M)를 M1~M4까지 4개 사용하고 있으므로, 액정 셀(LC)의 휘도를 2의 4승=16계조로 제어할 수 있다. 1화소 내에서 메모리 소자를 6개 접속하면, 2의 6승=64계조의 휘도 제어가 가능하다.

[0044] 도 11은, 도 10에 나타낸 화소의 기록 동작을 나타내는 타이밍 차트이다. 도 10의 실시 형태에서는, 직렬 접속한 메모리 소자(M1~M4)에 대해, 액정 셀(LC)에 제일 가까운 메모리 셀(M4)부터 순서대로 2진 데이터를 기록해 간다. 기록 동작 개시 타이밍(T0)의 전에는, 모든 게이트 선(GATE1~GATE4)은 레벨(LL)에 있고, 대응하는 듀얼 게이트형 박막 트랜지스터는 전부 오프로 되어 있다. 데이터 선(SIG)은 레벨(L)이다. 또 기록선(WRITE)은 L레벨이며, 스위칭 트랜지스터도 오프하고 있다. 기록 개시 타이밍(T0)이 되면, 모든 게이트 선(GATE1~GATE4)이 H레벨로 상승하고, 모든 듀얼 게이트 트랜지스터가 온 한다. 또 데이터 선(SIG)은 H레벨로 상승한다. 부가하여 기록선(WRITE)도 H레벨로 상승하기 때문에, 모든 스위칭 트랜지스터도 온 한다.

[0045] 이 상태는 타이밍(T1)까지 계속된다. 타이밍(T0)~타이밍(T1)까지의 사이, 데이터 선(SIG)은 H레벨에 있다. 따라서, 이 데이터(H)는, 일단 모든 메모리 소자(M1~M4)에 기록된다. 타이밍(T1)이 되면 게이트 선(GATE4)만이 LL레벨로 돌아오고, 대응하는 듀얼 게이트형 박막 트랜지스터가 오프한다. 따라서, 액정 셀(LC)에 제일 가까운 메모리 소자(M4)에 기록된 데이터(H)는 타이밍(T1)의 시점에서 그대로 고정된다. 즉, 타이밍(T0-T1)의 기간에서, 메모리 소자(M4)에 데이터(H)가 기록된다. 또한 타이밍(T0-T1)의 시점에서 데이터 선(SIG)이 L레벨이면, 데이터(L)가 메모리 셀(M4)에 기록되게 된다.

[0046] 계속하여 타이밍(T1-T2) 간에서는, 데이터 선(SIG)이 L레벨이 된다. 따라서 메모리 소자(M3, M2, M1)에는 먼저 기록된 H레벨이 이번 L레벨로 개서되게 된다. 그리고 타이밍(T2)이 되면 게이트 선(GATE3)이 LL레벨로 전환, 대응하는 듀얼 게이트형 박막 트랜지스터가 오프한다. 따라서 메모리 소자(M3)에 기록된 데이터(L)는 타이밍(T2)의 시점에서 고정되며, 그대로 보관 유지된다.

[0047] 계속하여 타이밍(T2-T3)의 기간이 되면, 데이터 선(SIG)은 H레벨이 된다. 이것에 의해 메모리 소자(M2, M1)

는 L레벨에서 H레벨로 개서된다. 그리고 타이밍(T3)일 때 게이트 선(GATE2)이 하강하고, 메모리 셀(M2)의 듀얼 게이트형 트랜지스터가 오프한다. 이 시점에서 데이터(H)가 메모리 소자(M2)에 보관 유지 고정된다. 이하와 마찬가지로 하여, 타이밍(T4)에서는 마지막 메모리 소자(M1)에 데이터 선(SIG)으로부터 공급된 H레벨의 데이터가 기록된다. 이와 같이 하여, 데이터 선(SIG)에 공급된 H, L의 2진 데이터가 시분할적으로 메모리 소자(M4 부터 M1까지) 순으로 기록된다.

[0048] 도 12는, 도 10에 나타낸 메모리 소자(M1~M4)의 독출 동작을 나타내는 타이밍 차트이다. 우선 타이밍(T0)에서, 모든 게이트 선(GATE1~GATE4)은 H레벨이며, 모든 듀얼 게이트형 박막 트랜지스터는 온 상태이다. 따라서 데이터 선(SIG)은 직렬 접속된 온 상태의 듀얼 게이트형 트랜지스터에 의해서 액정 셀(LC)의 화소 전극에 접속한 상태로 되어 있다. 이때 데이터 선(SIG)은 공통 전위(VCOM)를 중심으로서 H레벨 측에 있다. 이 H레벨은 다음의 필드에 들어가면 L레벨로 전환한다. 이와 같이 하여, 본 발명에 관계되는 액정표시장치는, 필드마다 액정 셀(LC)에 인가하는 전압의 극성을 VCOM에 대해서 반전하여 교류 구동을 실시하고 있다. 기록선(WRITE)은 L레벨에 보관 유지되며, 각 메모리 소자(M1~M4)의 스위칭 트랜지스터는 모두 오프 상태에 있다.

[0049] 타이밍(T0-T1)의 기간에 들어가면, 게이트 선(GATE1)만이 L레벨이 되고, 다른 게이트 선(GATE2~GATE4)은 H레벨에 보관 유지된다. 따라서 메모리 소자(M2, M3, M4)의 듀얼 게이트형 트랜지스터는 온 상태를 유지하는 한편, 메모리 소자(M1)의 듀얼 게이트형 트랜지스터만 선택 상태에 있다. 즉 메모리 소자(M1)에 기록된 데이터가 H레벨이면 그 듀얼 게이트형 트랜지스터는 온 상태가 되고, 직렬 접속된 4개의 듀얼 게이트 트랜지스터 모든 것이 온으로 되며, 데이터 선(SIG)과 액정 셀(LC)의 화소 전극이 접속하여, 액정 셀(LC)은 점등 상태가 된다. 즉 메모리 소자(M1)에 데이터(H)가 기록되어 있으면, 액정 셀(LC)은 T0-T1의 사이 점등 상태에 있다. 반대로 메모리 소자(M1)에 데이터(L)가 기록되어져 있는 경우, 그 듀얼 게이트형 트랜지스터는 오프가 된다. 따라서 직렬 접속된 4개의 듀얼 게이트 트랜지스터의 1개가 오프가 되기 때문에, 액정 셀(LC)은 데이터 선(SIG)으로부터 떼어내지며, 소등 상태가 된다. 즉 메모리 소자(M1)에 데이터(L)가 기록되어져 있는 경우, 액정 셀(LC)은 T0-T1의 사이 소등 상태가 된다.

[0050] 계속하여 타이밍(T1-T2)이 되면, 게이트 선(GATE2)만이 L레벨이 되고, 다른 게이트 선(GATE1, GATE3, GATE4)은 H레벨이다. 따라서 2번째의 메모리 소자(M2)가 선택 상태에 있는 한편, 나머지의 메모리 소자(M1, M3, M4)에 포함되는 듀얼 게이트형 트랜지스터는 모두 온 상태가 된다. 여기에서 메모리 소자(M2)가 선택 상태가 되는 기간(T1-T2)은, 메모리 소자(M1)가 선택기간이 되는 T0-T1보다 2배 길게 되어 있다. 메모리 소자(M2)에 데이터(H)가 기록되어 있으면, 액정 셀(LC)은 점등한다. 반대로 메모리 소자(M2)에 데이터(L)가 기록되어 있으면, 액정 셀(LC)은 T1-T2의 기간 소등 상태에 있다.

[0051] 계속하여 T2-T3의 기간에서는 메모리 소자(M3)가 선택 상태에 있고, 나머지의 메모리 소자의 듀얼 게이트형 트랜지스터는 모두 온 상태가 된다. 메모리 소자(M3)가 선택 상태로 되는 기간(T2-T3)은, 메모리 소자(M2)의 선택기간(T1-T2)에 비해 길이가 2배로 되어 있다. 액정 셀(LC)은, T2-T3의 기간, 메모리 소자(M3)에 기록된 2진 데이터의 값(L, H)에 따라서, 온 상태 / 오프 상태가 선택되며, T2-T3의 기간 액정 셀(LC)은 점등 혹은 소등 상태에 있다.

[0052] 마지막으로 T3-T4의 기간에서, 게이트 선(GATE4)이 L레벨이 되고, 메모리 소자(M4)가 선택 상태에 있다. 나머지의 메모리 소자(M1, M2, M3)의 듀얼 게이트형 트랜지스터는 온 상태이다. 이 기간(T3-T4)의 사이, 액정 셀(LC)은 메모리 소자(M4)에 기록된 데이터의 값(H, L)에 따라 점등 혹은 소등한다.

[0053] 이상의 설명에서 밝혀진 바와 같이, 메모리 소자(M1~M4)의 전부에 2진 데이터(H)가 기록되어 있으면, 액정 셀(LC)은 전 기간(T0-T4)에 걸쳐 점등 상태에 있다. 반대로 모든 메모리 소자(M1~M4)에 데이터(L)가 기록되면, 전 기간(T0-T4)에 걸쳐 액정 셀(LC)은 소등 상태가 된다. 전(全) 점등상태와 전 소등상태의 사이에서는, 메모리 소자(M1~M4)에 기록된 다비트 데이터에 따라, 액정 셀(LC)은 그 다비트 데이터에서 나타내지는 시간만큼 점등 상태와 소등 상태가 나누어진다. 이와 같이 하여, 도 10에 나타낸 액정표시장치는, 각 화소의 메모리 셀(M1~M4)에 기록된 다비트 데이터에 따라서 액정 셀(LC)을 시분할 구동하고, 이로써 액정 셀(LC)의 휘도를 다계조 제어할 수 있다.

[0054] 도 13은 본 발명이 적용된 텔레비전이며, 프런트 패널(12), 필터 유리(13) 등으로 구성되는 영상 표시 화면(11)을 포함하고, 본 발명의 표시장치를 그 영상 표시 화면(11)에 이용함으로써 제작된다.

[0055] 도 14는 본 발명이 적용된 디지털 카메라이며, 위가 정면도이고 아래가 배면도이다. 이 디지털 카메라는, 촬상 렌즈, 플래시용의 발광부(15), 표시부(16), 컨트롤 스위치, 메뉴 스위치, 셔터(19) 등을 포함하고, 본 발명

의 표시장치를 그 표시부(16)에 이용함으로써 제작된다.

[0056] 도 15는 본 발명이 적용된 노트형 퍼스널 컴퓨터이며, 본체(20)에는 문자 등을 입력할 때 조작되는 키보드(21)를 포함하고, 본체 커버에는 화상을 표시하는 표시부(22)를 포함하고, 본 발명의 표시장치를 그 표시부(22)에 이용함으로써 제작된다.

[0057] 도 16은 본 발명이 적용된 휴대 단말 장치이며, 왼쪽이 열린 상태를 나타내고, 오른쪽이 닫힌 상태를 나타내고 있다. 이 휴대 단말 장치는, 위쪽 케이스(23), 아래쪽 케이스(24), 연결부(여기에서는 경첩부)(25), 디스플레이(26), 서브 디스플레이(27), 픽처 라이트(28), 카메라(29) 등을 포함하고, 본 발명의 표시장치를 그 디스플레이(26)나 서브 디스플레이(27)에 이용함으로써 제작된다. 본 발명의 표시장치는, 다비트 메모리를 화소에 내장 가능하기 때문에, 백 라이트 이외의 패널 소비 전력의 대부분을 차지하는 데이터 선의 충방전에 필요로 하는 소비 전력을 삭감할 수 있다. 따라서 저소비 전력으로 구동 가능한 액티브 매트릭스형의 액정표시장치 패널이 가능하게 된다. 이러한 액정 패널을 휴대 단말 기기의 모니터에 장착하는 것으로, 배터리의 충전 간격의 연장화 뿐만 아니라, 배터리 용적의 축소가 가능하게 되어, 휴대 단말 기기를 보다 소형화할 수 있다.

[0058] 도 17은 본 발명이 적용된 비디오 카메라이며, 본체부(30), 전방을 향한 측면에 피사체 촬영용의 렌즈(34), 촬영시의 스타트/스톱 스위치(35), 모니터(36) 등을 포함하고, 본 발명의 표시장치를 그 모니터(36)에 이용함으로써 제작된다.

## *도면의 간단한 설명*

[0059] 도 1은, 본 발명에 관계되는 메모리 소자의 구성을 나타내는 모식적인 단면도이다.

[0060] 도 2는, 도 1에 나타낸 메모리 소자의 동작 설명에 제공하는 그래프이다.

[0061] 도 3은, 같은 도 1에 나타낸 메모리 소자의 동작 설명에 제공하는 진리치표이다.

[0062] 도 4는, 도 1에 나타낸 메모리 소자에 포함되는 듀얼 게이트형 트랜지스터의 전류/ 전압 특성을 나타내는 그래프이다.

[0063] 도 5는, 도 1에 나타낸 메모리 소자의 제조 공정도이다.

[0064] 도 6은, 액티브 매트릭스형 액정표시장치의 참고 예를 나타내는 모식도이다.

[0065] 도 7은, 본 발명에 관계되는 액티브 매트릭스형 액정표시장치의 전체 구성을 나타내는 블럭도이다.

[0066] 도 8은, 도 7에 나타낸 액정표시장치의 1 화소 분을 나타내는 회로도이다.

[0067] 도 9는, 본 발명에 관계되는 액정표시장치의 실시 형태를 나타내는 3 화소 분의 화소 전극 레이아웃의 모식적인 평면도이다.

[0068] 도 10은, 본 발명에 관계되는 액정표시장치의 다른 실시 형태를 나타내는 1 화소 분의 회로도이다.

[0069] 도 11은, 도 10에 나타낸 화소의 동작 설명에 제공하는 타이밍 차트이다.

[0070] 도 12는, 마찬가지로 도 10에 나타낸 화소의 동작 설명에 제공하는 타이밍 차트이다.

[0071] 도 13은, 본 발명에 관계되는 표시장치를 갖춘 텔레비전 세트를 나타내는 사시도이다.

[0072] 도 14는, 본 발명에 관계되는 표시장치를 갖춘 디지털 카메라를 나타내는 사시도이다.

[0073] 도 15는, 본 발명에 관계되는 표시장치를 갖춘 노트형 퍼스널 컴퓨터를 나타내는 사시도이다.

[0074] 도 16은, 본 발명에 관계되는 표시장치를 갖춘 휴대 단말 장치를 나타내는 모식도이다.

[0075] 도 17은, 본 발명에 관계되는 표시장치를 갖춘 비디오 카메라를 나타내는 사시도이다.

[0076] <도면의 주요부분에 대한 부호의 설명>

[0077] SUB. 기판 F-GATE. 제 1의 게이트 전극

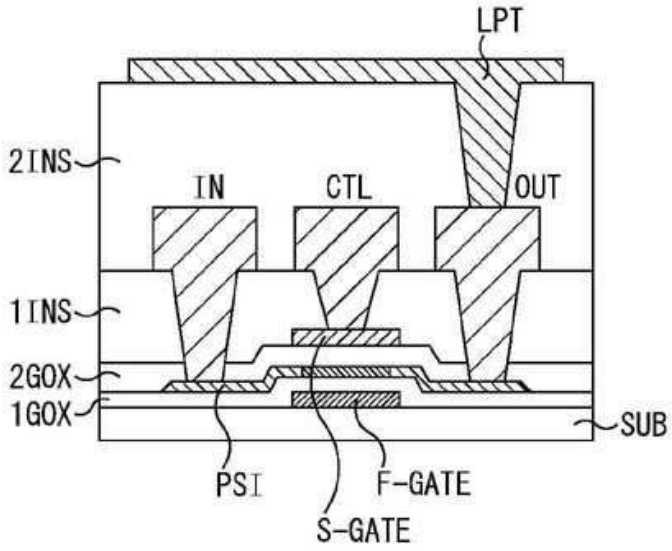
[0078] 1GOX. 게이트 절연막 PSI. 반도체 박막

[0079] 2GOX. 게이트 절연막 S-GATE. 제 2 게이트 전극

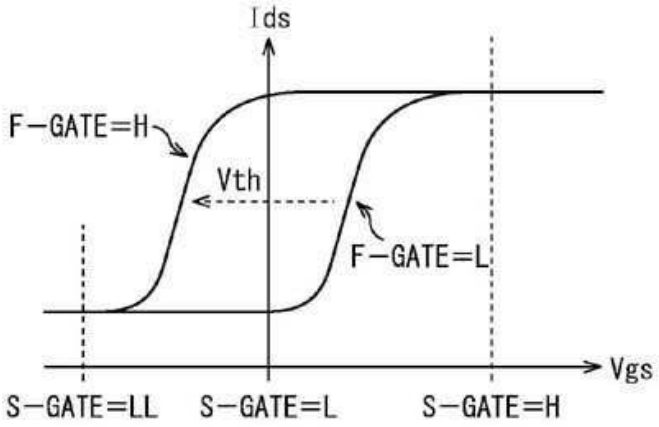
[0080] LPT. 화소 전극

## 도면

### 도면1




### 도면2

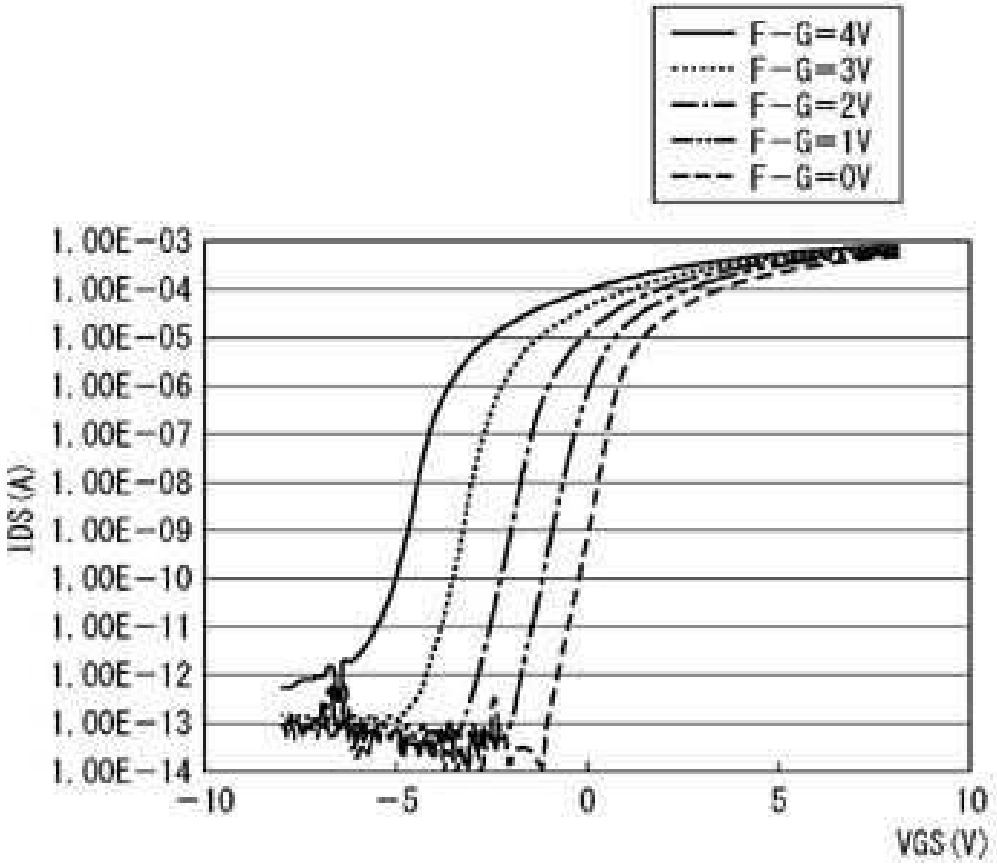


도면3

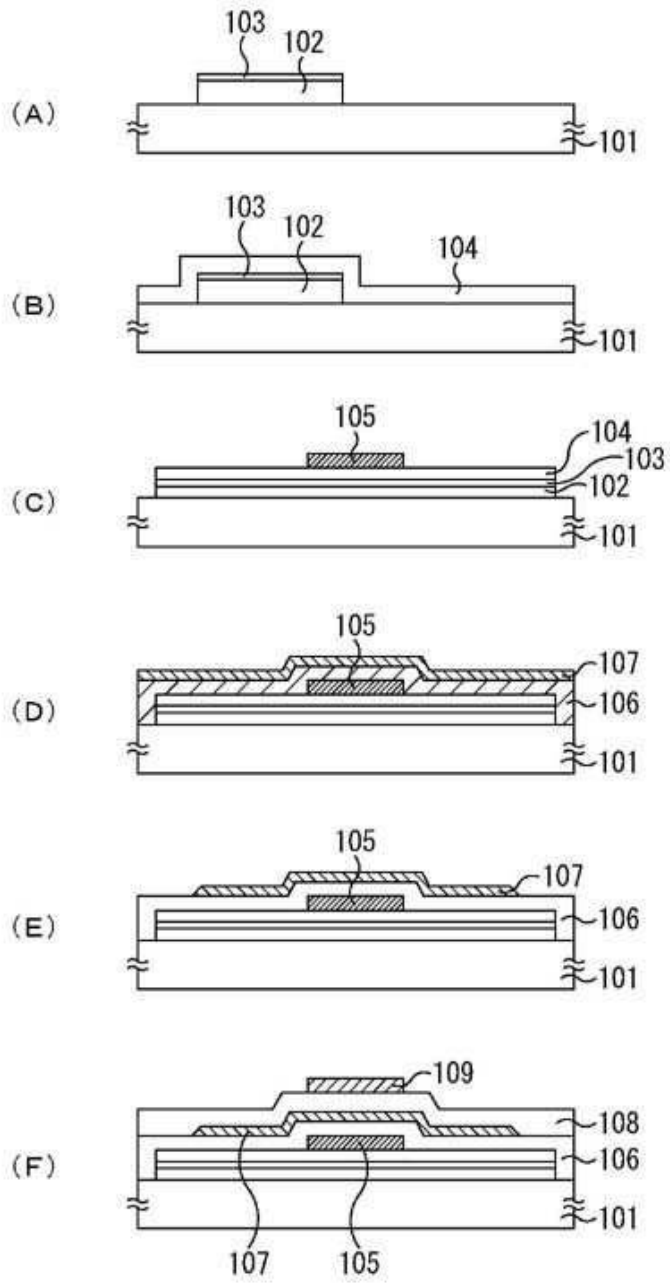
진리치표

| F-GATE \ S-GATE | LL | L | H |
|---|---|---|---|
| L | OFF | OFF | ON |
| H | OFF | ON | ON |

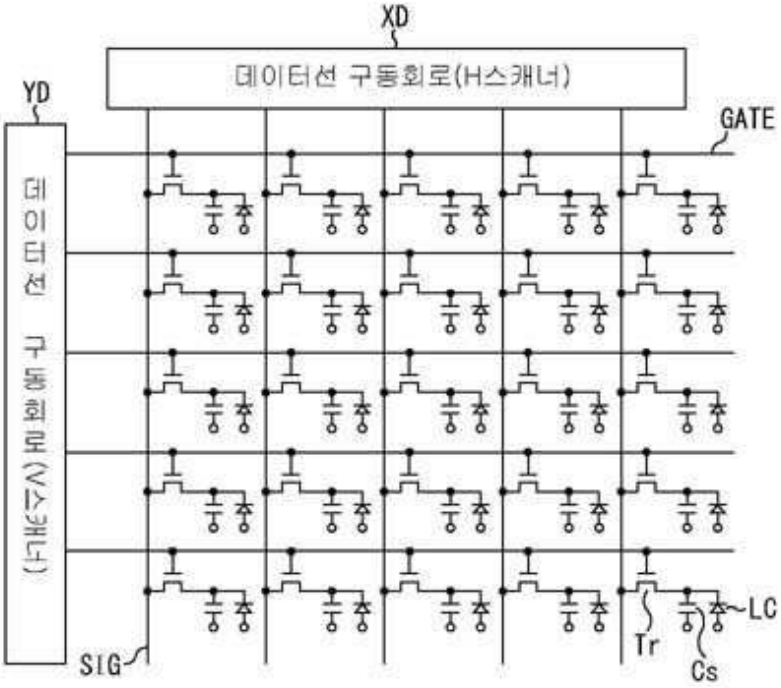
도면4



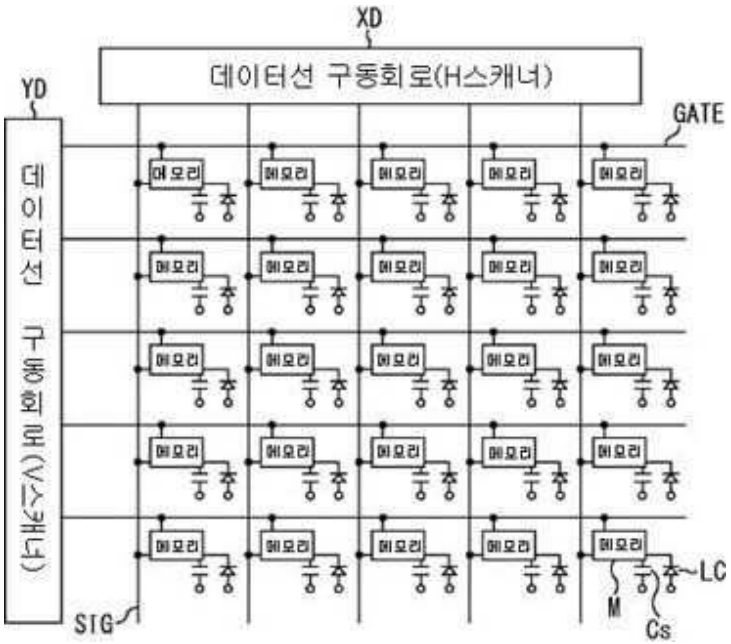
도면5


(A)
103
102
101
(B)
103
102
104
101
(C)
105
104
103
102
101
(D)
105
107
106
101
(E)
105
107
106
101
(F)
109
108
106
101
107
105

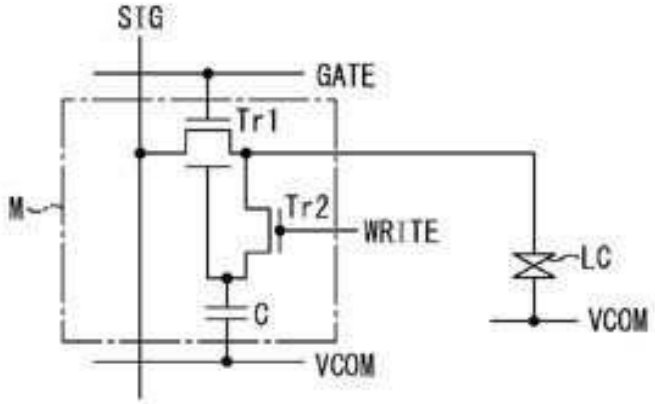
도면6


XD
데이터선 구동회로(H스캐너)
YD
데이터선 구동회로(V스캐너)
GATE
LC
Tr
Cs
SIG

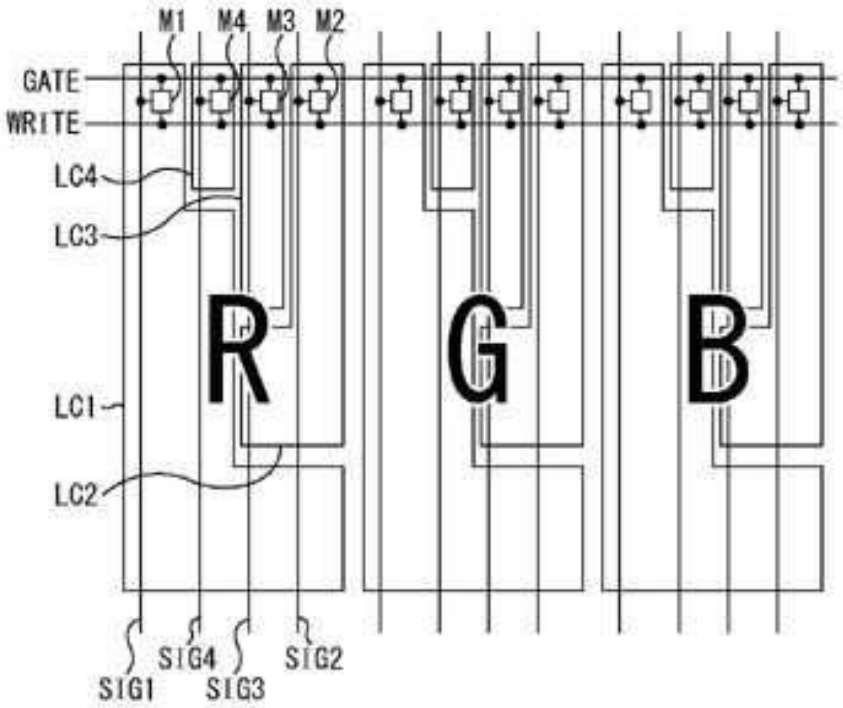
도면7


XD
데이터선 구동회로(H스캐너)
YD
데이터선 구동회로(V스캐너)
GATE
메모리
LC
M
Cs
SIG

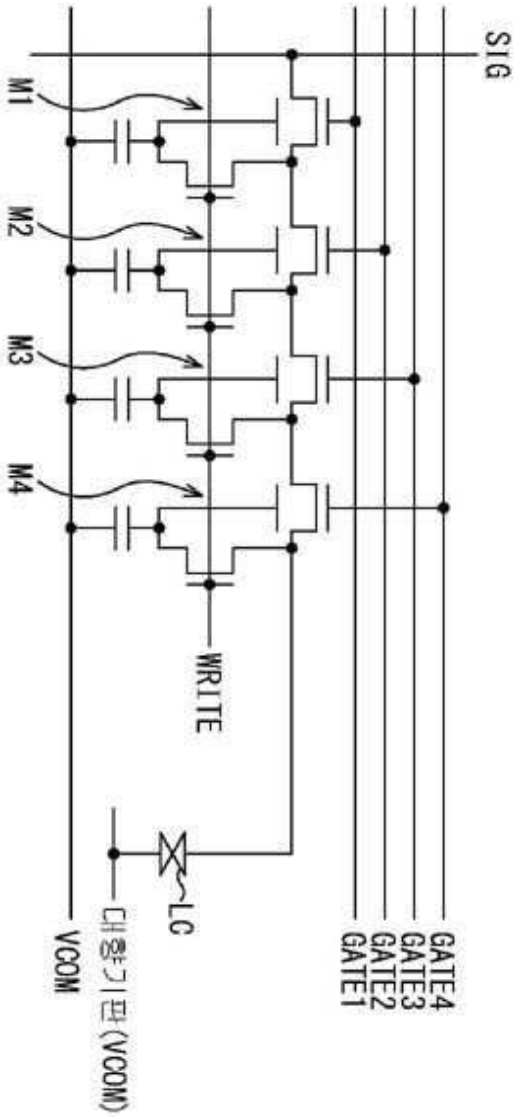
도면8


SIG
GATE
Tr1
M
Tr2
WRITE
LC
C
VCOM
VCOM

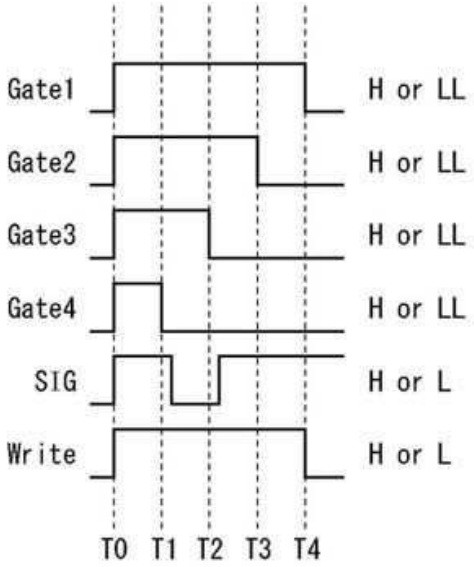
도면9


M1
M4
M3
M2
GATE
WRITE
LC4
LC3
R
G
B
LC1
LC2
SIG1
SIG4
SIG3
SIG2

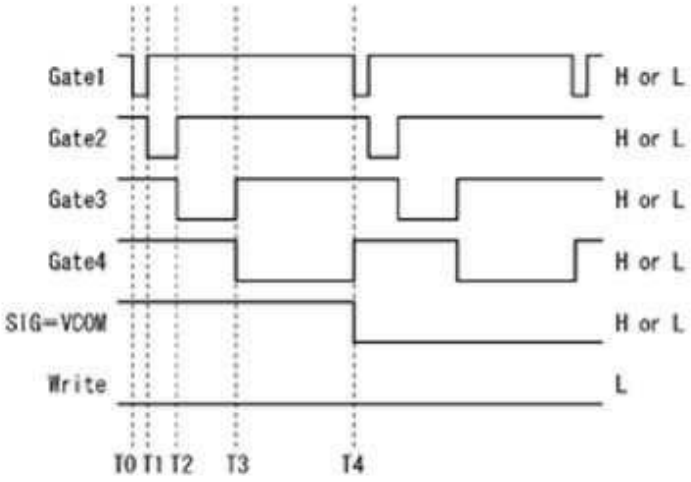
도면10


SIG
M1
M2
M3
M4
WRITE
LC
대향기판(VCOM)
VCOM
GATE4
GATE3
GATE2
GATE1

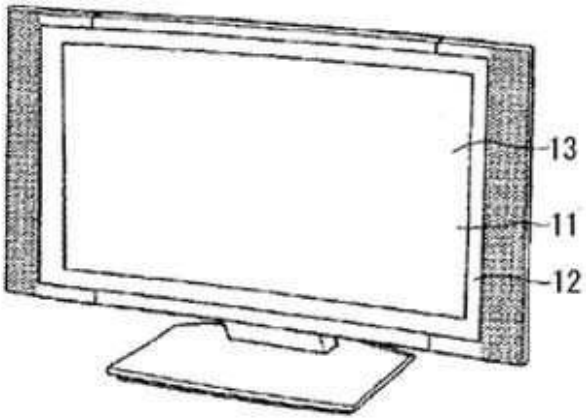
도면11


Gate1
H or LL
Gate2
H or LL
Gate3
H or LL
Gate4
H or LL
SIG
H or L
Write
H or L
T0 T1 T2 T3 T4

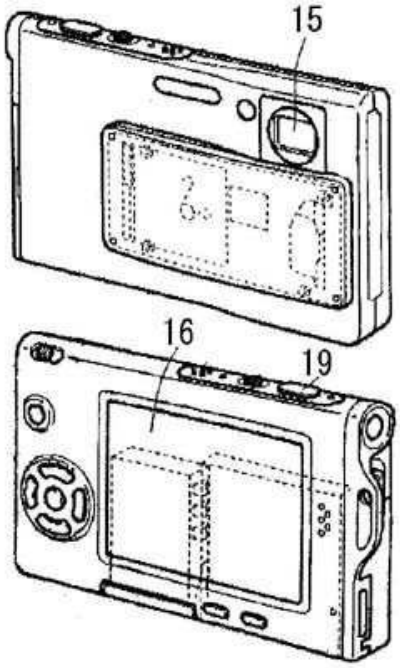
도면12


Gate1
H or L
Gate2
H or L
Gate3
H or L
Gate4
H or L
SIG=VCOM
H or L
Write
L
T0 T1 T2 T3 T4

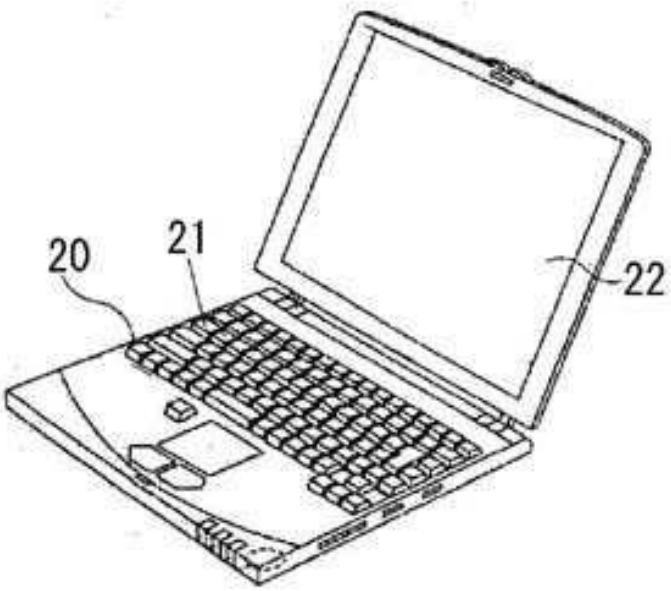
도면13



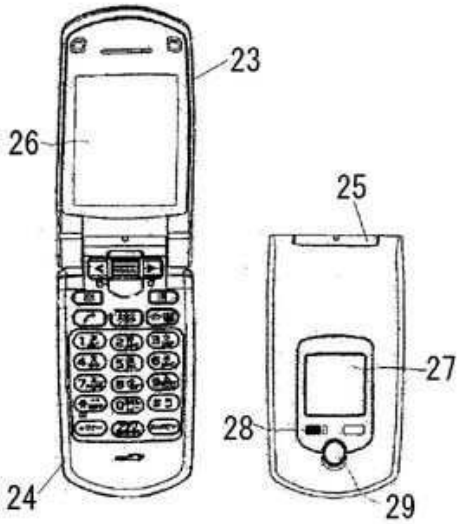

도면14



도면15




도면16



도면17

