

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年7月21日(2011.7.21)

【公開番号】特開2011-66109(P2011-66109A)

【公開日】平成23年3月31日(2011.3.31)

【年通号数】公開・登録公報2011-013

【出願番号】特願2009-214094(P2009-214094)

【国際特許分類】

H 01 L 27/11 (2006.01)

H 01 L 21/8244 (2006.01)

H 01 L 29/78 (2006.01)

【F I】

H 01 L 27/10 3 8 1

H 01 L 29/78 6 5 3 B

【手続補正書】

【提出日】平成23年6月2日(2011.6.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

4個のMOSトランジスタ及び2個の負荷抵抗素子が基板上に配列されたスタティック型メモリセルを備えた半導体記憶装置であって、

前記4個のMOSトランジスタの各々は、

メモリセルにアクセスするための第1及び第2のN MOSのアクセストランジスタと、メモリセルのデータを書き込み及び読み出しするために記憶ノードを駆動する第1及び第2のN MOSのドライバトランジスタとして機能し、

メモリセルにアクセスするための第1及び第2のN MOSのアクセストランジスタにおいて、

N型の導電型を持つ第1の拡散層、第1の柱状半導体層及びN型の導電型を持つ第2の拡散層が、基板上に垂直方向に階層的に配置され、

前記第1の柱状半導体層は前記第1の柱状半導体層の底部に形成される前記第1の拡散層と前記第1の柱状半導体層の上部に形成される前記第2の拡散層の間に配置され、前記第1の柱状半導体層の側壁にゲートが形成されており、

記憶ノードを駆動する第1及び第2のN MOSのドライバトランジスタにおいて、

N型の導電型を持つ第3の拡散層、第2の柱状半導体層及びN型の導電型を持つ第4の拡散層が、基板上に垂直方向に階層的に配置され、

前記第2の柱状半導体層は前記第2の柱状半導体層の底部に形成される前記第3の拡散層と前記第2の柱状半導体層の上部に形成される前記第4の拡散層の間に配置され、前記第2の柱状半導体層の側壁にゲートが形成されており、

前記第1のN MOSのアクセストランジスタ及び前記第1のN MOSのドライバトランジスタは、互いに隣接して配列され、

前記第2のN MOSのアクセストランジスタ及び前記第2のN MOSのドライバトランジスタは、互いに隣接して配列され、

前記第1のN MOSのアクセストランジスタの底部に形成される前記第1の拡散層及び前記第1のN MOSのドライバトランジスタの底部に形成される前記第3の拡散層は、直

接続され、前記直接接続された第1の拡散層及び第3の拡散層は、データを保持する第1の記憶ノードとして機能し、

前記第2のN M O Sのアクセストランジスタの底部に形成される前記第1の拡散層及び前記第2のN M O Sのドライバトランジスタの底部に形成される前記第3の拡散層は、直接接続され、前記直接接続された第1の拡散層及び第3の拡散層は、データを保持する第2の記憶ノードとして機能し、

前記2個の負荷抵抗素子の各々を、前記第1の記憶ノードとして機能する拡散層及び前記第2の記憶ノードとして機能する拡散層の上にそれぞれ配置したことを特徴とする半導体記憶装置。

【請求項2】

前記2個の負荷抵抗素子は、それぞれ、

前記第1の記憶ノードとして機能する拡散層上に形成された半導体又は金属よりなる第1のコンタクトプラグ及び前記第2の記憶ノードとして機能する拡散層上に形成された半導体又は金属よりなる第2のコンタクトプラグとして形成されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記第1及び第2のN M O Sのアクセストランジスタのゲート電極より延在するゲート配線上に形成されるコンタクトの少なくとも1つを、隣接する他のメモリセルのN M O Sのアクセストランジスタのゲート電極より延在するゲート配線上に形成されるコンタクトと共有化したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】

前記第1の記憶ノードとして機能する前記第1の拡散層上に形成される前記第1のN M O Sのドライバトランジスタのゲートより延在するゲート配線が、前記第2の記憶ノードとして機能する前記第2の拡散層と共にコンタクトにより接続され、

前記第2の記憶ノードとして機能する前記第2の拡散層上に形成される前記第2のN M O Sのドライバトランジスタのゲートより延在するゲート配線が、前記第1の記憶ノードとして機能する前記第1の拡散層と共にコンタクトにより接続されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】

前記第1及び第2のN M O Sのドライバトランジスタを形成する柱状半導体層の側壁の周囲長は、前記第1及び第2のN M O Sのアクセストランジスタを形成する柱状半導体層の側壁の周囲長以上の値を持つこと、

又は前記第1及び第2のN M O Sのドライバトランジスタを形成する柱状半導体層の側壁の周囲長は、前記第1及び第2のN M O Sのアクセストランジスタを形成する柱状半導体層の側壁の周囲長以下の値を持つこと、を特徴とする請求項1に記載の半導体記憶装置。

【請求項6】

前記4個のM O Sトランジスタは、前記基板上に2行2列に配列され、

前記第1のN M O Sのアクセストランジスタは1行1列目に配列され、

前記第1のN M O Sのドライバトランジスタは2行1列目に配列され、

前記第2のN M O Sのアクセストランジスタは1行2列目に配列され、

前記第2のN M O Sのドライバトランジスタは2行2列目に配列されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】

前記第1及び第2のN M O Sのアクセストランジスタのゲートより延在するゲート配線上に形成されるコンタクトを共有したことを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】

前記4個のM O Sトランジスタは、前記基板上に2行2列に配列され、

前記第1のN M O Sのアクセストランジスタは1行1列目に配列され、

前記第1のN M O Sのドライバトランジスタは2行1列目に配列され、
前記第2のN M O Sのアクセストランジスタは2行2列目に配列され、
前記第2のN M O Sのドライバトランジスタは1行2列目に配列されていることを特徴
とする請求項1に記載の半導体記憶装置。