

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 23 年 7 月 21 日 (2011.7.21)

【公開番号】特開 2011-66109 (P2011-66109A)
 【公開日】平成 23 年 3 月 31 日 (2011.3.31)
 【年通号数】公開・登録公報 2011-013
 【出願番号】特願 2009-214094 (P2009-214094)
 【国際特許分類】

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

H 0 1 L 29/78 6 5 3 B

【手続補正書】

【提出日】平成 23 年 6 月 2 日 (2011.6.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

4 個の MOS トランジスタ及び 2 個の負荷抵抗素子が基板上に配列されたスタティック型メモリセルを備えた半導体記憶装置であって、

前記 4 個の MOS トランジスタの各々は、

メモリセルにアクセスするための第 1 及び第 2 の NMOS のアクセストランジスタと、メモリセルのデータを書き込み及び読み出しするために記憶ノードを駆動する第 1 及び第 2 の NMOS のドライバトランジスタとして機能し、

メモリセルにアクセスするための第 1 及び第 2 の NMOS のアクセストランジスタにおいて、

N 型の導電型を持つ第 1 の拡散層、第 1 の柱状半導体層及び N 型の導電型を持つ第 2 の拡散層が、基板上に垂直方向に階層的に配置され、

前記第 1 の柱状半導体層は前記第 1 の柱状半導体層の底部に形成される前記第 1 の拡散層と前記第 1 の柱状半導体層の上部に形成される前記第 2 の拡散層の間に配置され、前記第 1 の柱状半導体層の側壁にゲートが形成されており、

記憶ノードを駆動する第 1 及び第 2 の NMOS のドライバトランジスタにおいて、

N 型の導電型を持つ第 3 の拡散層、第 2 の柱状半導体層及び N 型の導電型を持つ第 4 の拡散層が、基板上に垂直方向に階層的に配置され、

前記第 2 の柱状半導体層は前記第 2 の柱状半導体層の底部に形成される前記第 3 の拡散層と前記第 2 の柱状半導体層の上部に形成される前記第 4 の拡散層の間に配置され、前記第 2 の柱状半導体層の側壁にゲートが形成されており、

前記第 1 の NMOS のアクセストランジスタ及び前記第 1 の NMOS のドライバトランジスタは、互いに隣接して配列され、

前記第 2 の NMOS のアクセストランジスタ及び前記第 2 の NMOS のドライバトランジスタは、互いに隣接して配列され、

前記第 1 の NMOS のアクセストランジスタの底部に形成される前記第 1 の拡散層及び前記第 1 の NMOS のドライバトランジスタの底部に形成される前記第 3 の拡散層は、直

接続され、前記直接接続された第 1 の拡散層及び第 3 の拡散層は、データを保持する第 1 の記憶ノードとして機能し、

前記第 2 の N M O S のアクセストランジスタの底部に形成される前記第 1 の拡散層及び前記第 2 の N M O S のドライボートランジスタの底部に形成される前記第 3 の拡散層は、直接接続され、前記直接接続された第 1 の拡散層及び第 3 の拡散層は、データを保持する第 2 の記憶ノードとして機能し、

前記 2 個の負荷抵抗素子の各々を、前記第 1 の記憶ノードとして機能する拡散層及び前記第 2 の記憶ノードとして機能する拡散層の上にそれぞれ配置したことを特徴とする半導体記憶装置。

【請求項 2】

前記 2 個の負荷抵抗素子は、それぞれ、

前記第 1 の記憶ノードとして機能する拡散層上に形成された半導体又は金属よりなる第 1 のコンタクトプラグ及び前記第 2 の記憶ノードとして機能する拡散層上に形成された半導体又は金属よりなる第 2 のコンタクトプラグとして形成されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 1 及び第 2 の N M O S のアクセストランジスタのゲート電極より延在するゲート配線上に形成されるコンタクトの少なくとも 1 つを、隣接する他のメモリエセルの N M O S のアクセストランジスタのゲート電極より延在するゲート配線上に形成されるコンタクトと共有化したことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 の記憶ノードとして機能する前記第 1 の拡散層上に形成される前記第 1 の N M O S のドライボートランジスタのゲートより延在するゲート配線が、前記第 2 の記憶ノードとして機能する前記第 2 の拡散層と共通のコンタクトにより接続され、

前記第 2 の記憶ノードとして機能する前記第 2 の拡散層上に形成される前記第 2 の N M O S のドライボートランジスタのゲートより延在するゲート配線が、前記第 1 の記憶ノードとして機能する前記第 1 の拡散層と共通のコンタクトにより接続されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記第 1 及び第 2 の N M O S のドライボートランジスタを形成する柱状半導体層の側壁の周囲長は、前記第 1 及び第 2 の N M O S のアクセストランジスタを形成する柱状半導体層の側壁の周囲長以上の値を持つこと、

又は前記第 1 及び第 2 の N M O S のドライボートランジスタを形成する柱状半導体層の側壁の周囲長は、前記第 1 及び第 2 の N M O S のアクセストランジスタを形成する柱状半導体層の側壁の周囲長以下の値を持つこと、を特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】

前記 4 個の M O S トランジスタは、前記基板上に 2 行 2 列に配列され、

前記第 1 の N M O S のアクセストランジスタは 1 行 1 列目に配列され、

前記第 1 の N M O S のドライボートランジスタは 2 行 1 列目に配列され、

前記第 2 の N M O S のアクセストランジスタは 1 行 2 列目に配列され、

前記第 2 の N M O S のドライボートランジスタは 2 行 2 列目に配列されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 7】

前記第 1 及び第 2 の N M O S のアクセストランジスタのゲートより延在するゲート配線上に形成されるコンタクトを共有したことを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記 4 個の M O S トランジスタは、前記基板上に 2 行 2 列に配列され、

前記第 1 の N M O S のアクセストランジスタは 1 行 1 列目に配列され、

前記第 1 の N M O S のドライバトランジスタは 2 行 1 列目に配列され、
前記第 2 の N M O S のアクセストランジスタは 2 行 2 列目に配列され、
前記第 2 の N M O S のドライバトランジスタは 1 行 2 列目に配列されていることを特徴
とする請求項 1 に記載の半導体記憶装置。