

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480035651.9

[51] Int. Cl.

H01L 21/8244 (2006.01)

H01L 27/11 (2006.01)

H01L 21/336 (2006.01)

H01L 29/423 (2006.01)

H01L 29/786 (2006.01)

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477168C

[22] 申请日 2004.9.29

[21] 申请号 200480035651.9

[30] 优先权

[32] 2003.10.2 [33] US [31] 10/679,124

[86] 国际申请 PCT/US2004/032442 2004.9.29

[87] 国际公布 WO2005/034212 英 2005.4.14

[85] 进入国家阶段日期 2006.6.1

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 休曼·达塔 布赖恩·多伊尔  
罗伯特·乔 杰克·卡瓦莱厄斯  
B·郑 斯科特·哈雷兰

[56] 参考文献

US2003/0067017A1 2003.4.10

US6391782B1 2002.5.21

FinFET technology for future microprocessors.

Ludwig, el., al. 2003 IEEE international SOI conference proceedings, Newport Beach, CA, Sept. 29, 2003. 2003

审查员 韩冰

[74] 专利代理机构 北京嘉和天工知识产权代理事务所

代理人 严慎

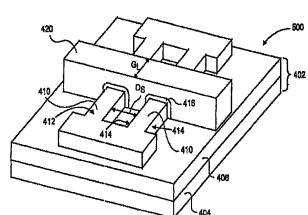
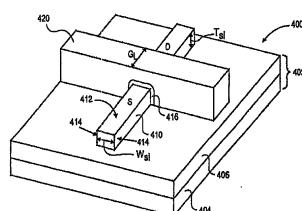
权利要求书 2 页 说明书 8 页 附图 14 页

[54] 发明名称

用于改善 6T CMOS SRAM 单元稳定性的方法  
和装置

[57] 摘要

本发明是一种 CMOS SRAM 单元，包括：两个存取器件，每一个存取器件由具有单个鳍(410)的三栅晶体管(400)构成；两个上拉器件，每一个上拉器件由具有单个鳍(410)的三栅晶体管(400)构成；以及，两个下拉器件，每一个下拉器件由具有多个鳍(410)的三栅晶体管(500)构成。还提供了一种用于制造所述 CMOS SRAM 单元，包括双鳍三栅晶体管的方法。由于鳍，栅极长度相对于具有相同面积的平面晶体管被增加了。因此，增加了单元比率和静态噪声容限，提供了改善的稳定性而不增加单元面积或电源电压。



1. 一种电路，包括：

至少一个存取器件，所述至少一个存取器件由具有单个鳍的非平面晶体管构成；

至少一个上拉器件，所述至少一个上拉器件由具有单个鳍的非平面晶体管构成；以及

至少一个下拉器件，所述至少一个下拉器件由具有多个鳍的非平面晶体管构成。

2. 如权利要求 1 所述的电路，其中，所述至少一个下拉器件由具有两个鳍的非平面三栅晶体管构成。

3. 如权利要求 2 所述的电路，其中，所述非平面三栅晶体管的所述两个鳍被设置成彼此间隔小于 60nm。

4. 一种 CMOS SRAM 单元，包括：

两个存取器件，每一个存取器件由具有单个鳍的三栅晶体管构成；

两个上拉器件，每一个上拉器件由具有单个鳍的三栅晶体管构成；

两个下拉器件，每一个下拉器件由具有多个鳍的三栅晶体管构成，并且，

其中，所述 CMOS SRAM 单元具有单元比率，静态噪声容限（SNM），以及电源电压。

5. 如权利要求 4 所述的 CMOS SRAM 单元，其中，每一个下拉器件由具有两个鳍的三栅晶体管构成，所述下拉器件的每一个鳍具有高度和宽度。

6. 如权利要求 5 所述的 CMOS SRAM 单元，其中，所述下拉器件的所述鳍被设置成彼此间隔小于 60nm。

7. 如权利要求 5 所述的 CMOS SRAM 单元，其中，所述下拉器件的每一个鳍的所述高度是 60nm。

8. 如权利要求 5 所述的 CMOS SRAM 单元，其中，所述下拉器件的每一个鳍的所述宽度是 60nm。

9. 如权利要求 4 所述的 CMOS SRAM 单元，其中，每一个三栅晶体管包含至少一个拐角，每一个拐角具有小于 10nm 的曲率半径。

10. 如权利要求 4 所述的 CMOS SRAM 单元，其中，所述单元比率大于 2.0。

11. 如权利要求 4 所述的 CMOS SRAM 单元，其中，所述静态噪声容限（SNM）大于 240 毫伏。

12. 如权利要求 11 所述的 CMOS SRAM 单元，其中，所述电源电压小于 1.5 伏。

13. 一种 CMOS SRAM 单元，包括：

两个 N 型存取器件，每一个 N 型存取器件由具有单个鳍的三栅晶体管构成；

两个 P 型上拉器件，每一个 P 型上拉器件由具有单个鳍的三栅晶体管构成；

两个 N 型下拉器件，每一个 N 型下拉器件由具有多个鳍的三栅晶体管构成。

14. 如权利要求 13 所述的 CMOS SRAM 单元，其中，每一个 N 型下拉器件由具有两个鳍的三栅晶体管构成，所述 N 型下拉器件的每一个鳍具有高度和宽度。

15. 如权利要求 14 所述的 CMOS SRAM 单元，其中，所述 N 型下拉器件的所述鳍被设置成彼此间隔小于 60nm。

16. 一种形成六晶体管（6T）CMOS SRAM 单元的方法，包括：

形成两个 N 型存取器件，每一个 N 型存取器件由具有单个鳍的三栅晶体管构成；

形成两个 P 型上拉器件，每一个 P 型上拉器件由具有单个鳍的三栅晶体管构成；

形成两个 N 型下拉器件，每一个 N 型下拉器件由具有至少两个鳍的三栅晶体管构成。

## 用于改善 6T CMOS SRAM 单元稳定性的方法和装置

### 发明背景

#### 1. 发明领域

本发明涉及半导体集成电路设计和制造领域，并特别涉及使用三栅全耗尽型衬底晶体管（tri-gate fully depleted substrate transistor）的 6T CMOS SRAM 单元及其制造方法。

#### 2. 相关领域讨论

随着硅技术不断从一代升级到下一代，最小几何尺寸的体平面晶体管的本征阈值电压（ $V_t$ ）变化的影响减小了 CMOS SRAM 单元静态噪声容限（SNM）。由日益变小的晶体管几何形状所导致的 SNM 减小是不期望的。当  $V_{cc}$  被缩小到更低的电压时，SNM 被进一步减小。

平面晶体管阈值电压（ $V_t$ ）变化主要源自于晶体管耗尽区中掺杂物质原子的数量和/或位置的统计波动。 $V_t$  变化给电源电压、晶体管尺寸的缩小造成了障碍，因而给最小的 6 晶体管（6T）CMOS SRAM 单元尺寸的缩小造成了障碍。由于管芯（die）尺寸和成本约束，这限制了以常规 6T SRAM 为主导的高性能 CMOS ASIC 和微处理器的总晶体管数。

目前，通过以下（a）或（b）手段，在电路/布图（layout）层面（level）解决由 SRAM 单元晶体管的  $V_t$  不稳定性导致的减小的 SNM 问题：（a）增加使单元工作所需要的最小电源电压（ $V_{ccmin}$ ），并保持最小几何尺寸晶体管，或者（b）增加单元晶体管的沟道（channel）长度和宽度，以便以最小单元尺寸为代价，使得更低的最小工作电压成为可能。在器件层面上，以额外的制造工艺复杂性为代价，利用箱形阱（box-shaped well）或超陡倒掺杂阱（super-steep retrograde well），可以最小化平面器件中源自随机掺杂物质波动（RDF）的  $V_t$  失配。

图 1 中示出了一种使用平面晶体管的 6T CMOS SRAM 单元电路图。该 SRAM 单元由两个 N 型存取器件 102，两个 N 型下拉器件 104，以及两个 P 型上拉器件 106 组成。

图 2 示出了使用平面晶体管的 6T CMOS SRAM 单元的布图。每一个存取器件的栅极位于区域 202 中。每一个下拉器件的栅极位于区域 204 中。每一个上拉器件的栅极位于区域 206 中。栅极区域由 P 型扩散 212 或 N 型扩散 210 之上的多晶硅区域 214 指示。金属层 218 提供电源（ $V_{cc}$ ）和地（ $V_{ss}$ ）。金属层 218 也可以将单元中的一个平面晶体管的栅极/源极/漏极连接到单元中另一个晶体管的栅极/源极/漏极，并且可以将一个单元互连到另

一个。接触体(contact) 216 指示可以连接到金属层的区域。对于给定的 V<sub>cc</sub>，通过定出每一个存取晶体管宽度和每一个下拉晶体管宽度的大小来定制单元比率(cell ratio)，以便获得最大的 SNM 值。

图 3 是说明电源电压缩小对使用平面晶体管的典型 6T CMOS SRAM 单元的影响的图 300。这些噪声容限值假定为标称阈值电压、标称 V<sub>cc</sub>，以及标称器件尺寸。虚线 310 指示 SNM 的最小期望值 240 毫伏。该图示出，当 V<sub>cc</sub> 从 2 伏缩小到小于 1 伏时，单元比率必定增加，以便保持期望的 SNM 值。对于 1.5 的单元比率(302)，在保持 240 毫伏的标称 SNM 的同时能够获得的最小电压略低于 2.0 伏。当单元比率增加到 2.0(304) 时，在保持标称 SNM 的同时能够获得的最小电压小于 1.5 伏。如果单元比率增加到 3.5(306)，则最小电压可以被减小到小于 1.0 伏。但是，增加单元比率对应以增加单元尺寸为形式的面积损失。

#### 附图简要说明

图 1 图示使用平面晶体管的现有技术 6T CMOS SRAM 单元电路图。

图 2 图示使用平面晶体管的现有技术 6T CMOS SRAM 单元布图。

图 3 为针对不同单元比率的 6T SRAM 单元图示作为电源电压的函数的静态噪声容限的图。

图 4 是单鳍三栅晶体管的剖视图。

图 5 是双鳍三栅晶体管的剖视图。

图 6 图示具有根据本发明的一个实施方案的三栅晶体管的 6T CMOS SRAM 单元电路图。

图 7 图示使用根据本发明的一个实施方案的单鳍和双鳍三栅晶体管的 6T CMOS SRAM 单元布图。

图 8 是根据本发明的一个实施方案的双鳍三栅晶体管与平面晶体管的栅极宽度的比较。

图 9 是将根据本发明一个实施方案的三栅 SRAM 的 SNM(作为电源电压的函数)和平面 SRAM 的 SNM(作为电源电压的函数)进行比较的图，其中两种 SRAM 单元具有相同的布图面积。

图 10 是描述形成根据本发明的一个实施方案的双鳍三栅晶体管的流程图。

图 11A 到 11J 示出了根据本发明的一个实施方案的双鳍三栅晶体管的形成。

#### 具体实施方式

本发明是使用非平面三栅晶体管的 6T CMOS SRAM 单元及其制造方法。在下面的描述中，为了提供对本发明透彻的理解，给出了许多具体细节。在其他的实例中，为了不要不必要地模糊本发明，未详细地描述公知的半导体工艺以及制造技术。

本发明利用非平面三栅晶体管更高的驱动电流性能来改善 6T CMOS SRAM 单元的稳定性，从而能够实现 (enable) 低电源电压工作和减小的单元布图尺寸。对于给定的布图宽度，多鳍结构的三栅晶体管能够比平面晶体管输送更多的驱动电流。

图 4 示出了典型的单鳍三栅晶体管 400 的剖面图。单鳍三栅晶体管是具有单个半导体主体 (semiconductor body) 410 的三栅晶体管。半导体主体也将被称为“半导体鳍 (fin)”。半导体主体在绝缘衬底 402 上形成。绝缘衬底由硅或其他在半导体衬底 404 之上的掩埋氧化物或其他的绝缘层 406 构成。在半导体鳍 410 之上以及侧面上形成栅极电介质 416。在栅极电介质之上以及侧面上形成栅极电极 420。栅极电极具有栅极宽度  $G_L$ 。在栅极电极两侧上的半导体鳍中形成源极 S 和漏极 D 区域。

半导体鳍具有上表面 412 和在横向相对的侧壁 414。半导体鳍具有等于  $T_{Si}$  的高度或厚度。半导体鳍具有等于  $W_{Si}$  的宽度。单鳍三栅晶体管的栅极宽度等于在半导体主体上形成的三个栅极中的每一个的栅极宽度之和，或者说  $T_{Si} + W_{Si} + T_{Si}$ 。

图 5 示出了根据本发明的一个实施方案的典型双鳍三栅晶体管 500 的剖面图。双鳍三栅晶体管是在绝缘衬底 402 之上具有两个半导体主体或鳍的三栅晶体管，所述两个鳍每一个均具有在上表面和在横向相对的侧壁上形成的栅极电介质，并共享在栅极电介质之上以及周围形成的单个栅极电极。每一个半导体鳍均具有上表面 412 和在侧面上相对的侧壁 414。这些半导体鳍被隔开距离  $D_s$ 。利用常规光刻技术的图形化允许大约 240nm 的最小  $D_s$ 。双鳍三栅晶体管的栅极宽度等于这两个半导体主体中的每一个的栅极宽度之和，或者说  $[2(T_{Si1}) + (W_{Si1})] + [2(T_{Si2}) + (W_{Si2})]$ 。如果以使得每一个半导体主体均具有基本类似尺度的方式来形成这些半导体主体，则双鳍三栅晶体管的栅极宽度实际上是单鳍三栅晶体管栅极宽度的两倍。通过给三栅晶体管增加额外的鳍，能够进一步增加三栅晶体管的栅极宽度。对于给定的布图宽度，多鳍结构的三栅晶体管能够比平面三极管输送更多的驱动电流，因为具有和平面晶体管相同尺寸的三栅晶体管将具有更大的栅极宽度。

图 6 示出了使用根据本发明的一个实施方案的三栅晶体管的 6T CMOS SRAM 单元电路图。SRAM 单元由两个 N 型存取器件 602，两个 N 型下拉器件 604，以及两个 P 型上拉器件 606 组成。每一个 N 型存取器件 602 均为单鳍三栅晶体管。每一个 P 型上拉器件 606 均为单鳍三栅晶体管。每一个 N 型下拉器件 604 均为双鳍三栅晶体管。使用双鳍三栅晶体管作为下拉器件允许电路设计者获得 SRAM 单元的更高的单元比率。双鳍三栅晶体管将比单鳍三栅晶体管输送更多的电流，因而增加了单元比率却不增加单元布图尺寸。

SRAM 单元的单元比率被定义为下拉 N 型晶体管的跨导因子与存取 N 型晶体管的跨导因子的比率。晶体管的跨导因子等于栅极宽度与栅极长度乘上迁移率 (mobility) 及栅极电容的比例。其中迁移率及栅极电容从存取晶体管到下拉晶体管是不变的，跨导因子变成晶体管栅极宽度与晶体管栅极长度的比例。双鳍三栅晶体管的跨导因子将大于平面晶体管的跨导因子，因为在相同的布图面积内，双鳍三栅晶体管的晶体管栅极宽度大于平面晶

体管的晶体管栅极宽度。此外，双鳍三栅晶体管的跨导因子将大于单鳍三栅晶体管的跨导因子，因为双鳍器件的栅极宽度与栅极长度的比率将大于单鳍器件的这一比率。使用双鳍三栅晶体管作为下拉器件增加了下拉器件的跨导因子，因而增加了 SRAM 单元的单元比率。如上所述，通过增加单元比率，能够获得更高的因而更令人期望的静态噪声容限(SNM)水平。在 SRAM 单元设计中使用非平面三栅晶体管允许增加单元比率而不增加物理单元布图尺寸。下面的表 1 是使用平面晶体管的 SRAM 单元和使用三栅晶体管的 SRAM 单元的单元比率的比较，其中，每一个 SRAM 单元均具有相同的布图面积。

	晶体管	跨导
平面 SRAM 单元* 单元比率=1.5	下拉	1.6
	存取	1.1
	上拉	1.3
三栅 SRAM 单元* 单元比率=2.15	下拉	6.0
	存取	2.8
	上拉	3.0

\*注：对于每一个单元，单元布图面积相同

表 1

图 7 示出了使用根据本发明的一个实施方案的三栅晶体管的 6T CMOS SRAM 单元布图。每一个存取器件的栅极均位于区域 702 中。每一个下拉器件的栅极均位于区域 704 中。每一个下拉器件均为双鳍器件。器件的每一个鳍由牺牲块 (sacrificial block) 709 任一侧上的区域 708 指示。牺牲块 709 用于形成彼此非常邻近的鳍。使用牺牲块 709 允许鳍彼此被隔开小于 100nm，这对于使用传统的光刻来讲是不可能的。每一个上拉器件的栅极均位于区域 706 中。栅极区域由 P 型扩散 712 或者 N 型扩散 710 区域之上的多晶硅区域 714 指示。金属层 718 提供电源 (Vcc) 和地 (Vss)。金属层 718 也可以将单元中的一个平面晶体管的栅极/源极/漏极连接到单元中另一个晶体管的栅极/源极/漏极，并且可以将一个 SRAM 单元连接到另一个。接触体 716 指示可以进行到金属层的连接的区域。对于给定的 Vcc，通过定出每一个存取晶体管宽度和每一个下拉晶体管宽度的大小来定制单元比率 (cell ratio)，以便获得最大的 SNM 值。如上所述，使用 N 型双鳍三栅器件作为下拉器件以及 N 型单鳍三栅器件作为存取器件，允许三栅 SRAM 单元被设计成在和平面 SRAM 单元相同的布图面积内具有更高的单元比率。

图 8 是根据本发明的一个实施方案的双鳍三栅晶体管的栅极宽度与相同布图面积内的平面晶体管的栅极宽度的比较。剖面图 800 示出了在绝缘衬底 808 上形成的双鳍三栅晶体管。三栅晶体管的鳍由半导体主体 802 形成。鳍被分开的距离为 Ds，距离 Ds 由上面描述的牺牲块的宽度决定。距离 Ds 可以由可被图形化的最小光刻特征尺寸来限定。栅极电介质 804 覆盖了栅极区域中三栅晶体管的每一个鳍。在栅极电介质以及每一个半导体鳍之上以及周围形成栅极电极 806。针对该双鳍三栅晶体管的每一个鳍，形成了三个栅极 G1、G2 和 G3。被形成的每一个栅极均具有栅极宽度。G1 的栅极宽度等于 Z1，或者说鳍的高

度。G2 的栅极宽度等于 Z2，或者说鳍的宽度。G3 的栅极宽度等于 Z3，或者说鳍的高度。。每一个鳍总的栅极宽度等于  $Z_1 + Z_2 + Z_3$ 。对于双鳍三栅晶体管，总的栅极宽度等于  $2(Z_1 + Z_2 + Z_3)$ 。具有 N 个鳍的三栅晶体管具有等于  $N(Z_1 + Z_2 + Z_3)$  的总栅极宽度。在本发明的一个实施方案中， $Z_1 = 60\text{nm}$ ,  $Z_2 = 60\text{nm}$ ,  $Z_3 = 60\text{nm}$ , 并且  $D_s = 60\text{nm}$ 。根据这个实施方案的三栅晶体管的栅极宽度是  $2(60\text{nm} + 60\text{nm} + 60\text{nm})$ , 或者说  $360\text{nm}$ 。所使用的总的布图宽度等于  $Z_3 + D + Z_3$ , 或者说  $(60\text{nm} + 60\text{nm} + 60\text{nm}) = 180\text{nm}$ 。

剖面图 820 示出了在半导体衬底 828 上形成的平面晶体管。该平面晶体管的栅极宽度等于晶体管 822 的宽度，或者说  $Z_p$ 。对于  $180\text{nm}$  的布图宽度，平面晶体管 820 的栅极宽度等于  $180\text{nm}$ 。因为对于相同的布图面积，三栅晶体管的栅极宽度是平面晶体管的栅极宽度的两倍，所以有可能通过设计使用根据本发明的一个实施方案的单鳍和双鳍三栅晶体管的单元，来增加 6T CMOS SRAM 单元的单元比率。

图 9 为针对平面 SRAM 单元 920 和三栅 SRAM 单元 910，示出作为  $V_{cc}$  的函数的静态噪声容限 (SNM) 的图 900，其中，这些单元尺寸相同。三栅 SRAM 单元设计允许在超过  $240\text{mv}$  (930) 的 SNM 下限之前将  $V_{cc}$  缩小得更低。因为当使用根据本发明的一个实施方案的三栅晶体管设计 SRAM 单元时单元比率更高，所以电源电压可以被缩小得更低而不将 SNM 减小到  $240$  毫伏以下。使用平面晶体管设计的 SRAM 单元能够在略小于  $2.0$  伏的电源电压下工作而不将 SNM 减小到  $240$  毫伏以下。尺寸相同但是使用根据本发明的一个实施方案的双鳍和单鳍三栅晶体管设计的 SRAM 单元在遭遇 SNM 限制之前可以在低得多的电源电压下工作。在 SNM 被减小到小于  $240$  毫伏之前，电源电压可以低至  $1.25$  伏。

图 10 为流程图 1000，示出了根据本发明的一种过程，说明用于形成具有减小的布图宽度的多鳍三栅晶体管的一般方法。下面结合图 11A 到 11J 进一步详细地说明和描述流程图 1000 中的每一个框。

如框 1002 中所描述的那样，在绝缘衬底上形成硅或半导体膜。绝缘衬底包括底下的单晶硅衬底和顶部的绝缘层，例如二氧化硅膜或者氮化硅膜。绝缘层有时候被称为“掩埋氧化物”层。在本发明的一个实施方案中，半导体膜具有  $60\text{nm}$  的厚度。

然后，在半导体膜上形成具有上表面和横向相对的侧壁的牺牲块，如框 1004 中所描述的那样。在本发明的一个实施方案中，通过首先形成牺牲材料层并且使用光刻来图形化所述牺牲材料以便形成块，从而形成所述牺牲块。牺牲块可以由氮化物构成，但是不限于氮化物。牺牲块的宽度决定了鳍的间隔。在本发明的一个实施方案中，牺牲块横向相对的侧壁间隔  $60\text{nm}$ 。在本发明的另一个实施方案中，牺牲块横向相对的侧壁间隔由使用光刻可形成的最小特征尺寸限定的距离。

形成牺牲块以后，在所述牺牲块和半导体膜之上以及周围形成绝缘层，如框 1006 中

所描述的那样。绝缘层可以由氧化物或者另一种绝缘材料构成。沉积绝缘层使得该层的厚度大约等于期望的半导体鳍宽度。在本发明的一个实施方案中，绝缘层的厚度在 40nm 到 80nm 之间。在本发明的另一个实施方案中，绝缘层的厚度是 60nm。

然后，通过在绝缘层上执行各向异性蚀刻，在牺牲块的任一侧面上均形成绝缘间隔物，如框 1008 中所描述的那样。各向异性蚀刻以后，绝缘间隔物将保持在牺牲块的任一侧面上。绝缘间隔物的宽度将等于原始绝缘层的厚度。在本发明的一个实施方案中，绝缘间隔物是 60nm 宽。

在本发明的另一个实施方案中，可以形成多个牺牲块，以便形成额外的间隔物。可以使用这种方法形成具有多于 2 个鳍的三栅晶体管。形成的鳍的数量将等于绝缘间隔物的数量。在本发明的一个实施方案中，可以形成偶数个鳍 (2N)。为了形成具有 2N 个鳍的三栅晶体管，需要 N 个牺牲块和 2N 个绝缘间隔物。

形成绝缘间隔物以后，可以通过常规方法去除牺牲块，如框 1010 中所示。例如，可以使用选择性蚀刻工艺去除牺牲块，而绝缘间隔物保持不动。

接着，通过使用绝缘间隔物作为掩模蚀刻半导体膜形成两个半导体鳍，如框 1012 中所示。在未被绝缘间隔物覆盖的区域中的半导体膜被蚀刻掉，暴露出绝缘衬底。形成的每一个半导体鳍均具有上表面以及一对横向相对的侧壁。使用绝缘间隔物作为掩模允许鳍被分开比使用目前的光刻技术能够获得的距离更小的距离。目前的光刻允许印刷具有接近 60nm 的最小尺寸的特征以及特征之间接近 240nm 的最小间隔。使用根据本发明的方法的实施方案，可以形成间隔小于 240nm 的鳍。在本发明的一个实施方案中，鳍间隔 60nm 或者更小的距离。

图 11A 到图 11J 示出了根据本发明的一个实施方案的双鳍三栅晶体管的形成。双鳍三栅晶体管的制造以绝缘衬底 1102 开始，如图 11A 中所示。在绝缘衬底 1102 上形成了硅或半导体膜 1108。绝缘衬底 1102 可以由底下的单晶硅衬底 1104 和顶部的绝缘层 1106 构成，绝缘层 1106 例如二氧化硅或氮化硅膜。绝缘层 1106 使半导体膜 1108 与衬底 1104 隔离，并且有时候被称为“掩埋氧化物”层。半导体膜 1108 可以由硅或另一种半导体构成，例如但不限于锗 (Ge)、锗硅合金 ( $Si_xGe_y$ )、砷化镓 (GaAs)、InSb、GaP、GaSb 或碳纳米管。半导体膜 1108 可以是本征或者说不掺杂的硅膜，或者，它可以被掺杂为 p 型或 n 型导电性。半导体膜 1108 被形成到厚度  $T_{si}$ ，厚度  $T_{si}$  大约等于随后形成的三栅晶体管的半导体鳍的期望高度。在本发明的一个实施方案中，半导体膜 1108 具有 60nm 或更小的厚度。

图 11B 示出了在半导体膜 1108 上表面上形成牺牲块。牺牲块可以通过常规的半导体制造技术形成，包括但不限于沉积牺牲材料层 1109，并随后用抗蚀剂 1111 图形化该层。未被抗蚀剂 1111 覆盖的牺牲材料可以被蚀刻，以便在期望位置形成一个或更多个牺牲块。

在本发明的一个实施方案中，牺牲材料 1109 由氮化物构成。要形成的牺牲块的宽度  $W_s$  将限定三栅晶体管的半导体鳍以后的间隔。在本发明的一个实施方案中， $W_s$  是 60nm 或者更小。使用牺牲块允许将半导体鳍分开 60nm 或者更小的距离，所述距离远远小于特征之间通过常规光刻技术能够获得的距离。

图 11C 示出了在绝缘块 1110 之上和周围，以及半导体膜 1108 的表面之上形成绝缘层 1112。在本发明的一个实施方案中，绝缘层由氧化物构成。以允许绝缘层 1112 以具有均匀的厚度  $Tox$  的方式来沉积该层。在随后的处理步骤中，绝缘层的厚度将决定半导体鳍的宽度。在本发明的一个实施方案中，绝缘层具有 60nm 或者更小的厚度。

图 11D 示出了绝缘间隔物 1114 的形成。通过在图 11C 的绝缘层 1112 上执行各向异性蚀刻来形成绝缘间隔物 1114。以允许绝缘层从牺牲块的上表面被完全去除，但是留下牺牲块的任一侧面上的绝缘间隔物的方式来执行各向异性蚀刻。绝缘层 1114 被形成为具有宽度  $W_{ox}$ ，宽度  $W_{ox}$  等于图 11C 的绝缘膜的厚度  $Tox$ 。在本发明的一个实施方案中，每一个绝缘间隔物的宽度  $W_{ox}$  是 60nm 或者更小。

图 11E 示出了去除牺牲块以后形成的结构。通过常规方法可以去除牺牲块，包括使用选择性蚀刻工艺。例如，可以使用湿法蚀刻去除牺牲氮化物块，而氧化物将保持不受蚀刻工艺的影响。去除牺牲块以后，保持两个绝缘间隔物 1114，每一个间隔物具有等于  $W_{ox}$  的宽度。间隔物间隔等于牺牲块宽度  $W_s$  的距离。

图 11F 示出了半导体鳍 1120 的形成。通过使用绝缘间隔物 1114 作为掩模来蚀刻半导体膜 1108，形成半导体鳍 1120。在本发明的一个实施方案中，蚀刻是等离子干法蚀刻工艺。半导体膜被完全蚀刻，暴露出绝缘衬底 1102 的表面。半导体鳍被形成为具有宽度  $W_{si}$ ，宽度  $W_{si}$  等于被用作掩模的绝缘间隔物的宽度。在本发明的一个实施方案中， $W_{si}$  是 60nm 或者更小。半导体鳍间隔等于先前形成的牺牲块宽度的距离  $D_s$ 。在本发明的一个实施方案中， $D_s$  是 60nm 或者更小。

形成半导体鳍 1120 以后，可以通过常规技术去除绝缘间隔物，如图 11G 中所示。在此刻，两个半导体鳍 1120 保留在绝缘衬底 1102 上。半导体鳍 1120 具有上表面 1121，以及横向相对的侧壁 1123。器件总的布图宽度将等于  $W_{si} + D_s + W_{si}$ 。在本发明的一个实施方案中，器件总的布图宽度是 180nm 或者更小。

图 11H 示出了在每一个半导体鳍 1120 的上表面 1121 以及侧壁 1123 上形成栅极电介质层 1122。通过仔细控制半导体鳍的拐角 1125 的几何形状，三栅晶体管可以被设计成固有地免受  $V_t$  不稳定性影响。半导体鳍的拐角由器件相邻的栅极 G1、G2 和 G3（顶部和侧面）的相交部分形成。因为三栅晶体管的拐角 1125 首先导通，所以它决定了器件的阈值电压 ( $V_t$ )。当  $V_t$  仅由掺杂物质注入来设定时，掺杂物质中可能存在波动，这反过来又可能引起  $V_t$  波动。当拐角的倒圆 (rounding) 受到控制时，三栅晶体管不依赖于掺杂来设

定  $V_t$ ，因此晶体管能够被设计成固有地免受  $V_t$  不稳定性影响。半导体鳍的拐角倒圆主要源自栅极电介质形成过程。可以在硅鳍的表面和侧壁上生长或者沉积栅极电介质 1122。在本发明的一个实施方案中，使用原子层沉积（ALD）来沉积栅极电介质，这允许将拐角倒圆控制到原子尺度。在本发明的一个实施方案中，半导体鳍的每一个拐角的曲率半径  $R$  小于 10nm。

接着，在每一个半导体鳍的上表面和侧壁之上以及绝缘衬底之上沉积栅极材料，如图 11I 中所示。图形化栅极材料以便在栅极电介质层上形成栅极电极 1124。

形成栅极电极以后，在栅极电极的相对侧上的每一个半导体鳍中形成一对源极/漏极区域，如图 11J 中所示。在本发明的一个实施方案中，如箭头 1130 所示，通过将 N 型或者 P 型掺杂物质注入半导体主体形成源极和漏极区域。在本发明的实施方案中，可以在三栅器件上执行进一步的操作，包括但不限于：形成尖端或源极/漏极延伸区域、晕（halo）区域、重掺杂源极/漏极接触区域、沉积在源极/漏极和栅极电极区域上的硅，以及源极/漏极和栅极电极区域上的硅化物形成。

如图 11J 中所示，最终的双鳍三栅晶体管的每一个半导体鳍具有等于  $2T_{Si} + W_{Si}$  的栅极宽度。双鳍三栅晶体管的栅极宽度等于每一个鳍的栅极宽度之和，或者说  $2(2T_{Si} + W_{Si})$ 。可以在具有  $2W_{Si} + D_S$  的布图宽度的区域中制造该器件。在本发明的一个实施方案中，双鳍三栅晶体管的栅极宽度是 360nm 或者更少，并且器件在具有 180nm 或者更小的布图宽度的区域中形成。

在本发明其他的实施方案中，可以使用上面给出的方法形成具有多于 2 个的半导体鳍的三栅晶体管。

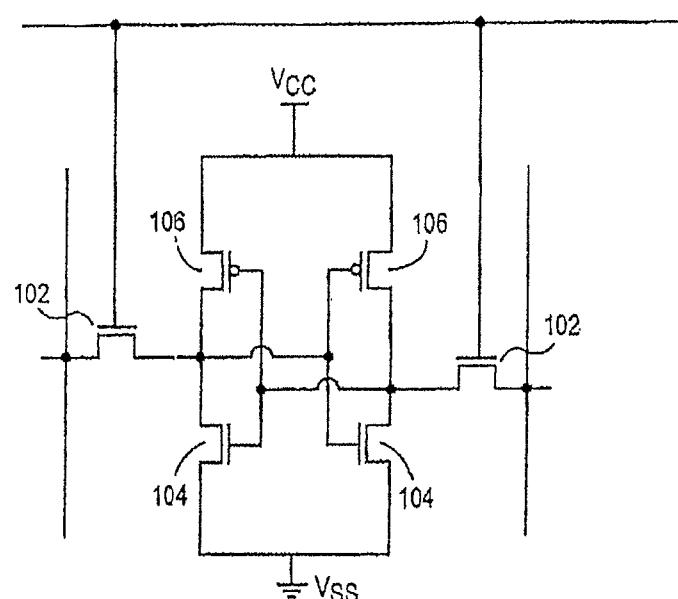


图 1  
(现有技术)

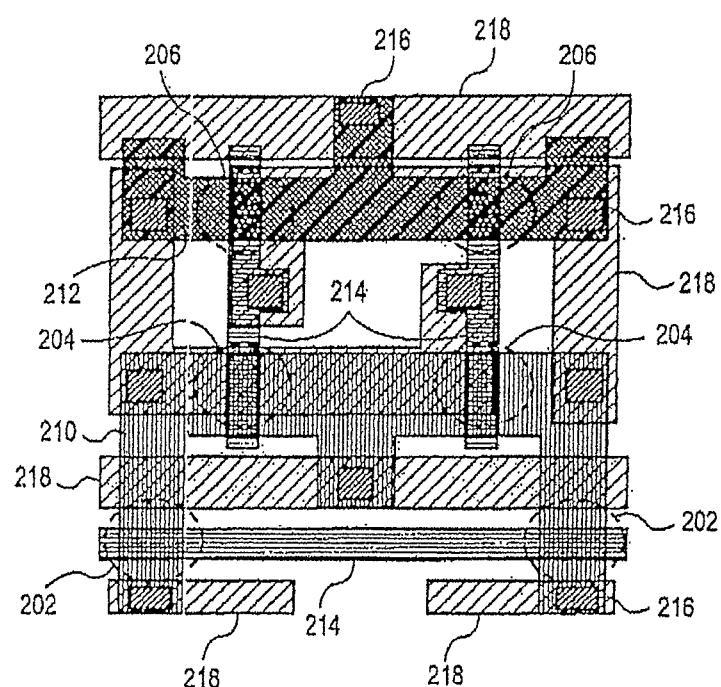


图 2  
(现有技术)

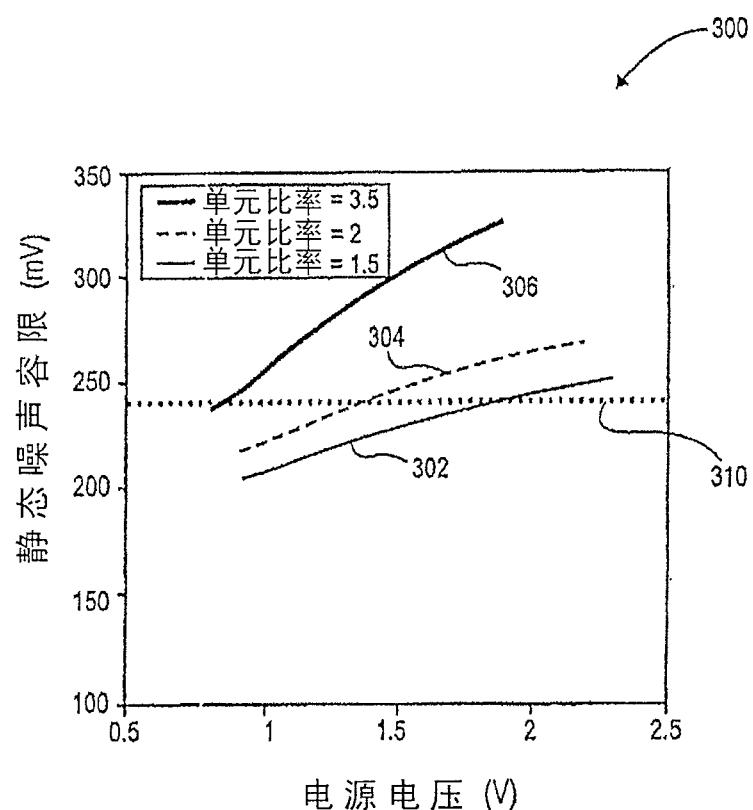


图 3

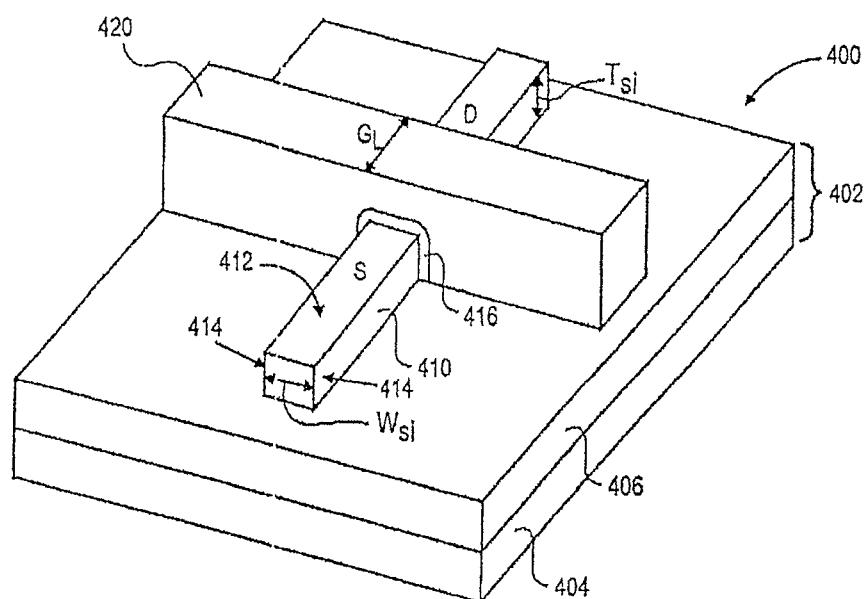


图 4

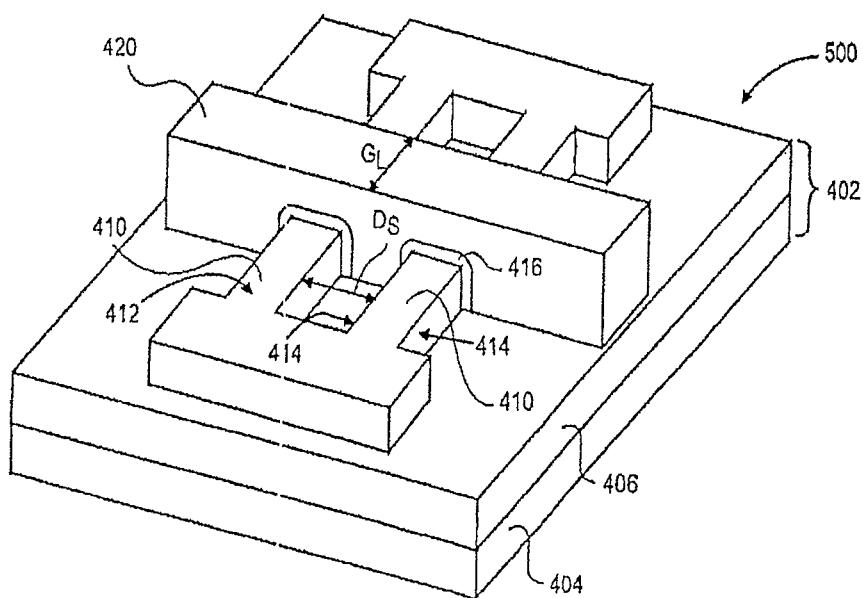


图 5

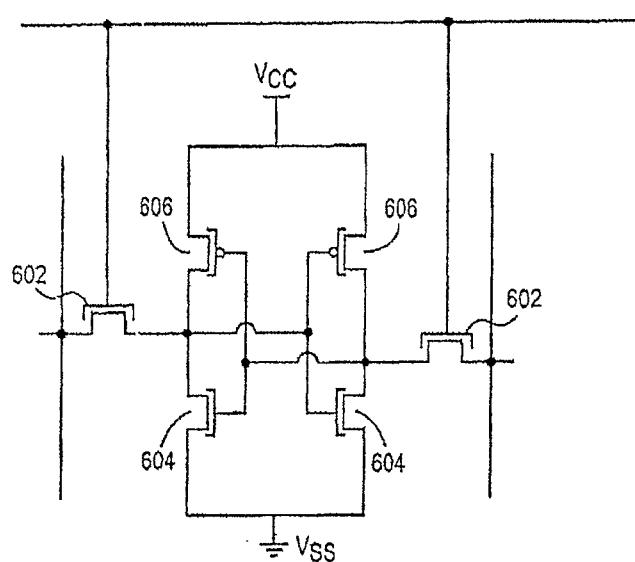


图 6

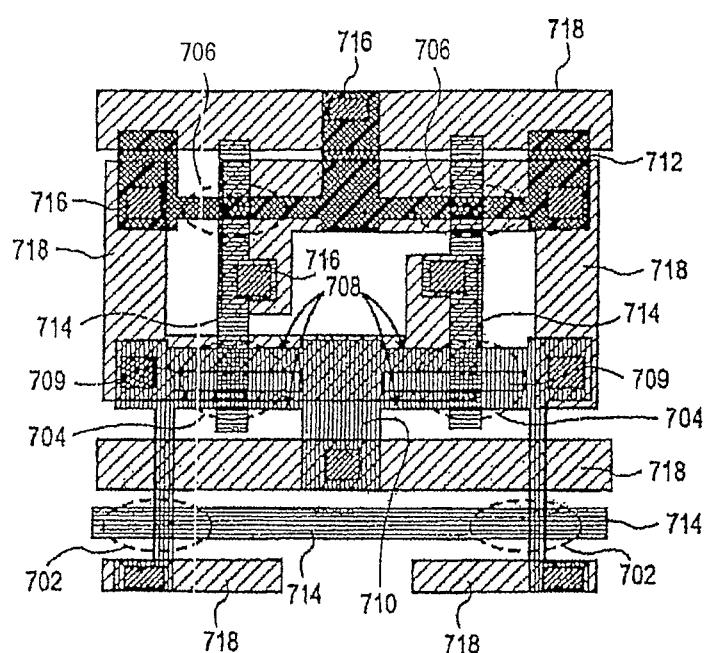


图 7

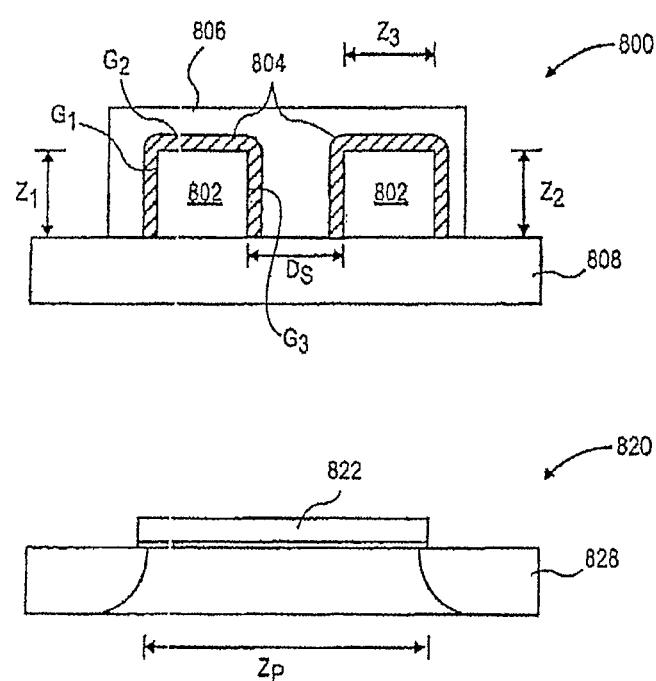


图 8

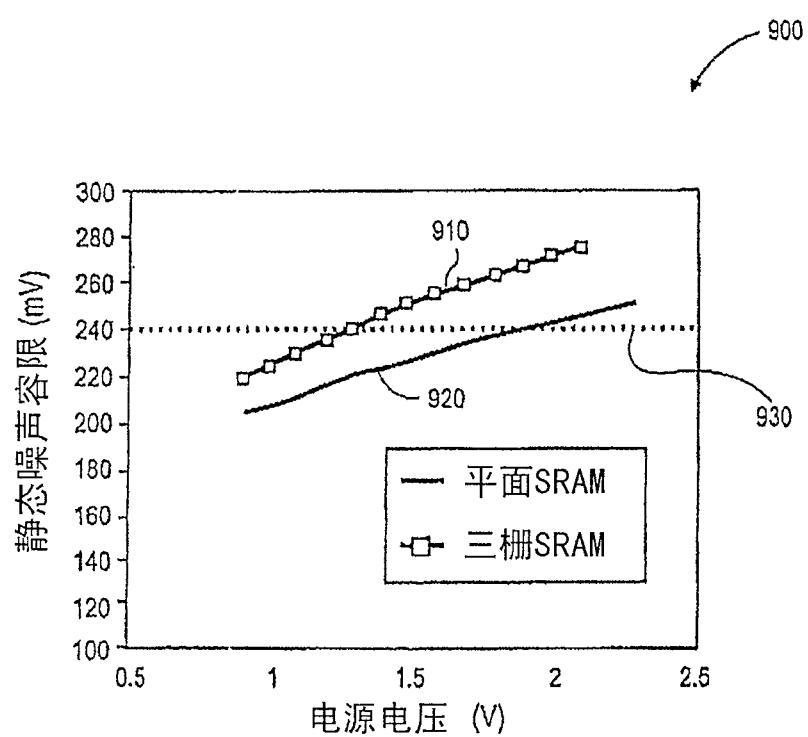


图 9

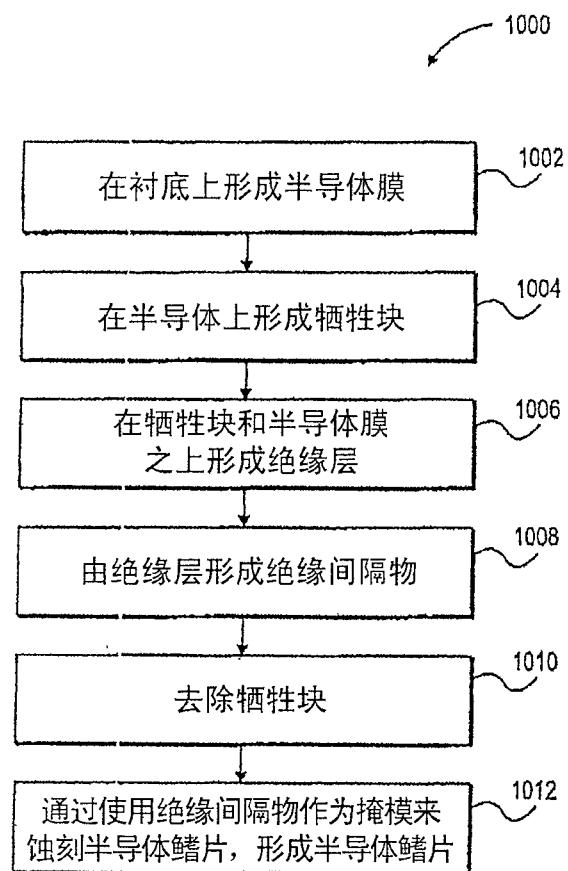


图 10

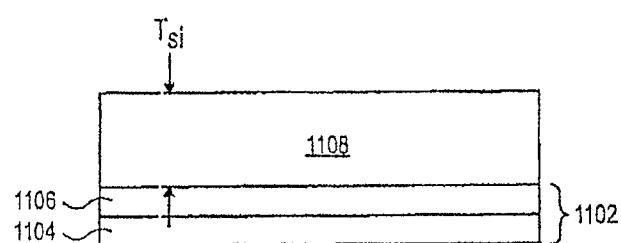


图 11A

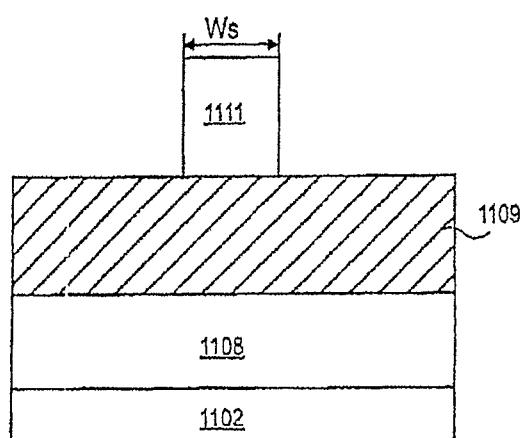


图 11B

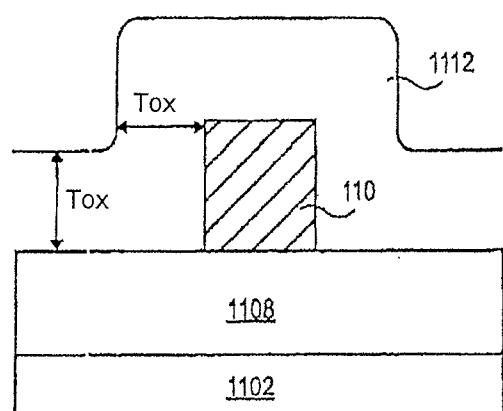


图 11C

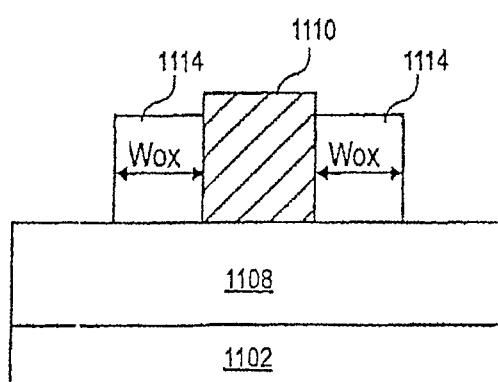


图 11D

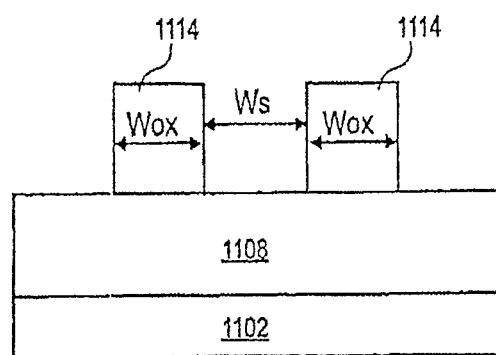


图 11E

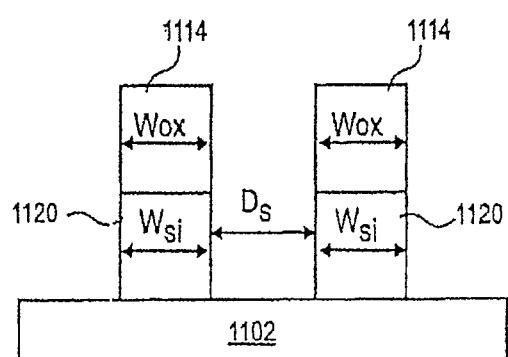


图 11F

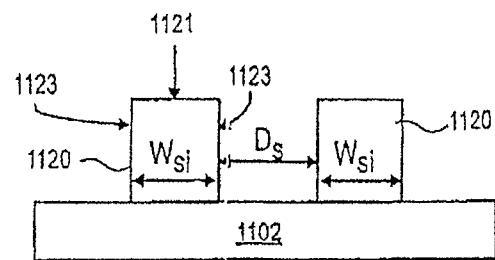


图 11G

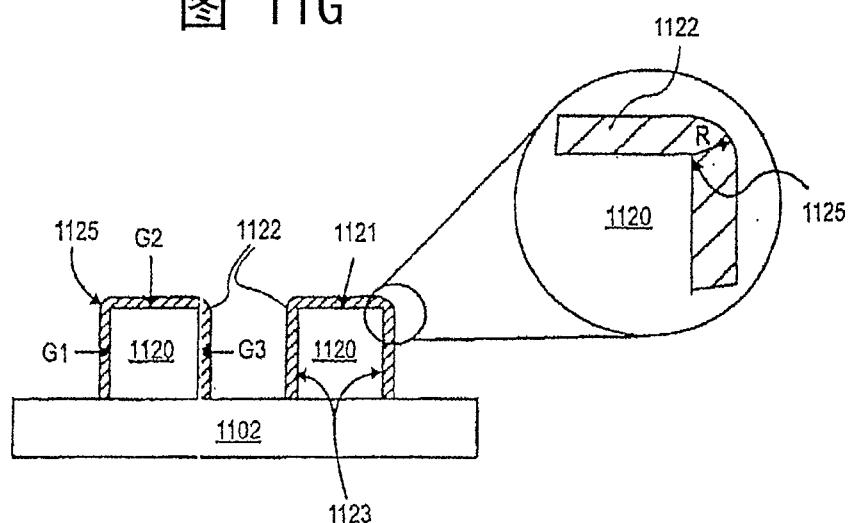


图 11H

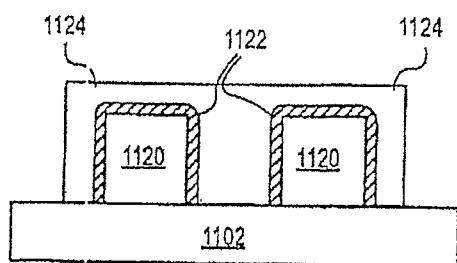


图 11I

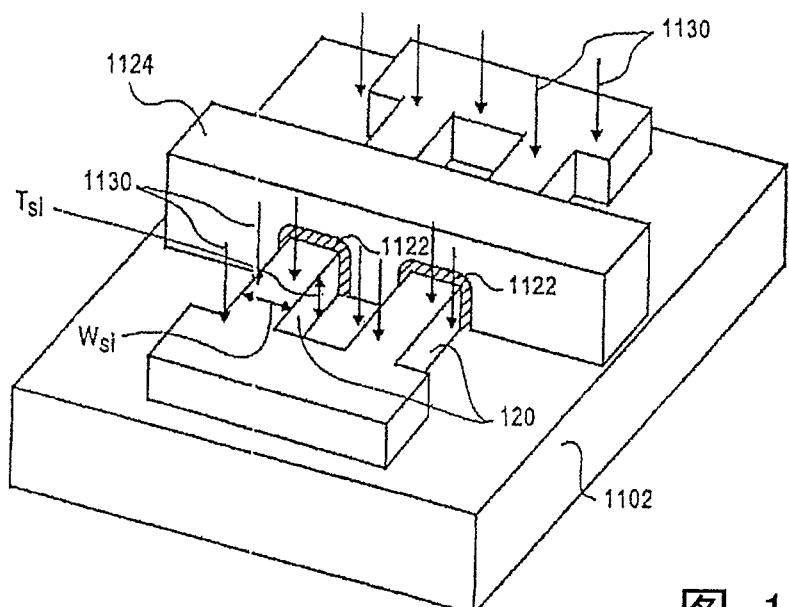


图 11J