

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-92623

(P2010-92623A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl. F 1 テーマコード (参考)  
**H 0 1 H 83/02 (2006.01)** H 0 1 H 83/02 E 5 G 0 3 0  
H 0 1 H 83/02 H

審査請求 未請求 請求項の数 3 O L (全 8 頁)

|           |                              |          |                              |
|-----------|------------------------------|----------|------------------------------|
| (21) 出願番号 | 特願2008-258815 (P2008-258815) | (71) 出願人 | 000124591                    |
| (22) 出願日  | 平成20年10月3日 (2008. 10. 3)     |          | 河村電器産業株式会社                   |
|           |                              |          | 愛知県瀬戸市暁町 3 番 8 6             |
|           |                              | (74) 代理人 | 100136630                    |
|           |                              |          | 弁理士 水野 祐啓                    |
|           |                              | (72) 発明者 | 小西 功次                        |
|           |                              |          | 愛知県瀬戸市暁町 3 番 8 6 河村電器産業株式会社内 |
|           |                              | (72) 発明者 | 大和 敬史                        |
|           |                              |          | 愛知県瀬戸市暁町 3 番 8 6 河村電器産業株式会社内 |
|           |                              | (72) 発明者 | 中川 敏幸                        |
|           |                              |          | 愛知県瀬戸市暁町 3 番 8 6 河村電器産業株式会社内 |
|           |                              | Fターム(参考) | 5G030 XX01 XX04 YY13         |

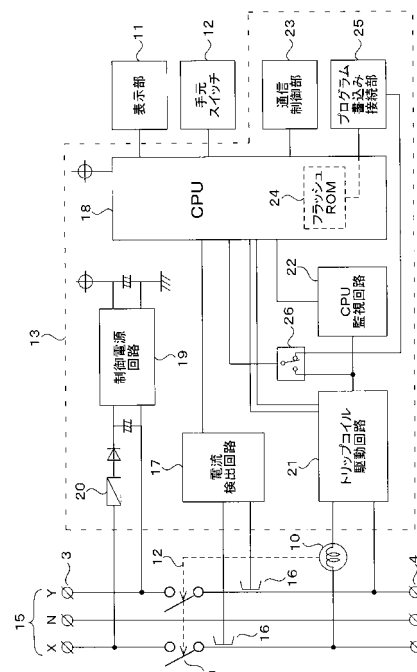
(54) 【発明の名称】 電子式ブレーカ

(57) 【要約】

【課題】 電子式ブレーカにおいて、CPUのフェイルセーフを確保し、CPUの暴走に伴う二次被害を未然に防止する。

【解決手段】 CPU監視回路22はCPU18の出力する定期パルスに基づいてCPU18の動作を監視する。CPU18が暴走し、定期パルスが途絶えたときに、監視回路22はリセット信号をCPU18とトリップコイル駆動回路21とに出力する。CPU18はリセット信号にตอบสนองし初期化を実行し、初期化できないときに、駆動回路21がトリップコイル10を駆動し、主接点9を開放する。CPU18の制御プログラムをフラッシュROM24に書き込むときに、スイッチ26を開き、監視回路22からCPU18へのリセット信号を遮断する。監視回路22にリセット信号を人為的に出力させ、リセット信号に対するトリップコイル10の応答を見て、スイッチ26の戻し忘れを確認する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

電路に流れる電流を電流センサで検出し、電流センサの出力が閾値を超えたときに、C P Uの制御によりトリップコイルを駆動して主接点を開く電子式ブレーカにおいて、

C P Uが出力する定期パルスに基づいてC P Uの動作を監視する監視回路と、定期パルスが途絶えたときの監視回路の出力に応答してトリップコイルを駆動する駆動回路と備えたことを特徴とする電子式ブレーカ。

## 【請求項 2】

前記定期パルスが途絶えたときに、監視回路がC P Uを初期化するためのリセット信号を出力し、駆動回路がC P Uの初期化に要する時間よりも長い時間が経過した後にトリップコイルを駆動することを特徴とする請求項 1 記載の電子式ブレーカ。

10

## 【請求項 3】

前記C P Uの制御プログラムを記憶するメモリと、メモリに制御プログラムを書き込むときに前記リセット信号を遮断するスイッチとを備え、スイッチが遮断位置に操作されている状態で監視回路がリセット信号を出力したときに、駆動回路がトリップコイルを駆動することを特徴とする請求項 2 記載の電子式ブレーカ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電路に過電流が流れたときに、C P Uの制御によりトリップコイルを駆動して主接点を開く電子式ブレーカに関する。

20

## 【背景技術】

## 【0002】

従来、電路に流れる電流を電流センサで検出し、電流センサの出力が閾値を超えたときに、C P Uの制御によりトリップコイルを駆動して主接点を開く電子式ブレーカが知られている。C P U制御によると、遮断機能のほかに表示機能や通信機能などを容易に装備でき、ブレーカの機能性および機動性を高めることができる利点がある。

## 【0003】

例えば、特許文献 1 には、記憶媒体に記録した定格電流をC P Uに読み取らせ、ブレーカの内部メモリに登録する技術が記載されている。特許文献 2 には、ブレーカと外部操作機器との無線通信をC P Uで制御し、定格電流を外部操作機器により無線通信を介して切り替える技術が記載されている。

30

【特許文献 1】特開 2 0 0 8－7 9 4 1 2 号公報

【特許文献 2】特開 2 0 0 8－7 8 0 0 7 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

ところが、従来の電子式ブレーカでは、C P Uのフェイルセーフが確保されていなかった。このため、外来ノイズや雷サージなどでC P Uが暴走したときに、電路に流れる電流を監視できなくなり、遮断機能に障害を来し、二次被害を招くおそれがあった。

40

## 【0005】

そこで、本発明の目的は、C P Uのフェイルセーフを確保し、暴走時の二次被害を未然に防止できる電子式ブレーカを提供することにある。

## 【課題を解決するための手段】

## 【0006】

上記課題を解決するために、本発明は、電路に流れる電流を電流センサで検出し、電流センサの出力が閾値を超えたときに、C P Uの制御によりトリップコイルを駆動して主接点を開く電子式ブレーカにおいて、次のような手段を採用したことを特徴とする。

## 【0007】

(1) C P Uが出力する定期パルスに基づいてC P Uの動作を監視する監視回路と、定期

50

パルスが途絶えたときの監視回路の出力に応答してトリップコイルを駆動する駆動回路と備えたことを特徴とする電子式ブレーカ。

【0008】

(2) 定期パルスが途絶えたときに、監視回路がCPUを初期化するためのリセット信号を出力し、駆動回路がCPUの初期化に要する時間よりも長い時間が経過した後にトリップコイルを駆動することを特徴とする電子式ブレーカ。

【0009】

(3) CPUの制御プログラムを記憶するメモリと、メモリに制御プログラムを書き込むときにリセット信号を遮断するスイッチとを備え、スイッチが遮断位置に操作されている状態で監視回路がリセット信号を出力したときに、駆動回路がトリップコイルを駆動することを特徴とする電子式ブレーカ。

10

【発明の効果】

【0010】

上記(1)の電子式ブレーカによれば、監視回路が駆動回路と連系してCPUのフェイルセーフを確保するので、CPUの暴走に伴う二次被害を未然に防止できるという効果がある。

【0011】

上記(2)の電子式ブレーカによれば、監視回路が出力したリセット信号でCPUを初期化し、初期化中に主接点をむやみに開くことなく、CPUを自動的に復旧できるという効果がある。

20

【0012】

上記(3)の電子式ブレーカによれば、スイッチを遮断位置に操作した状態で、CPUの制御プログラムをメモリに書き込むことができ、スイッチを遮断位置から戻し忘れたときに、駆動回路によりトリップコイルを駆動できるうえ、人為的なリセット信号に対するトリップコイルの応答に基づいて、スイッチの戻し忘れを容易に確認できるという効果がある。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態を図面に基づいて説明する。図1は单相3線式電路用の電子式ブレーカの外觀を示し、図2はケーシングの内部機構を示す。図3は電子式ブレーカの制御回路を示し、図4は制御回路中のCPU監視回路とトリップコイル駆動回路を詳細に示す。図5～図8は監視回路と駆動回路の連係動作を示し、図5はCPU正常時、図6は過電流発生時、図7はCPU暴走時、図8はCPU復旧時の状態を示す。

30

【実施例】

【0014】

図1に示すように、この実施例の電子式ブレーカ1は、ケーシング2の上端部に3つの電源側端子3を備え、下端部に3つの負荷側端子4を備えている。ケーシング2の前面には、单相3線式電路を手動で開閉するハンドル5と、ブレーカ1の定格電流や動作状態を表示する表示部6と、表示や動作モードを切り替える手元スイッチ7と、パソコンや携帯端末等の外部操作機器に接続されるLAN配線接続口8とが設けられている。

40

【0015】

図2に示すように、ケーシング2の内部には、電路15(図3参照)に過電流が流れたときに主接点9を開くトリップコイル10と、電路15に短絡電流が流れたときに主接点9を瞬時に開く瞬時遮断機構11と、トリップコイル10および瞬時遮断機構11の動力を主接点9に伝える開閉機構12とが設置されている。そして、ケーシング2の背面に電子回路基板13が取り付けられ、この基板13上に表示部6やトリップコイル10等を制御するための電子制御回路が設けられている。

【0016】

図3に示すように、单相3線式電路15は二本の電圧線15X、15Yと一本の中性線15Nとを備え、電圧線15X、15Y上に線路電流を検出する電流センサ16が設けら

50

れている。電子回路基板 13 には、電流センサ 16 の出力を数値化する電流検出回路 17 と、電流検出回路 17 の出力を監視する CPU 18 と、CPU 18 の動作電圧を主接点 9 より一次側（電源側）の電圧線 15 X, 15 Y から取得する制御電源回路 19 とが設けられている。制御電源回路 19 は、内部に異常が発生したときに、ヒューズ 20 を溶断し、CPU 18 等への電源の供給を停止するように構成されている。

#### 【0017】

また、電子回路基板 13 には、主接点 9 より二次側（負荷側）の電圧線 15 X, 15 Y から取得した電圧（200V）でトリップコイル 10 を駆動するトリップコイル駆動回路 21 と、CPU 18 の動作を監視する CPU 監視回路 22 と、赤外線リモコンを含む外部操作機器との通信を制御する通信制御部 23 と、外部のプログラム書込み装置が接続されるプログラム書込み接続部 25 と、プログラム書込みスイッチ 26 とが配設されている。CPU 18 は制御プログラムを記憶するフラッシュ ROM 24 を備えている。ROM 24 に制御プログラムを書き込むときには、書込みスイッチ 26 をプログラム書込み接続部 25 側に操作し（図 3 参照）、監視回路 22 の動作が CPU 18 に影響しないように、監視回路 22 が出力したリセット信号を遮断する。こうすれば、監視回路 22 の動作が無効となるので、制御プログラムを ROM 24 に容易に書き込むことができる。書込み作業が終了したときには、スイッチ 26 を監視回路 22 と駆動回路 21 との接続点 32 側に操作し（図 4 参照）、リセット信号を CPU 18 に伝送できる状態に戻しておく。

#### 【0018】

図 4 に示すように、トリップコイル駆動回路 21 は、トリップコイル 10 を駆動するサイリスタ SCR と、サイリスタ SCR のゲート G に定電圧を印加するツェナーダイオード ZD と、コンデンサ C および抵抗 R からなる CR 遅延回路 27 と、CPU 18 の二つのデジタル出力端子 P1, P2 から出力された操作信号を受け取る D-FF（D フリップフロップ）28 と、D-FF 28 とサイリスタ SCR を電氣的に絶縁した状態で D-FF 28 の出力信号を中継するフォトカプラ 29 とが設けられている。フォトカプラ 29 は発光部 29a と受光部 29b とを備え、発光部 29a の動作電圧が制御電源回路 19（図 3 参照）から供給される。

#### 【0019】

CPU 監視回路 22 は WDT-IC（ウォッチドッグタイマ IC）30 を備え、CPU 18 がもう一つのデジタル出力端子 P3 から WDT-IC 30 の WD 端子にクロックパルス CP（図 5 参照）を定期的に出力する。WDT-IC 30 の RST 端子は D-FF 28 の CLK 端子に接続されるとともに、書込みスイッチ 26 を介して CPU 18 のリセット端子に接続され、Tc 端子が抵抗 R とコンデンサ C とに接続されている。WDT-IC 30 は、抵抗 R とコンデンサ C とで決まる時間中にクロックパルス CP が WD 端子に与えられないときに、CPU 18 のクロックパルス CP が途絶えたと判断し、リセット信号を RST 端子から CPU 18 と D-FF 28 とに出力する。そして、リセット信号に応答し、CPU 18 が制御プログラムのメインルーチンを実行して初期化作業を行うとともに、D-FF 28 がフォトカプラ 29 を OFF してトリップコイル 10 を駆動するように構成されている。

#### 【0020】

次に、上記のように構成された電子式ブレーカ 1 の動作について説明する。図 5 に示すように、CPU 18 が正常に動作しているときには、制御プログラムのメインルーチンでクロックパルス CP が出力端子 P3 から WDT-IC 30 の WD 端子に定期的に出力される。このとき、Tc 端子の電圧レベルはクロックパルス CP によりリセット信号の出力ライン（RST 端子の L レベル）よりも低く抑えられ、RST 端子が H レベルを維持し、リセット信号を出力しない。そして、電路 15 に正常な電流が流れている状態で、CPU 18 が出力端子 P1, P2 から操作パルスを D-FF 28 の CLR 端子と PRE 端子とに出し、両方の端子を共に H レベルに維持し、Q 端子を L レベルに保つ。これにより、フォトカプラ 29 が ON し、サイリスタ SCR がターンオフし、トリップコイル 10 が消磁し、主接点 9 が閉じた状態に保持される。

10

20

30

40

50

## 【0021】

図6に示すように、電路15に過電流が流れたときには、CPU18が出力端子P2側の操作パルスを停止し、DFF28のPRE端子がH→Lレベルに切り替わり、Q端子がL→Hレベルに変化し、フォトカプラ29がOFFする。これにより、ツェナーダイオードZDの基準電圧がサイリスタSCRのゲートGに印加され、CR遅延回路27の設定時間（CR遅延時間）が経過した後にサイリスタSCRがターンオンし、トリップコイル10が主接点9を開く。そして、線路電流が消滅すると、CPU18が出力端子P1側の操作パルスを一時的に停止し、DFF28のCLR端子をH→L→Hレベルに切り替え、CLR端子とPRE端子を共にHレベルに保った状態で、ハンドル5による主接点9の閉成操作を待つ。なお、CR遅延時間はCPU18の初期化に要する時間（図8参照）よりも長い値で設定されている

10

## 【0022】

図7に示すように、CPU18が暴走し、クロックパルスCPが途絶えたときには、WDTC30において、Tc端子の電圧レベルがリセット信号の出力ラインまで上昇し、RST端子がH→Lレベルに切り替わり、リセット信号がRST端子から書込みスイッチ26を介してCPU18に出力される。そして、Tc端子の電圧レベルがリセット信号の停止ライン（0V）まで下降すると、RST端子がL→Hレベルに切り替わり、DFF28のQ端子がL→Hレベルに変化し、フォトカプラ29がOFFする。この間、CPU18はリセット信号に応答して制御プログラムを再起動し、メインルーチンを実行してDFF28をリセットする。

20

## 【0023】

ここで、CPU18がメインルーチンを実行できないときには、DFF28がリセットされず、Q端子がHレベルを維持し、フォトカプラ29がOFF状態を継続する。このため、サイリスタSCRがCR遅延時間の経過後にターンオンし、トリップコイル10が励磁し、主接点9が開放される。したがって、WDTC30のリセット信号でCPU18を初期化できないときに、トリップコイル10で電路15を遮断し、CPU18の暴走に伴う二次被害を未然に防止できる。また、施工者が制御プログラムを書き込んだ後に、書込みスイッチ26を閉じ忘れてリセット信号の遮断位置（図3に示す位置）に放置していた場合は、リセット信号がCPU18に伝送されず、DFF28のCLK端子に入力され、Q端子がL→Hレベルに切り替わり、フォトカプラ29がOFFする。このため、スイッチ26を戻し忘れていた場合でも、トリップコイル10を駆動して、主接点9を確実に開くことができる。

30

## 【0024】

図8に示すように、CPU18が初期化を実行できたときには、クロックパルスCPが立ち上がり、CPU18が正常な状態に復旧する。CPU18が復旧すると、WDTC30のTc端子の電圧レベルが上昇し、DFF28のCLR端子がH→Lレベルに変化し、Q端子がH→Lレベルに切り替わり、DFF28がリセットされ、フォトカプラ22がONする。このとき、駆動回路21のCR遅延回路27にCPU18の初期化に要する時間よりも長いCR遅延時間が設定されているため、サイリスタSCRのゲート電圧が上昇する前にフォトカプラ29がONし、サイリスタSCRはターンオンしない。したがって、CPU18の初期化中に主接点9をむやみに開くことなく、CPU18を自動的に復旧することができる。

40

## 【0025】

また、CPU18を人為的に暴走状態とすることで、プログラム書込みスイッチ26の操作位置を容易に確認することができる。すなわち、CPU18のクロックパルスを意図的に停止し、WDTC30にリセット信号を出力させ、リセット信号に対するトリップコイル10の応答を確認する。施工者が書込みスイッチ26を閉じ忘れていた場合は、リセット信号がCPU18に伝送されず、図7に示すように、サイリスタSCRがターンオンしてトリップコイル10を駆動するので、施工者はハンドル5の突出状態を見て、スイッチ26の閉じ忘れを確認できる。書込みスイッチ26がリセット信号の伝送位置（図

50

4に示す位置)に正しく閉じられていた場合は、リセット信号がCPU18に伝送され、図8に示すように、サイリスタSCRがターンオフしてトリップコイル10を駆動しないので、施工者はハンドル5の平伏状態を見て、スイッチ26の正規位置を確認できる。

【0026】

なお、本発明は上記実施例に限定されるものではなく、以下に例示するように、本発明の趣旨を逸脱しない範囲で、各部の構成や形状を任意に変更して実施することも可能である。

(イ) CPU18が暴走したときに、監視回路22の出力に応答し、駆動回路21がトリップコイル10を直ちに駆動するように構成すること。

(ロ) 制御プログラムを記憶するメモリをCPU18の外部に設置すること。

10

(ハ) CPU監視回路22を单相2線式電路や3相3線式電路用の電子式ブレーカに適用すること。

【図面の簡単な説明】

【0027】

【図1】本発明の一実施形態を示す電子式ブレーカの正面図である。

【図2】電子式ブレーカの内部機構を示す斜視図である。

【図3】電子式ブレーカの制御回路を示すブロック図である。

【図4】CPU監視回路とトリップコイル駆動回路を詳細に示す回路図である。

【図5】CPU正常時の動作を示すタイムチャートである。

【図6】過電流発生時の動作を示すタイムチャートである。

20

【図7】CPU暴走時の動作を示すタイムチャートである。

【図8】CPU復旧時の動作を示すタイムチャートである。

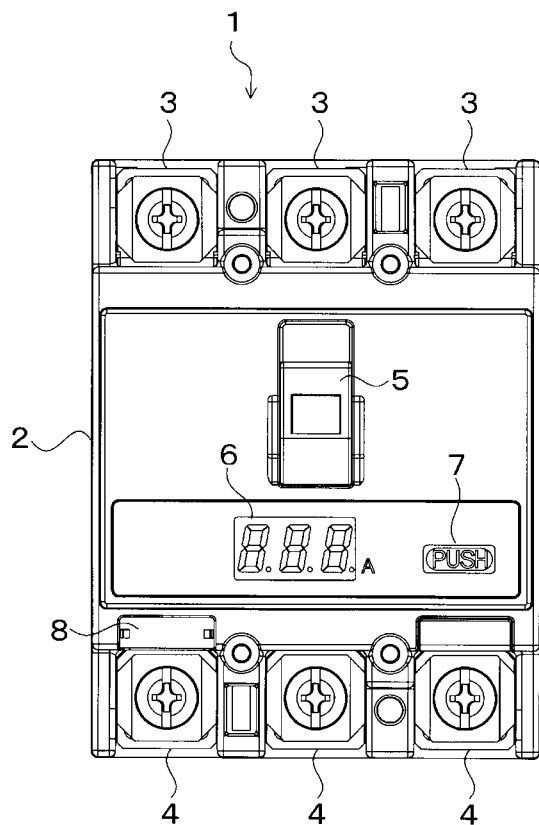
【符号の説明】

【0028】

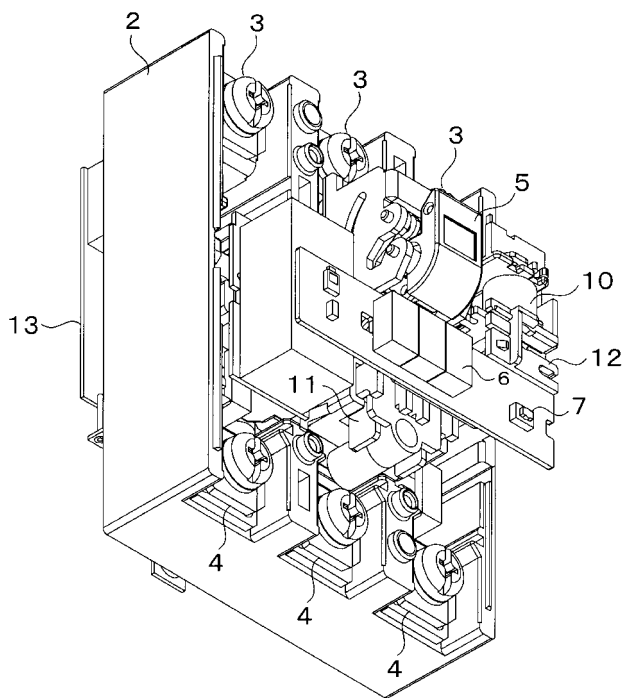
- |    |              |
|----|--------------|
| 1  | 電子式ブレーカ      |
| 9  | 主接点          |
| 10 | トリップコイル      |
| 15 | 单相3線式電路      |
| 16 | 電流センサ        |
| 18 | CPU          |
| 21 | トリップコイル駆動回路  |
| 22 | CPU監視回路      |
| 24 | フラッシュROM     |
| 26 | プログラム書込みスイッチ |
| 27 | CR遅延回路       |

30

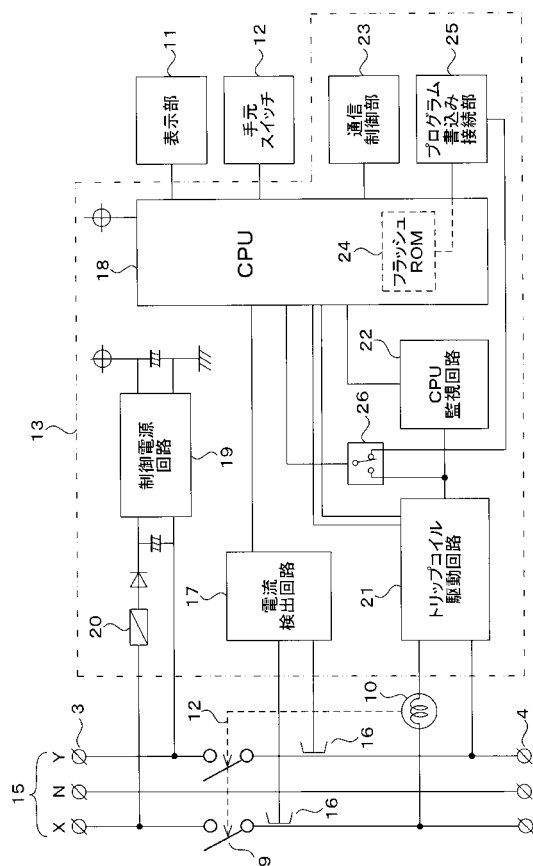
【図 1】



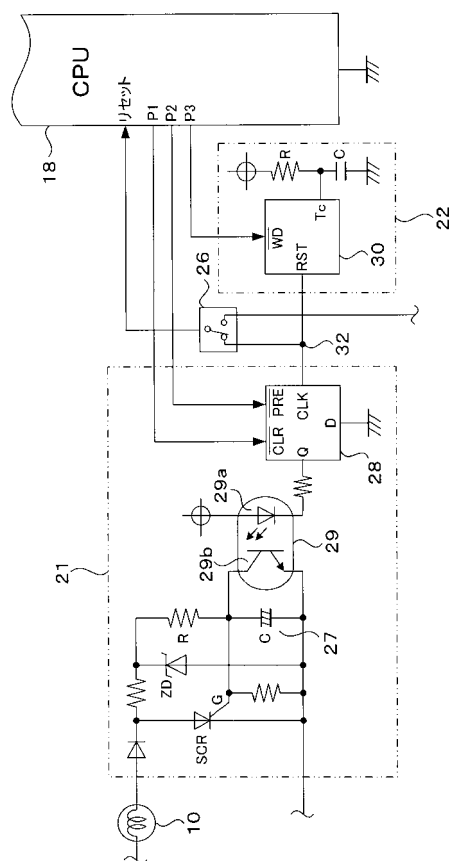
【図 2】



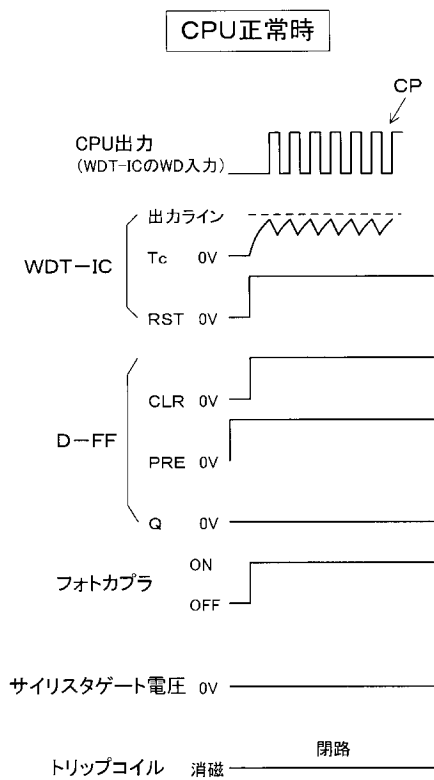
【図 3】



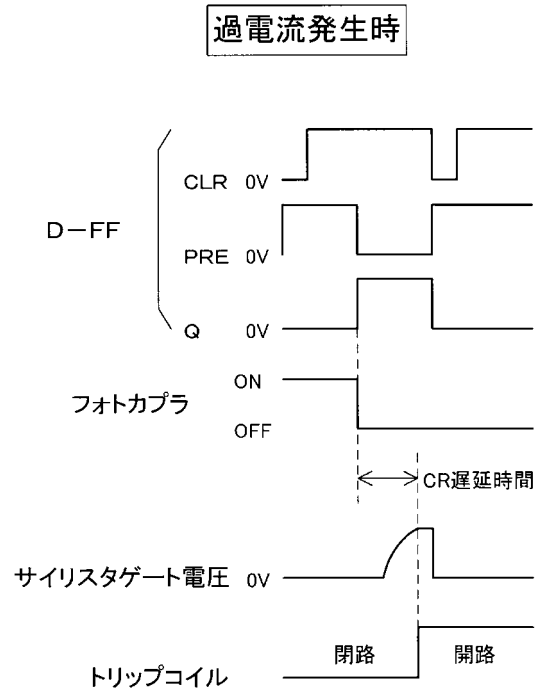
【図 4】



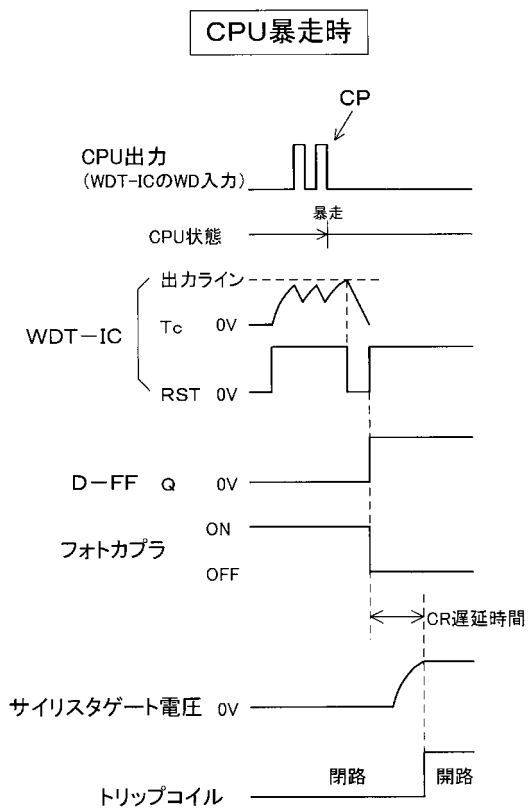
【図 5】



【図 6】



【図 7】



【図 8】

