

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5648191号
(P5648191)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int.Cl.

HO 1 L 29/78 (2006.01)

F I

HO 1 L 29/78 6 5 2 K

HO 1 L 29/78 6 5 3 A

HO 1 L 29/78 6 5 2 H

HO 1 L 29/78 6 5 2 S

請求項の数 11 (全 13 頁)

(21) 出願番号	特願2013-22107 (P2013-22107)	(73) 特許権者	501315784
(22) 出願日	平成25年2月7日 (2013.2.7)		パワー・インテグレーションズ・インコーポレーテッド
(62) 分割の表示	特願2008-29919 (P2008-29919) の分割		アメリカ合衆国・95138・カリフォルニア州・サン ホゼ・ヘリヤー アベニュー・5245
原出願日	平成20年2月12日 (2008.2.12)	(74) 代理人	100082005
(65) 公開番号	特開2013-80984 (P2013-80984A)		弁理士 熊倉 禎男
(43) 公開日	平成25年5月2日 (2013.5.2)	(74) 代理人	100067013
審査請求日	平成25年3月7日 (2013.3.7)		弁理士 大塚 文昭
(31) 優先権主張番号	11/707, 406	(74) 代理人	100086771
(32) 優先日	平成19年2月16日 (2007.2.16)		弁理士 西島 孝喜
(33) 優先権主張国	米国 (US)	(74) 代理人	100109070
			弁理士 須田 洋之
		最終頁に続く	

(54) 【発明の名称】 高電圧垂直トランジスタのためのセグメントピラーレイアウト

(57) 【特許請求の範囲】

【請求項 1】

各々が、ダイ上に設けられ、第1の横方向に延びる長さ及び第2の横方向に延びる幅を備えたレーストラック形状を有する、複数のトランジスタセグメントを具備する垂直トランジスタ装置であって、

前記トランジスタセグメントの各々が、
垂直方向に延びる拡張したドレイン領域の一部を含む半導体材料のピラーと、
前記ピラーの対向する側にそれぞれ配置された第1の誘電領域及び第2の誘電領域と、
を含み、

前記第1の誘電領域は横方向において前記ピラーにより囲まれ、前記第2の誘電領域は横方向において前記ピラーを囲み、

さらに、前記トランジスタセグメントの各々は、
前記第1の誘電領域及び前記第2の誘電領域のそれぞれに配置された第1のフィールドプレート及び第2のフィールドプレートと、を含み、

前記複数のトランジスタセグメントは、複数のセクションに分けられており、
該複数のセクションにおける第1のセクションは、前記第2の横方向において並列関係に配置されたトランジスタセグメントの第1の行を含み、

前記複数のセクションにおける第2のセクションは、前記第2の横方向において並列関係に配置されたトランジスタセグメントの第2の行を含み、前記第1の行の前記トランジスタの前記ピラーが前記第2の行の前記トランジスタの前記ピラーから前記第1の横方向

10

20

において分離されており、

前記第 1 のセクションの各トランジスタセグメントの前記第 2 の誘電領域が、前記第 2 のセクションの各トランジスタセグメントの前記第 2 の誘電領域と合体又は重なり合っており、前記第 1 のセクションの各トランジスタセグメントの前記第 2 のフィールドプレートが前記第 2 のセクションの各トランジスタの前記第 2 のフィールドプレートと合体されていることを特徴とする装置。

【請求項 2】

前記第 1 のセクション及び前記第 2 のセクションの前記合体されるトランジスタセグメントが、前記合体されるトランジスタセグメント間に位置する前記半導体材料の少なくとも 1 つのダミーピラー用のスペースを残している、請求項 1 に記載の装置。

10

【請求項 3】

前記第 2 の誘電領域が、前記第 1 の横方向の前記トランジスタの各端部に丸みのあるセクションを含んでいる、請求項 1 に記載の装置。

【請求項 4】

前記第 1 のフィールドプレート及び前記第 2 のフィールドプレートが、前記拡張したドレイン領域から完全に絶縁されており、

前記第 1 のフィールドプレートが横方向において前記ピラーにより囲まれ、前記第 2 のフィールドプレートが横方向において前記ピラーを囲む、請求項 1 に記載の装置。

【請求項 5】

前記少なくとも 1 つのダミーピラーが、前記第 1 のセクションと前記第 2 のセクションとを分離する単一のダミーピラーを含む、請求項 2 に記載の装置。

20

【請求項 6】

前記単一のダミーピラーが、前記第 1 の横方向において、前記第 1 のセクション及び前記第 2 のセクションにおける各トランジスタセグメントの前記第 2 の誘電領域の丸みのある端部に隣接する、請求項 5 に記載の装置。

【請求項 7】

前記少なくとも 1 つのダミーピラーが複数のダミーピラーを含み、

該複数のダミーピラーの各々が、前記第 1 のセクション及び前記第 2 のセクションにおけるトランジスタセグメントの第 1 及び第 2 の隣接するペアの丸みのある端部間の中心にそれぞれ配置されている、請求項 2 に記載の装置。

30

【請求項 8】

前記第 1 のセクション及び前記第 2 のセクションにおける前記トランジスタセグメントの前記長さとの比が、30 ~ 80 の範囲内にある、請求項 1 に記載の装置。

【請求項 9】

前記第 1 のセクション及び前記第 2 のセクションが、各々、前記ダイの幅の全体にわたって前記第 2 の横方向において延びており、前記第 1 のセクション及び前記第 2 のセクションが、連結して、前記ダイの長さの全体にわたって前記第 1 の横方向において延びている、請求項 1 に記載の装置。

【請求項 10】

前記ピラーが、更に、前記ダイの上面の近くに配置されたソース領域と、前記拡張したドレイン領域から前記ソース領域を垂直方向に分離するボディ領域と、を含む、請求項 1 に記載の装置。

40

【請求項 11】

前記ボディ領域に隣接する前記第 1 の誘電領域及び前記第 2 の誘電領域内に配置されたゲートを更に具備し、前記ゲートが、前記ボディ領域、前記第 1 のフィールドプレート及び前記第 2 のフィールドプレートから絶縁されている、請求項 10 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体デバイス構造及び高電圧トランジスタを作製するためのプロセスに関

50

【背景技術】

【0002】

高電圧電界効果トランジスタ（HVFET）は、半導体技術分野においてよく知られている。多くのHVFETは、デバイスが「オフ」状態にあるときに印加される高電圧（例えば数百ボルト）を維持又は遮断する拡張ドレイン領域を含むデバイス構造を利用する。従来の垂直HVFET構造においては、半導体材料のメサ又はピラーは、オン状態での電流フローのための拡張ドレイン又はドリフト領域を形成する。トレンチゲート構造は、拡張ドレイン領域の上方にボディ領域が配置されたメサの側壁領域に隣接し、基板の上部付近で形成される。ゲートに適切な電圧電位を印加することによりボディ領域の垂直側壁部分に沿って導電チャンネルが形成され、その結果、電流は、半導体材料を通して垂直に流れ、すなわちソース領域が配置される基板の上面からドレイン領域が位置する基板の底部まで下方に流れることができる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-216927号公報

【特許文献2】特開平11-233765号公報

【特許文献3】特開2006-351930号公報

【特許文献4】特開2004-200540号公報

【特許文献5】特開2001-168329号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来のレイアウトにおいては、垂直HVFETは、半導体ダイ全体に延びる長い連続したシリコンピラー構造からなり、該ピラー構造は、ピラー長さに対して垂直方向で繰り返される。しかしながら、このレイアウトに伴って生じる1つの問題は、高温加工段階中にシリコンウェーハの大きな反りを生じる傾向がある点である。多くのプロセスにおいて、この反りは恒久的であり、後続の加工段階中にウェーハのツールハンドリングを妨げるほど十分大きい。

【0005】

30

本開示は、以下の詳細な説明及び添付図面からより完全に理解されるであろうが、これらは、図示される特定の実施形態に本発明を限定するものと解釈すべきでなく、単に説明及び理解を目的とする。

【課題を解決するための手段】

【0006】

本発明の1つの態様に係る装置は、各々が、ダイ上に設けられ、第1の横方向に延びる長さ及び第2の横方向に延びる幅を備えたレーストラック形状を有する、複数のトランジスタセグメントを具備する装置であって、

前記トランジスタセグメントの各々が、

前記ダイを通して垂直方向に延びる拡張したドレイン領域を含む半導体材料のピラーと

40

、
前記ピラーの対向する側にそれぞれ配置された第1の誘電領域及び第2の誘電領域と、を含み、

前記第1の誘電領域は横方向において前記ピラーにより囲まれ、前記第2の誘電領域は横方向において前記ピラーを囲み、

さらに、前記トランジスタセグメントの各々は、

前記第1の誘電領域及び前記第2の誘電領域のそれぞれに配置された第1のフィールドプレート及び第2のフィールドプレートと、を含み、

前記複数のトランジスタセグメントは、複数のセクションに分けられており、

該複数のセクションにおける第1のセクションは、前記第2の横方向において並列関係

50

に配置されたトランジスタセグメントの第 1 の行を含み、

前記複数のセクションにおける第 2 のセクションは、前記第 2 の横方向において並列関係に配置されたトランジスタセグメントの第 2 の行を含む、ことを特徴とする。

【 0 0 0 7 】

本発明の別の形態に係る装置は、各々が、ダイ上に設けられ、第 1 の横方向に延びる長さ及び第 2 の横方向に延びる幅を備えたレーストラック形状を有する、複数のトランジスタセグメントを具備する装置であって、

前記トランジスタセグメントの各々が、

前記ダイを通して垂直方向に延びる拡張したドレイン領域を含む半導体材料のピラーと

、

前記ピラーの対向する側にそれぞれ配置された第 1 の誘電領域及び第 2 の誘電領域と、を含み、

前記第 1 の誘電領域は横方向において前記ピラーにより囲まれ、前記第 2 の誘電領域は横方向において前記ピラーを囲み、

さらに、前記トランジスタセグメントの各々は、

前記第 1 の誘電領域及び前記第 2 の誘電領域のそれぞれに配置された第 1 のフィールドプレート及び第 2 のフィールドプレートと、を含み、

前記複数のトランジスタセグメントは、複数のセクションに分けられており、

第 1 のセクションにおけるトランジスタセグメントは、第 2 のセクションにおけるトランジスタセグメントに対して前記第 1 の横方向においてシフトされ、

前記第 1 のセクションの行における前記トランジスタセグメントの各々は、前記第 2 のセクションにおける 1 対のトランジスタセグメントにより分離されており、該 1 対のトランジスタセグメントは、端と端とが接した関係により配置されており、

前記第 1 のセクション及び前記第 2 のセクションにおける前記トランジスタセグメントのうち交互に選択されたトランジスタセグメントの前記第 2 の誘電領域が併合されている、ことを特徴とする。

【 0 0 0 8 】

本発明の 1 つの形態に係るトランジスタは、半導体ダイと、

該半導体ダイを実質的に覆うように設けられた複数のトランジスタセグメントであって、各々が第 1 の横方向に延びる長さ及び第 2 の横方向に延びる幅を有し、かつ、前記長さが前記幅の少なくとも 2 0 倍以上の大きさとなっている、複数のトランジスタセグメントと、を具備し、

前記トランジスタセグメントの各々が、

前記半導体ダイを通して垂直方向に延びる拡張したドレイン領域を含む半導体材料のピラーであって、前記第 1 の横方向及び前記第 2 の横方向に延びて、連続したレーストラック形状のリング又は楕円を形成するピラーと、

前記ピラーの対向する側にそれぞれ配置された第 1 の誘電領域及び第 2 の誘電領域と、を含み、

前記第 1 の誘電領域が横方向において前記ピラーにより囲まれ、前記第 2 の誘電領域が横方向において前記ピラーを囲み、

さらに、前記トランジスタセグメントの各々が、

前記第 1 の誘電領域及び前記第 2 の誘電領域のそれぞれに配置された第 1 のフィールドプレート及び第 2 のフィールドプレートと、を含み、

前記複数のトランジスタセグメントが、前記半導体ダイにおける対応するエリアに配置された 2 つ又はそれ以上のセクションに分割されている、ことを特徴とする。

【 0 0 0 9 】

本発明の別の特徴に係るトランジスタは、半導体ダイの上に作製されたトランジスタであって、

該半導体ダイにおける第 1 のエリアに配置されたトランジスタセグメントの第 1 のセクションと、

10

20

30

40

50

前記半導体ダイの前記第 1 のエリアに隣接した第 2 のエリアに配置されたトランジスタセグメントの第 2 のセクションと、を具備し、

前記第 1 のセクション及び前記第 2 のセクションにおける前記トランジスタセグメントの各々が、

前記ダイの上面の近くに配置されたソース領域と該ソース領域の下に配置された拡張したドレイン領域とを有する、垂直方向に延びる半導体材料のピラーであって、前記第 1 の横方向及び前記第 2 の横方向に延びて、連続したレーストラック状のリング又は楕円を形成するピラーと、

該ピラーの対向する側にそれぞれ配置された第 1 の誘電領域及び第 2 の誘電領域と、を含み、

前記第 1 の誘電領域が横方向において前記ピラーにより囲まれ、前記第 2 の誘電領域が横方向において前記ピラーを囲み、

さらに、前記第 1 のセクション及び前記第 2 のセクションにおける前記トランジスタセグメントの各々は、前記第 1 の誘電領域及び前記第 2 の誘電領域のそれぞれに配置された第 1 のフィールドプレート及び第 2 のフィールドプレートと、を含み、

前記第 1 のセクション及び前記第 2 のセクションにおける隣接するトランジスタセグメントの対の前記第 2 のフィールドプレートが、それぞれ分離されているか、又は、部分的に合併している、ことを特徴とする。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】垂直 H V F E T 構造体の例示的な側断面図である。

【図 2 A】図 1 に示された垂直 H V F E T 構造体の例示的なレイアウトを示す図である。

【図 2 B】図 2 A に示された例示的なレイアウトの一部分の拡大図である。

【図 3 A】図 1 に示された垂直 H V F E T 構造体の別の例示的なレイアウトを示す図である。

【図 3 B】図 3 A に示された例示的なレイアウトの一部分の拡大図である。

【図 4 A】図 1 に示された垂直 H V F E T 構造体の更に別の例示的なレイアウトを示す図である。

【図 4 B】図 4 A に示された例示的なレイアウトの一部分の拡大図である。

【図 5】垂直 H V F E T 構造体の例示的なレイアウトを示す図である。

【図 6】垂直 H V F E T 構造体の別の例示的なレイアウトを示す図である。

【図 7】垂直 H V F E T 構造体のさらに別の例示的なレイアウトを示す図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下の説明においては、本発明を完全に理解できるようにするために、材料の種類、寸法、構造上の特徴、加工ステップ、その他などの特定の詳細が記載される。しかしながら、当業者であれば、これらの特定の詳細は、本発明を実施するのに必須ではない場合があることは理解されるであろう。また、各図における要素は説明上のものであり、分かりやすくするために縮尺通りには描かれていないことも理解すべきである。

【 0 0 1 2 】

図 1 は、N + ドープシリコン基板 1 1 上に形成された N 型シリコンの拡張ドレイン領域 1 2 を含む構造を有する垂直 H V F E T 1 0 の例示的な側断面を示している。基板 1 1 は、高濃度にドープされ、完成デバイス内の基板の底部に位置するドレイン電極に流れる電流に対する抵抗を最小にする。1 つの実施形態において、拡張ドレイン領域 1 2 は、基板 1 1 からシリコンウェーハの上面に延びるエピタキシャル層の一部である。P 型ボディ領域 1 3 と、P 型領域 1 6 によって横方向に分離された N + ドープのソース領域 1 4 a 及び 1 4 b とが、エピタキシャル層の上面近くに形成される。図に示すように、P 型ボディ領域 1 3 は拡張ドレイン領域 1 2 の上方に配置されて、当該拡張ドレイン領域を N + ソース領域 1 4 a 及び 1 4 b 並びに P 型領域 1 6 から垂直に分離する。

【 0 0 1 3 】

1つの実施形態において、拡張ドレイン領域12を含むエピタキシャル層の一部のドーパ濃度は、実質的に均一な電界分布を示す拡張ドレイン領域を生成するために線形的に漸変される。この線形的漸変は、エピタキシャル層12の上面下の或るポイントで終わることができる。

【0014】

拡張ドレイン領域12、ボディ領域13、ソース領域14a及び14b並びにP型領域16は、集合的に、図1の例示的な垂直トランジスタ内のシリコン材料のメサ又はピラー17（両用語は、本出願において同意語として使用される）を構成する。ピラー17の両側に形成された垂直トレンチは、誘電領域15を構成する誘電材料（例えば酸化物）の層で満たされる。ピラー17の高さ及び幅、並びに隣接する垂直トレンチ間の間隔は、デバイスの降伏電圧要件によって決定付けることができる。様々な実施形態において、メサ17は、約 $30\mu\text{m}$ ～ $120\mu\text{m}$ 厚の範囲の垂直高さ（厚み）を有する。例えば、凡そ $1\text{mm}\times 1\text{mm}$ の寸法のダイ上に形成されたHVFETは、約 $60\mu\text{m}$ の垂直厚みを備えたピラー17を有することができる。更なる実施例として、各辺が約 $2\text{mm}\sim 4\text{mm}$ のダイ上に形成されたトランジスタ構造体は、凡そ 30μ 厚のピラー構造体を有することができる。或る実施形態において、ピラー17の横幅は、極めて高い降伏電圧（例えば $600\sim 800\text{V}$ ）を達成するために、確実に製造できる限り狭く（例えば、約 $0.4\mu\text{m}\sim 0.8\mu\text{m}$ 幅）される。

【0015】

別の実施形態においては、ピラー17の横幅全体にわたってN+ソース領域14a及び14bの間にP型領域16を配列する（図1に示されるように）代わりに、ピラー17の横方向長さにわたってピラー17の上部にN+ソース領域とP型領域とを交互に形成することができる。換言すれば、図1に示されたような所与の断面図は、断面が取られた場所に応じて、ピラー17の横幅全体にわたって延びるN+ソース領域14又はP型領域16の何れかを有することになる。こうした実施形態において、各N+ソース領域14は、P型領域16の両側（ピラーの横方向長さに沿って）に隣接する。同様に、各P型領域16は、N+ソース領域14の両側（ピラーの横方向長さに沿って）に隣接する。

【0016】

誘電領域15a及び15bは、二酸化シリコン、窒化シリコン、又は他の適切な誘電材料を含むことができる。誘電領域15は、熱成長及び化学蒸着法を含む様々な公知の方法を用いて形成することができる。フィールドプレート19は、誘電層15の各々内に配置され、基板11及びピラー17から完全に絶縁される。フィールドプレート19を形成するのに使用される導電材料は、高濃度ドーパのポリシリコン、金属（又は金属合金）、シリサイド、又は他の適切な材料を含むことができる。完成デバイス構造体において、フィールドプレート19a及び19bは、容量性プレートとして通常機能し、これを用いて、HVFETがオフ状態にあるとき（すなわち、ドレインが高電圧電位にまで高くなったとき）に拡張ドレイン領域の電荷を空乏化することができる。1つの実施形態において、各フィールドプレート19をピラー17の側壁から分離する酸化物領域15の横方向厚みは凡そ $4\mu\text{m}$ である。

【0017】

垂直HVFETトランジスタ80のトレンチゲート構造体は、ゲート部材18a及び18bを備え、各ゲート部材は、フィールドプレート19a及び19bとボディ領域13との間のピラー17の両側の酸化物領域15a及び15b内にそれぞれ配置される。高品質の薄い（例えば ~ 500 ）ゲート酸化物層が、ゲート部材18をボディ領域13に隣接したピラー17の側壁から分離する。ゲート部材18は、ポリシリコン、又は何らかの他の適切な材料を含むことができる。1つの実施形態において、各ゲート部材18は、横幅が凡そ $1.5\mu\text{m}$ 及び深さが約 $3.5\mu\text{m}$ である。

【0018】

ピラー17の上部近くのN+ソース領域14及びP型ボディ領域13は各々、通常の堆積、拡散、及び/又はインプラント処理を用いて形成できることは、当業者であれば理解

10

20

30

40

50

するであろう。N + ソース領域 38 の形成後、H V F E T 10 は、従来の製造方法を用いて、ソース、ドレイン、ゲート、及びデバイスのそれぞれの領域 / 材料に電氣的に接続するフィールドプレートを形成することによって完成することができる（明瞭にするために図示せず）。

【0019】

図 2 A は、図 1 に示された垂直 H V F E T 構造体の例示的なレイアウトを示している。図 2 A の平面図は、半導体ダイ 21 上に上側トランジスタセクション 30 a 及び下側トランジスタセクション 30 b を含む単一のディスクリートの垂直 H V F E T を示す。2 つのセクションは、ダミーシリコンピラー 32 によって分離される。各セクション 30 は、複数の「レーストラック」形のトランジスタ構造体又はセグメントを含み、各トランジスタセグメントは、誘電領域 15 a 及び 15 b によって両側を囲まれたシリコンピラー 17 を含む細長いリング又は楕円体を備える。ピラー 17 自体は、x 及び y 方向に横方向に延びて、連続した細長いレーストラック形のリング又は楕円体を形成する。誘電領域 15 a 及び 15 b 内には、それぞれのゲート部材 18 a 及び 18 b 並びにフィールドプレート 19 a 及び 19 b が配置される。フィールドプレート 19 a は、丸みのあるフィンガーチップ区域（エリア）で何れの端部も終端する単一の細長い部材を備える。他方、フィールドプレート 19 b は、ピラー 17 を囲む拡大リング又は楕円体を備える。隣接するレーストラック構造体のフィールドプレート 19 b は、これらが共通部材を側部で共有するように併合されて示されている。参照として、図 1 の断面図は、図 2 A の例示的なレイアウトの切断ライン A - A' により得ることができる。

【0020】

図 2 A の実施例において、レーストラック・トランジスタセグメントの各々は、凡そ $13\ \mu\text{m}$ の y 方向の幅（すなわちピッチ）、約 $400\ \mu\text{m} \sim 1000\ \mu\text{m}$ の範囲の x 方向の長さ、並びに約 $60\ \mu\text{m}$ のピラー高さを有する。換言すれば、セクション 30 a 及び 30 b を備える個々のレーストラック・トランジスタセグメントの長さ対幅の比率は、約 30 ~ 最大 80 の範囲である。1 つの実施形態において、各レーストラック形セグメントの長さは、そのピッチ又は幅よりも少なくとも 20 倍大きい。

【0021】

完成デバイスにおいて、個々のトランジスタセグメントのシリコンピラー 17 の各々を相互接続するために、パターン形成された金属層を用いていることは当業者であれば理解されるであろう。すなわち、実際の実施形態においては、ソース領域、ゲート部材、及びフィールドプレートの全ては、それぞれダイ上の対応する電極に互いに配線される。図示の実施形態において、各セクション 30 内のトランジスタセグメントは、ダイ 21 の幅の実質的に全体にわたって y 方向に並列関係で配列される。同様に、x 方向において、セクション 30 a 及び 30 b のトランジスタセグメントの付加的な長さは、実質的にダイ 21 の長さを超えて延びる。図 2 A の例示的なレイアウトにおいて、シリコンピラーを分離する誘電領域 15 の幅、並びにフィールドプレートの幅は、半導体ダイ 21 全体にわたって実質的に均一である。均一な幅及び分離距離を有するトランジスタセグメントのレイアウトは、誘電領域 15 及びフィールドプレート 19 を備える層を一致して堆積させるのに使用される加工ステップの後での空隙又は孔の形成を防止する。

【0022】

図 2 B は、図 2 A に示された例示的なレイアウトの一部分の拡大図である。明瞭にするために、トランジスタセグメントの各々のピラー 17 及び誘電領域 15 b のみが表されている。それぞれのトランジスタセグメント・セクション 30 a 及び 30 b の誘電領域 15 b の丸みのある端部区域（エリア）を分離するダミーシリコンピラー 32 が示されている。換言すれば、ピラー 17 を定めるために半導体基板内にエッチングされる深い垂直トレンチは、ダミーシリコンピラー 32 もまた定める。1 つの実施形態においては、ダミーシリコンピラー 32 は、確実に製造できる限り小さくされた x 方向の幅を有するように作られる（すなわち、トランジスタセグメント・セクションを分離する）。

【0023】

単一ダイHVFETをダミーシリコンピラー32によって分離されたセクションに区分化する目的は、細長いレーストラック形のトランジスタセグメント内の長さ方向(x方向)の応力緩和をもたらすことである。トランジスタデバイス構造体を2つ又はそれ以上のセクションに区分化又は分割すると、ダイの長さ全体にわたる機械的応力が緩和される。この応力は、ピラーの側面にある酸化物領域によって誘起され、通常、各レーストラックセグメントの丸みのある端部に集中する。したがって、トランジスタデバイス構造を2つ又はそれ以上のセクションに区分化することで機械的応力を緩和することにより、シリコンピラーの望ましくない反り、及び応力によって引き起こされるシリコンへの損傷(例えば転位)が回避される。

【0024】

10

高度に区分化されたレイアウトにより得られる応力緩和と、導電面積の損失との間にトレードオフが存在することは理解される。区分化をより多くすると応力緩和がより大きくなるが、導電面積が犠牲になる。一般に、ピラーの垂直高さが高くなり、半導体ダイがより大きくなるほど、より多くのトランジスタセクション又はセグメントの数が必要となる。1つの実施形態においては、60 μ mの高さのピラーを有する2mm $\times$ 2mmダイでは、適正な応力緩和は、ダミーシリコンピラーによって分離された4つのレーストラック・トランジスタセクションを備え、各々が約13 μ mのピッチ(y方向)及び約450 μ mの長さ(x方向)を有するレイアウトを利用して、約1オームのオン抵抗を有するHVFETで提供される。

【0025】

20

別の実施形態においては、各ペアが異なるセクションに位置するレーストラック・トランジスタセグメントのペアを分離するためのシリコンのダミーピラーに換えて、異なる材料を含むダミーピラーを利用してもよい。ダミーピラーに使用される材料は、シリコンに近い熱膨張係数を有するか、シリコンピラーの側面にある誘電領域によって誘起される長さ方向の応力を緩和するように誘電領域の熱膨張係数と十分に異なる熱膨張係数を有する必要がある。

【0026】

図3Aは、図1に示された垂直HVFET構造体の別の例示的なレイアウトを示している。図3Bは、図3Aに示された例示的なレイアウトの一部の拡大図であり、ピラー17、酸化物領域15b、及び任意的なダミーシリコンピラー33だけを示している。図2A及び図2Bの実施形態と同様に、図3A及び図3Bは、半導体ダイ21上に上側トランジスタセクション30a及び下側トランジスタセクション30bを備えた、単一のディスクリートの垂直HVFETを示す。しかしながら、図3A及び図3Bの実施例においては、トランジスタセクション30a及び30bの酸化物領域15b及びフィールドプレート19bで充填された深い垂直トレンチは重なり合い又は併合されて、区分化トランジスタセクションの間に小さい菱形のダミーシリコンピラー33を残す。この実施形態においては、単一のダミーピラーが、2つのセクションにわたるトランジスタセグメントの隣接するペアの4つの丸みのある端部間の中心に配置される。図示の実施形態において、ダイ21を含むトランジスタのセクション30内のN個(Nは1より大きい整数)のレーストラックセグメント又は構造体毎に、合計N-1個のダミーピラー33が存在する。

30

40

【0027】

図4Aは、図1に示された垂直HVFET構造体の更に別の例示的なレイアウトを示している。図4Bは、図4Aに示された例示的なレイアウトの一部分の拡大図である。図4Bの拡大図においては明瞭にするために、ピラー17及び酸化物領域15bのみが示されている。この実施例においては、半導体ダイ21のHVFETを備えるトランジスタセグメントは、各レーストラックセグメントの長さの半分だけ交互にシフトされた結果、上側トランジスタセクション40aと下側トランジスタセクション40bとに交互に関連付けられたレーストラック・トランジスタセグメントが得られる。換言すれば、セクション40aの列のトランジスタセグメントの各々は、セクション40bのトランジスタセグメントのペアによって分離され、当該ペアはx方向に端と端とが接した関係で配列される。

50

【 0 0 2 8 】

セグメントの交互シフトは、セグメント長さのどのような割合でもよい点は理解される。換言すれば、セグメントのシフトは、長さの 5 0 % すなわち半分に限定されない。種々の実施形態は、トランジスタセグメントの長さの 0 % より大きく 1 0 0 % より小さい範囲の何れかのパーセンテージ又は割合だけ交互にシフトしたセグメントを備えることができる。

【 0 0 2 9 】

図 4 A 及び図 4 B の実施例において、それぞれのセクション 4 0 a 及び 4 0 b 内のトランジスタセグメントの交互するセグメントの誘電領域 1 5 b が併合されている。図示の特定の実施形態において、異なる隣接セクションに関連するトランジスタセグメントの丸みのある端部は、隣接するセクションのフィールドプレート 1 9 b が端部で併合（x 方向において）されるように重なり合い又は併合される。また、異なるセクションの交互するトランジスタセグメントのフィールドプレート 1 9 b の延長された直線側面部分は、各セグメントの実質的な長さに沿って併合される。領域 1 5 b 及び 1 9 b は、それぞれのセクション間にダミーピラー（又は分離されたダミーシリコンピラー）の有無に関わらず併合することができる点は理解される。

【 0 0 3 0 】

上記の実施形態は特定のデバイスタイプに関連して説明してきたが、多くの修正及び変形が十分に本発明の範囲内に十分にあることを当業者であれば理解するであろう。例えば、H V F E T が説明されたが、図示の方法、レイアウト及び構造は、ショットキー、ダイオード、I G B T 及びバイポーラ構造を含む他の構造及びデバイスタイプにも等しく適用することができる。したがって、当該明細書及び図面は、限定を意味するものではなく例証とみなすべきである。

【 符号の説明 】

【 0 0 3 1 】

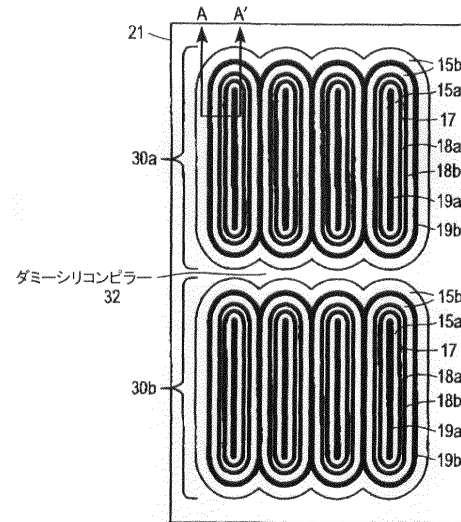
- 1 5 a、1 5 b 誘電領域
- 1 7 シリコンピラー
- 1 8 a、1 8 b ゲート部材
- 1 9 a、1 9 b フィールドプレート
- 2 1 半導体ダイ
- 3 0 a 上側トランジスタセクション
- 3 0 b 下側トランジスタセクション
- 3 2 ダミーシリコンピラー

10

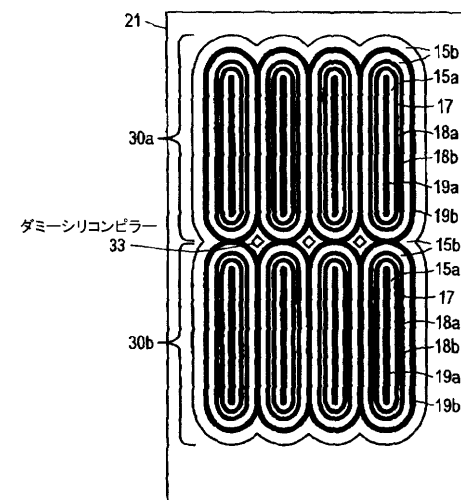
20

30

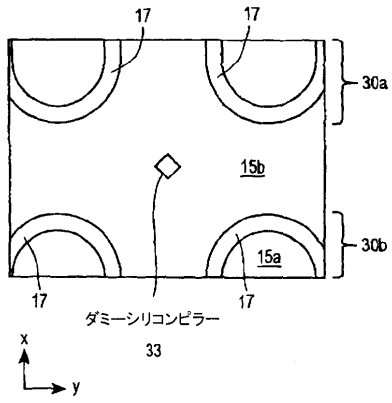
【 図 2 A 】



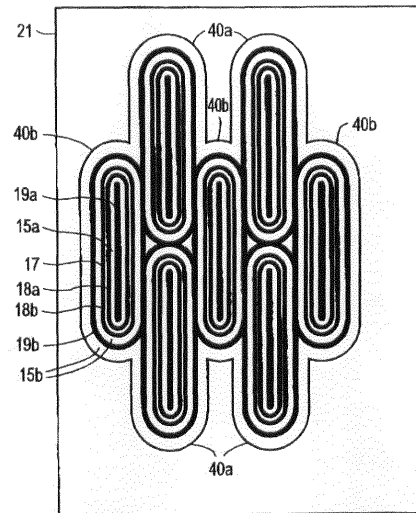
【 図 3 A 】



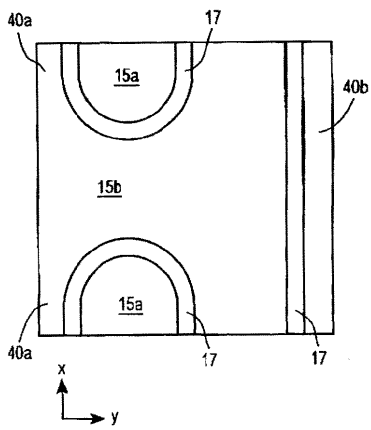
【図 3 B】



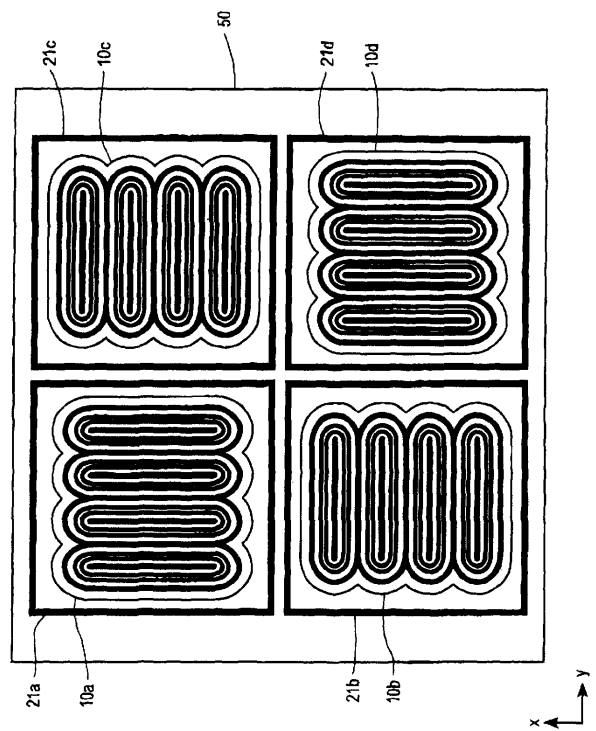
【図 4 A】



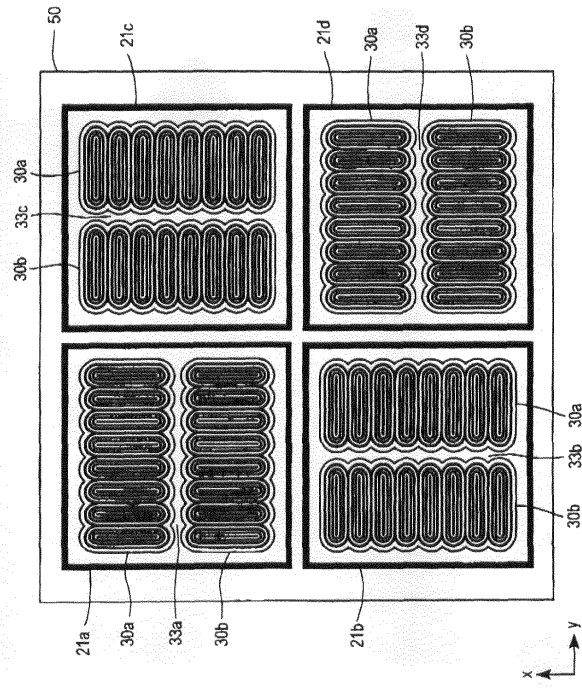
【図 4 B】



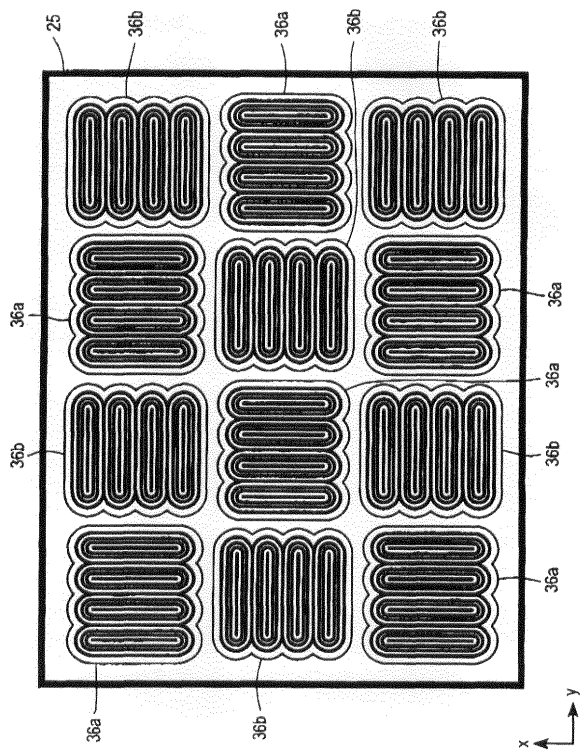
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 ヴィジェイ パルタサラティー
アメリカ合衆国 カリフォルニア州 9 4 3 0 1 パロ アルト ユニヴァーシティー アベニュー
8 5 0

(72)発明者 ウェイン ブライアン グラボウスキー
アメリカ合衆国 カリフォルニア州 9 4 0 2 4 ロス アルトス ミラヴァレ アベニュー 1
3 9 0

審査官 空 哲次

(56)参考文献 特開2006-216927(JP,A)
特開平09-008295(JP,A)
特開平09-213951(JP,A)
特開平05-160408(JP,A)
特開2002-170955(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 29/78