

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03159798. X

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/265 (2006.01)

H01L 21/84 (2006.01)

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)

[45] 授权公告日 2009 年 12 月 23 日

[11] 授权公告号 CN 100573824C

[22] 申请日 2003.9.25 [21] 申请号 03159798. X

[30] 优先权

[32] 2002. 9. 25 [33] JP [31] 280078/02

[32] 2002. 10. 11 [33] JP [31] 299577/02

[32] 2003. 3. 12 [33] JP [31] 67109/03

[73] 专利权人 夏普株式会社

地址 日本大阪府

[72] 发明人 高藤裕 糸贺隆志

[56] 参考文献

US6271101B1 2001.8.7

CN1328344A 2001.12.26

US6191007B1 2001.2.20

JP11-24106A 1999.1.29

US5663099A 1997.9.2

US5725729A 1998.3.10

WO93/15589A1 1993.8.5

JP2001-255559A 2001.9.21

WO03/15589A1 1993.8.5

审查员 郭 强

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李贵亮 杨 梧

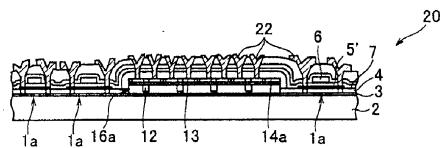
权利要求书 4 页 说明书 53 页 附图 17 页

[54] 发明名称

单晶硅及 SOI 基板、半导体装置及其制造方法、显示装置

[57] 摘要

本发明公开了一种单晶硅基板、SOI 基板、半导体装置、显示装置、以及半导体装置的制造方法。本发明的半导体装置在绝缘基板上具有，包含由  $\text{SiO}_2$  膜、多晶硅构成的非单晶硅薄膜的 MOS 型的非单晶硅薄膜晶体管，具有单晶硅薄膜的 MOS 型的单晶硅薄膜晶体管，金属配线。由此，形成非单晶硅薄膜和单晶硅薄膜设备，提供集成高性能系统的半导体装置以及其制造方法，以及形成该半导体装置的单晶硅薄膜设备的单晶硅基板。



1. 一种半导体装置(20、30、40、50、60)，其特征在于，在绝缘基板(2)上不同的区域分别形成非单晶硅薄膜(5'、63)构成的非单晶硅薄膜设备(1a、1b、1c)，以及单晶硅薄膜(14a、14b)构成的单晶硅薄膜设备(16a、16b)，单晶硅薄膜(14a、14b)与非单晶硅薄膜(5'、63)隔着层间绝缘膜(4、61)分别设置在层间绝缘膜(4、61)的上下。

2. 如权利要求1所述的半导体装置(20、30、40、50、60)，其特征在于，上述单晶硅薄膜设备(16a、16b)通过无机的绝缘膜(3)结合在上述绝缘基板(2)上。

3. 如权利要求1所述的半导体装置(20、30、50)，其特征在于，上述非单晶硅薄膜设备(1a、1b)以及上述单晶硅薄膜设备(16a)都为MOS型或者MIS型的薄膜晶体管。

4. 如权利要求3所述的半导体装置(60)，其特征在于，上述MOS型的薄膜晶体管(1c)从上述绝缘基板(2)侧按照栅极(6)、栅极绝缘膜(62)、硅(63)的顺序而形成。

5. 如权利要求3所述的半导体装置(20、30、50、60)，其特征在于，上述MOS型的薄膜晶体管(1a、1b、1c、16a)的硅薄膜(5'、63、14a)的膜厚为600nm以下。

6. 如权利要求3所述的半导体装置(20、30、40、50、60)，其特征在于，上述MOS型的薄膜晶体管(16a、16b)的单晶硅薄膜(14a、14b)的膜厚为100nm以下。

7. 如权利要求3所述的半导体装置(20)，其特征在于，上述MOS型的单晶硅薄膜晶体管(16a)的金属配线图案包括，通过相比于MOS型的单晶硅薄膜晶体管的栅极图案以较宽松的配线形成规则形成的部分。

8. 如权利要求2所述的半导体装置(40)，其特征在于，  
上述非单晶硅薄膜设备为MOS型或者MIS型的非单晶硅薄膜晶体管(1a)，

上述单晶硅薄膜设备为双极型的单晶硅薄膜晶体管(16b)。

9. 如权利要求2所述的半导体装置，其特征在于，  
上述非单晶硅薄膜设备为MOS(1a、1b、1c)型或者MIS型的非单晶硅

薄膜晶体管，

上述单晶硅薄膜设备包括 MOS 型(16a)以及双极型(16b)中任何一方，或者两方的单晶硅薄膜晶体管。

10. 如权利要求 2 所述的半导体装置，其特征在于，

上述非单晶硅薄膜设备为 MOS 型(1a、1b、1c)或者 MIS 型的非单晶硅薄膜晶体管，

上述单晶硅薄膜设备具有，MOS 型单晶硅薄膜晶体管(16a)，以及含有肖特基型或 PN 结型的二极管的图像传感器或者 CCD 型图像传感器。

11. 如权利要求 9 所述的半导体装置，其特征在于，上述单晶硅构成的 MOS 型薄膜晶体管的单晶硅薄膜，比双极型薄膜晶体管的单晶硅薄膜膜厚要小。

12. 如权利要求 8~10 中任一项所述的半导体装置(40)，其特征在于，上述双极型单晶硅薄膜晶体管(16b)为基极、集电极以及发射极区域形成并设置在同一平面上的平面构造。

13. 如权利要求 8~11 中任一项所述的半导体装置(40)，其特征在于，上述双极型单晶硅薄膜晶体管(16b)的金属配线、接触图案包括，通过相比于双极型的单晶硅薄膜晶体管(16b)的基极图案以较宽松的配线形成规则形成的部分。

14. 如权利要求 8~11 中任一项所述的半导体装置(40)，其特征在于，上述双极型单晶硅薄膜晶体管(16b)的单晶硅薄膜(14b)的膜厚为 800nm 以下。

15. 如权利要求 3~7、9~11 中任一项所述的半导体装置(20、30、40、50)，其特征在于，上述非单晶硅薄膜为多晶硅薄膜或者连续晶界硅薄膜，上述非单晶硅薄膜(5')构成的 MOS 型的薄膜晶体管(1a、1b)从基板(2)侧开始按照非单晶硅(5')、栅极绝缘膜(7)、栅极(6)的顺序而形成。

16. 如权利要求 3~7、9~11 中任一项所述的半导体装置，其特征在于，上述非单晶硅薄膜为多晶硅薄膜或连续晶界硅薄膜，上述非单晶硅薄膜构成的 MOS 型薄膜晶体管从基板侧开始按照栅极、栅极绝缘膜、非单晶硅的顺序而形成。

17. 如权利要求 3~7、9~11 中任一项所述的半导体装置(60)，其特征在于，上述非单晶硅薄膜为非晶硅薄膜(63)，上述非晶硅薄膜构成的 MOS

型或 MIS 型薄膜晶体管(1c)从基板(2)侧开始按照栅极(6)、栅极绝缘膜(62)、非单晶硅(63)的顺序而形成。

18. 如权利要求 3~7、9~11 中任一项所述的半导体装置，其特征在于，上述非单晶硅薄膜为非晶硅薄膜，上述非晶硅薄膜构成的 MOS 型或 MIS 型薄膜晶体管从基板侧开始按照非单晶硅、栅极绝缘膜、栅极的顺序而形成。

19. 如权利要求 1 所述的半导体装置(20)，其特征在于，构成上述单晶硅薄膜设备(16a)的单晶硅(14a)与上述绝缘基板(2)的线膨胀的差，在室温到 600°C 的温度范围内为 250ppm 以下。

20. 如权利要求 1 所述的半导体装置(20、30、40、50、60)，其特征在于，上述绝缘基板(2)至少在形成上述单晶硅薄膜设备(16a、16b)的区域的表面上，为形成有 SiO<sub>2</sub> 膜(3)的碱土类 - 铝硼硅酸玻璃构成的高应变点玻璃。

21. 如权利要求 1 所述的半导体装置(20、30、40、50、60)，其特征在于，上述绝缘基板(2)由钡硼硅酸玻璃、钡铝硼硅酸、碱土类 - 铝硼硅酸玻璃(2)、硼硅酸玻璃、碱土类 - 锌 - 铝硼硅酸玻璃以及碱土类 - 锌 - 铝硼硅酸玻璃中任何一种的玻璃而形成。

22. 如权利要求 1 所述的半导体装置，其特征在于，上述单晶硅的区域中至少一部分的图案的对准边界比母基板整体，或者显示区域，或者设备整体的图案的对准边界要小，从而具有高精度。

23. 如权利要求 1 所述的半导体装置，其特征在于，上述单晶硅的区域中的对准标记(94)以及透明基板上的对准标记(93)构成为，从透明基板(2)侧通过可见光或者比可见光波长短的光检测出上述单晶硅上形成的对准标记(94)，并可与透明基板(2)上形成的对准标记(93)对准的形状。

24. 一种显示装置，其包括在绝缘基板(2)上的不同区域分别形成非单晶硅薄膜设备(1a、1b、1c)与单晶硅薄膜设备(16a、16b)的半导体装置(20、30、40、50、60)，其中，该非单晶硅薄膜设备(1a、1b、1c)由非单晶硅薄膜(5'、63)制成，该单晶硅薄膜设备(16a、16b)由单晶硅薄膜(14a、14b)制成，

上述半导体装置用作显示面板的有源矩阵基板(70)；

单晶硅薄膜(14a、14b)与非单晶硅薄膜(5'、63)隔着层间绝缘膜(4、61)分别设置在层间绝缘膜(4、61)的上下。

25. 一种半导体装置(20、40、50、60)的制造方法，其为在绝缘基板(2)

上，形成单晶硅薄膜(14a、14b)构成的单晶硅薄膜设备(16a、16b)与非单晶硅薄膜(5'、51'、63)的半导体装置的制造方法，其特征在于，

在绝缘基板(2)上形成包含上述单晶硅薄膜设备(16a、16b)的电路之后，形成上述非单晶硅薄膜(5'、51'、63)。

26. 如权利要求 25 所述的半导体装置(20、30)的制造方法，其特征在于，在上述单晶硅薄膜设备(16a)上形成保护层间绝缘膜(8)、接触通孔(21)以及金属配线(22)。

27. 如权利要求 25 所述的半导体装置(20、40、60)的制造方法，其特征在于，在形成上述单晶硅薄膜设备(16a、16b)之后，形成上述非单晶硅薄膜(5'、63)之前，形成层间绝、缘膜(4、61)。

28. 如权利要求 25～27 中任一项所述的半导体装置(20、30、50)的制造方法，其特征在于，上述单晶硅薄膜设备(16a)为 MOS 型的单晶硅薄膜晶体管。

29. 如权利要求 25～27 中任一项所述的半导体装置(40、60)的制造方法，其特征在于，上述单晶硅薄膜设备(16b)为双极型的单晶硅薄膜晶体管。

30. 如权利要求 25～27 中任一项所述的半导体装置(20、30、40、50、60)的制造方法，其特征在于，对用于形成上述单晶硅薄膜设备(16a、16b)的单晶硅基板(10a、10b)，以规定的深度注入规定浓度的氢离子。

31. 如权利要求 30 所述的半导体装置的制造方法，其特征在于，上述氢离子的注入能量设定为，使从该氢离子的注入能量扣除在栅极材料中的氢离子的，与栅极电极的膜厚相当的与投射范围相对应的能量后的能量，不超过栅极电极材料中的最重的与该栅极氧化膜中的投射范围相对应的能量。

32. 如权利要求 30 所述的半导体装置的制造方法，其特征在于，具有上述氢离子注入部的单晶硅基板的厚度为 100μm 以下。

33. 如权利要求 25 所述的半导体装置(30)的制造方法，其特征在于，在上述绝缘基板(2)上形成上述非单晶硅薄膜(5')之后，至少将除去上述非单晶硅的需要结合单晶硅(10a)的表面区域，预先通过 3keV 的卤化物的 GCIB 进行平坦化。

## 单晶硅及 SOI 基板、半导体装置及其制造方法、显示装置

### 技术领域

本发明涉及例如在由 TFT 等驱动的有源矩阵驱动液晶显示装置等中，实现了于同一基板上将周边驱动电路或控制电路一体地集成化的液晶显示装置的电路性能改善的半导体装置以及其制造方法，以及该半导体装置制造时使用的单晶硅基板。此外，本发明涉及 SOI(Silicon on Insulator，绝缘体上硅)基板，显示装置以及半导体装置的制造方法，详细地，涉及例如使用将氢离子注入的单晶硅片结合在基板上并在氢离子的注入层进行分割而得到具有单晶硅薄膜的 SOI 基板的显示装置以及半导体装置的制造方法。

### 背景技术

现有技术中，在玻璃基板上形成非晶硅(以下略计为 a-Si)或多晶硅(以下略计为 p-Si)的薄膜晶体管(Thin Film Transistor，以下计为 TFT)，进行液晶显示面板或有机 EL 面板等的驱动，所谓进行有源矩阵驱动的液晶显示装置为公用技术。

特别地，使用迁移率高的高速动作的 p-Si，集成有周边驱动器的设备被广泛使用。但是，为了满足要求更高性能的图像处理器或定时控制器等的系统集成化，就要求更高性能的 Si 设备。

这样多晶硅中，由结晶性的不完全性导致的能带隙中定域能级以及结晶晶粒边界附近的缺陷造成迁移率的低下，或 S 系数(亚阈值系数)的增大，因此存在晶体管的性能不足以形成高性能的 Si 设备的问题。

于是为了形成更高性能的硅设备，进行了预先形成由单晶硅薄膜形成的薄膜晶体管等设备，将其贴合在绝缘基板上，形成半导体装置的技术的研究(例如，参照国际公开公报 W093/15589(国际公开日 1993 年 8 月 5 日)，J.P.Salerno, “Single Crystal Silicon AMLCDs”，Conference Record of the 1994 International Display Research Conference(IDRC) P.39-44(1994)，或 Q-Y.Tong & U.Goesele, SEMICONDUCTOR WAFER BONDING: SCIENCE AND TECHNOLOGY, John Wiley & Sons Inc., New York(1999))。

上述国际公开公报 W093/15589 中，记述有在玻璃基板上使用采用粘合剂将预先做成的单结晶薄膜晶体管转印的半导体装置，从而做成有源矩阵型液晶表示装置的表示面板的显示器的技术。

但是上述现有的半导体装置以及其制造方法中，为了将高性能的设备的单晶硅薄膜晶体管结合在玻璃基板上而使用了粘合剂，所以存在结合作业困难，生产性不好等问题。另外，完成的半导体装置中由于用粘着剂粘着，所以存在耐热性的问题。由于以后无法形成高品质的无机绝缘膜或 TFT，制作有源矩阵基板的场合，在形成包含 TFT 阵列的设备后有必要结合在基板上，因此存在尺寸成本，配线形成的问题。

进而上述国际公开公报 W093/15589 中，只是单纯地公开了在玻璃基板上形成单晶硅薄膜设备的技术，以其构成不能得到近年来所要求的高性能高机能的半导体装置。

进而 Warner,et.Al., 2002 IEEE International SOI Conference: Oct, pp.123-125(2002)中记载的构成中，公开了通过红外线越过基板检测对准标记从而进行对准的技术，由于光波长较长无法提高分辨率，所以难以进行高精度的对准。

L.PAllen , et.Al., 2002 IEEE International SOI Conference: Oct , pp.192-193(2002)中，公开了以约一千五百个原子块构成的卤素气体簇离子束(Gas Cluster Ion Beam: GCIB)均一地腐蚀 BOX(Burried Oxide)上的硅。

另外现有技术中也存在下述问题。薄膜晶体管技术(Thin Film Transistor:TFT)为例如在玻璃基板上等透光性非晶体材料上形成硅膜等半导体膜，从而加工晶体管的技术。该 TFT 技术随着使用液晶显示器的个人电脑信息终端的普及而发展。

该 TFT 技术中，例如用激光等的热熔化基板上的非晶硅膜，形成多晶膜。加工该多晶膜或非晶硅膜，形成作为开关元件的 MOS 型 TFT。这样使用由硅膜形成的设备(MOS 型 TFT)，制作液晶显示面板或有机 EL 面板等显示面板。通过 MOS 型的 TFT，有源矩阵驱动显示面板的像素。

这样的构成被使用在 TFT - 液晶显示器(LCD: Liquid Crystal Display)装置，TFT - 有机电致发光(OLED:Organic Light Emitting Diode)显示装置等中。

其中开关元件的有源矩阵驱动中，要求有更高性能的硅设备的同时，

也要求周边驱动器，定时控制器的系统集成化。

但是现有的非晶硅膜，多晶硅膜中不能得到所需的性能。

多晶硅膜等中，由结晶性的不完全性导致的能带隙中定域能级以及结晶晶粒边界附近的缺陷能带隙内的定域能级的存在，即，如果存在该定域能级，则迁移率下降，另外由于亚阈值系数(S系数)增大，因此存在晶体管的性能不足以形成高性能的Si设备的问题。

另外，硅膜的结晶性如果不完全，硅栅极绝缘膜界面上容易形成固定电荷。因此薄膜晶体管的阈值电压难以控制，并且不能得到希望的阈值电压。

另外，例如TFT液晶显示器中，通过激光的加热等将非晶硅膜加工为多晶硅膜。其中，激光照射的能量存在一定的动摇，因此得到的多晶硅膜的晶粒不一致。因此，迁移率或阈值电压中产生较大的变动。

另外采用等离子CVD(Chemical Vapor Deposition)法等成膜的非晶硅膜由激光加热后结晶的场合下，硅膜周边由于加热瞬间上升为硅的熔点附近的温度。因此在采用无碱高应变点玻璃作为基板的场合下，碱金属等从玻璃向硅处扩散。于是存在得到的晶体管的性能下降的问题。

对于该问题，在对多晶硅的结晶均一化，高性能化的研究的另外，也在进行使用单晶硅的设备的研究。

作为使用该单晶硅的设备的一个例子是SOI基板，其中SOI表示Silicon on Insulator的意思。SOI基板的SOI技术主要表示在非晶质基板上形成单晶半导体薄膜的技术。该SOI技术用语在形成多晶硅膜的场合几乎不使用。SOI技术是1980年左右开始研究的领域。

SOI基板的一个例子是SIMOX(Separation by Implanted Oxygen)基板。该SIMOX基板现在在市场上有售。SIMOX基板由在硅晶片中注入氧元素而形成。其中为了以规定深度注入比较重的氧元素，由于注入时的加速电压硅晶片的结晶受到很大的破坏。因此SIMOX基板中存在基板上得到的单晶硅的性能不好的问题。另外二氧化硅膜层的根据化学计量法的偏差的绝缘性不良。此外由于要大量注入氧元素，离子注入的成本增大。

对于该问题，例如日本国的公开专利公报“特开平5-211128(公开日：1993年8月20日)”中记载的薄的半导体材料膜的制造方法中，公开了将单晶硅片结合在以氧化硅膜覆盖的硅基板上而进行薄膜化的技术。

通过该技术，单晶硅基板上形成氧化膜，上面形成单晶硅薄膜。

此外日本国的公开专利公报“特开 2000 - 30996 号公报(公开日：2000 年 1 月 28 日)”中记载了，SOI 晶片的制造方法以及对于 SOI 晶片的硅晶片上的氧化膜厚中的膜厚变动的标准偏差。

此外日本国的公开专利公报“特开平 6 - 268183 号公报(公开日：1994 年 9 月 22 日)”中记载的半导体装置的制造方法中，记述了将形成半导体装置并薄膜化的基板向其他的支撑基板转印的方法。

该方法中，半导体层的一方的面上在形成半导体元件之后，薄膜化的半导体层和支持基板通过常温阳极结合结合。

但是上述构成中，基板上的氧化硅膜中由微粗糙度产生的凹凸削弱了结合力，引起了膜剥落等问题。

即通过特开平 5 - 211128 号公报的构成，硅基板上的氧化膜如果变厚，膜厚变动则变大。由此，表面凹凸变得显著，影响结合时的结合性或 SOI 基板的特性。

上述特开 2000 - 30996 号公报中，有膜厚变动的标准偏差变大时的单晶硅薄膜的膜厚均一性的记载。但是没有涉及结合时的空隙发生，分离、剥离时薄膜上膜剥落的问题。

此外特开平 6 - 268183 号公报中，没有薄层化的半导体层和支持基板的凹凸、平坦性的记载。

这样，透光性基板上设置的氧化硅膜的微粗糙度产生的凹凸成为了削弱结合力的要因。从而产生了分离、剥离，在基板上形成硅膜后发生膜剥落等合格率低下的问题。

## 发明内容

本发明为考虑到上述问题而作，其目的在于提供，将单晶硅薄膜设备在不使用粘合剂的情况下，容易地在绝缘基板上形成，形成非单晶硅薄膜和单晶硅薄膜设备，集成高性能的系统的半导体装置以及其制造方法，以及用于形成该半导体装置的单晶硅薄膜的单晶硅基板。此外本发明的其他目的在于提供，结合力提高的 SOI 基板、显示装置以及半导体装置的制造方法。

本发明的单晶硅基板为了达成上述目的，表面上在形成氧化膜、栅极

图案、杂质离子注入部之后进行平坦化，具有以规定的深度注入规定浓度的氢离子的氢离子注入部。

通过上述构成，对于绝缘基板等单晶硅基板形成氧化膜的一侧上通过结合、热处理，基板间的结合变为原子间的结合而成为强固的结合，同时即使不使用粘合剂也可以容易地得到MOS型的单晶硅薄膜晶体管。

即本发明的单晶硅基板中，表面上形成有构成MOS型的单晶硅薄膜晶体管的一部分的氧化膜、栅极图案、杂质离子注入部，并且从表面到规定的深度具有氢离子注入部。

由此，绝缘基板等上，本发明先将栅极或源极、漏极的杂质掺杂，或者基极、基电极、发射极等的杂质的掺杂结束，以规定的深度注入规定浓度的氢离子，结合表面平坦化、亲水化的单晶硅基板，通过加热到氢离子从硅脱离的温度之上，可以增强对于绝缘基板的结合强度，同时通过以氢离子注入部为界进行剥离，即使不使用粘合剂也可容易地形成MOS型的单晶硅薄膜晶体管。

从而例如在表面上形成多晶硅薄膜等的非单晶硅薄膜晶体管的绝缘基板上，结合本发明的单晶硅基板，由于形成MOS型的单晶硅薄膜晶体管，可以容易地得到非单晶硅构成的晶体管和单晶硅构成的晶体管在一个基板上的不同区域上形成的半导体装置。

本发明的SOI基板为了达到上述目的，是在绝缘基板上具有单晶硅薄膜的SOI基板，包含结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜（本发明中的“覆盖膜”表示覆盖的膜或热氧化膜中的任意一个）的结合部，上述单晶硅基板在氢离子注入部处分断，成为上述单晶硅薄膜，上述绝缘基板为光透性基板，上述分断由热处理进行。

上述SOI基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离从而得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到均一的高性能的晶体管。即抑制了晶体管特性（阈值电压、迁移率）的变动性并达成了高迁移率的高性能，可以制造对于变动或性能要求较高的晶体管。

此外上述绝缘基板为光透性基板，可以用于显示装置的有源矩阵基板。

此外由于注入了质量比氧粒子轻很多的氢离子，单晶硅基板的全面的结晶质量可以保持为和注入前几乎不变，可以解决由于氧离子注入导致的

硅的结晶质量低下的问题。

此外通过热处理，单晶硅薄膜的结晶质量可以返回到注入氢离子前的同等水准。该热处理在例如 600°C 下进行。该场合下不会发生结合部的结合性的恶化。

本发明的 SOI 基板为了达成上述目的，是绝缘基板上具有单基硅薄膜的 SOI 基板，包含结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜的结合部，上述单晶硅基板由热处理在氢离子注入部分断，成为上述单晶硅薄膜，上述结合部结合有，具有对于在上述绝缘膜表面的 1 到 5μm 见方的范围测定的高度为 5nm 以下的凹凸，与上述绝缘基板表面所成的角度 ( $\theta$ ) 的正切 ( $\tan\theta$ ) 最大为 0.06 以下的表面的上述绝缘膜。

上述 SOI 基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离并得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可以制造对于变动或性能要求较高的晶体管。

其中正切即 Tangent，特别是表示 Tangent 的绝对值。由此，上述构成相当于 Tangent 的绝对值为 0 以上 0.06 以下的值。上述绝缘膜表面上具有凹凸，该凹凸中倾斜最大的面和绝缘基板表面所成的角度的正切为 0.06 以下。详细地，例如绝缘膜表面的 1 到 5μm 见方的范围测定的高度为 5nm 以下的凹凸，最大倾斜面与绝缘基板表面所成的角度的正切约为 0.06 以下。

这样在凹凸较小的场合，可以增强绝缘膜和覆盖单晶硅基板的覆盖膜的结合力。

此外该正切更优选为 0.04 以下。该场合下可以进一步增强绝缘膜和覆盖单晶硅基板的覆盖膜的结合力。

由此，解决了由于透光性基板表面的微粗糙度导致的透光性基板和单晶硅基板的结合性的问题。

SOI 基板中结合绝缘基板和单晶硅基板的绝缘膜的表面状态，例如对于绝缘基板和单晶硅基板分离得到的表面凹凸，采用 AFM 方法进行评价。

本发明的半导体装置为了达到上述目的，在绝缘基板的不同区域上，分别形成非单晶硅薄膜设备和单晶硅薄膜设备。

非单晶硅薄膜设备由绝缘基板上设置的非单晶硅薄膜而形成，单晶硅

薄膜设备通过先设置在单晶硅基板上，将该单晶硅基板从绝缘基板上的单晶硅薄膜分断而设置在绝缘基板上。此外单晶硅薄膜设备也可由绝缘基板上设置的单晶硅薄膜形成。

由上述的构成，在例如定时控制器等要求较高性能的设备中使用单晶硅薄膜晶体管等的单晶硅薄膜设备，其余的设备中使用非单晶硅薄膜晶体管等的非单晶硅薄膜设备，可以得到一体地集成高性能、高机能的电路系统的半导体装置。

即通过单晶硅薄膜设备，利用单晶硅的特性可以形成高速且低耗电的高速逻辑电路、定时产生器、或消除了分布变动的 DAC(电流缓冲器)。另一方面，多晶硅等的非单晶硅薄膜设备相比于单晶硅设备，性能、机能都要逊色，可以用来大面积地形成便宜的半导体装置。

由本发明的构成，可以在一枚基板上形成兼备上述两种硅薄膜设备的长处的半导体装置。

由此，可在基板上一体地集成化仅通过单晶硅就可实现的高性能、高机能的电路系统。从而例如与以单晶硅形成全部的设备的场合相比，可以以非常低的成本制造集成有高性能的系统的液晶面板或有机 EL 面板等的显示装置用的半导体装置。

此外形成具有本发明的半导体装置的单晶硅薄膜的单晶硅基板的形状限定为 LSI 制造装置的一般的晶片大小的 6、8、12 英寸的圆板。但是本发明的半导体装置的绝缘基板上共存有非单晶硅薄膜设备以及单晶硅薄膜设备，因此可以制造例如可以应用于大型的液晶显示面板或有机 EL 面板的大型半导体装置。

本发明的显示装置为了达成上述目的，具有形成有半导体元件构造的上述 SOI 基板。该 SOI 基板是形成半导体元件构造的半导体装置。

此外本发明涉及的显示装置为了达成上述目的，包括上述任何一种半导体装置，构成为将该半导体装置作为显示面板的有源矩阵基板而使用。

上述 SOI 基板的绝缘基板为透光性基板，因此在该绝缘基板上如果形成半导体构造，适用于例如显示面板用的有源矩阵基板。

采用上述 SOI 基板可以得到均一性的高性能的晶体管，从而可以提供高性能的显示装置。

这样可以使采用单晶硅的晶体管的特性均一化、稳定化、高性能化，

可以制造例如高性能的 MOS 型电场效果晶体管设备。从而可以制造使用其的高性能的 TFT-LCD 显示装置，TFT-OLEDL 显示装置或集成电路。

上述半导体元件的构造为例如显示器用开关元件的构造。此外例如 SOI 基板中形成半导体元件构造，也可以制造数据驱动器。

本发明的半导体装置的制造方法为了达成上述目的，在绝缘基板上，在由单晶硅薄膜构成的单晶硅薄膜设备和由非单晶硅薄膜构成的半导体装置的制造方法中，在绝缘基板上形成包含上述单晶硅薄膜设备的电路之后，形成上述非单晶硅薄膜。

由上述制造方法，将单晶硅薄膜设备在平坦性最好的绝缘基板上形成，之后形成非单晶硅薄膜。从而可以制造结合不良所导致的缺陷减少，有效利用率高的半导体装置。

本发明的半导体装置的制造方法为了达成上述目的，在绝缘基板上，在由单晶硅薄膜构成的单晶硅薄膜设备和由非单晶硅薄膜构成的半导体装置的制造方法中，在上述绝缘基板上形成上述非单晶硅薄膜之后，形成上述单晶硅薄膜设备。

由上述制造方法，将非单晶硅薄膜在单晶硅薄膜设备形成前形成，与在单晶硅薄膜设备形成后形成非单晶硅薄膜的场合相比，可以防止单晶硅薄膜受到污染和损伤。

本发明的半导体装置的制造方法为了达成上述目的，在包含结合绝缘基板上形成的绝缘膜和覆盖单晶硅基板覆盖膜的结合工序的半导体装置的制造方法中，在上述结合工序之前，包含调节上述绝缘膜的表面的调节工序，从而使上述表面的 1 到  $5\mu\text{m}$  见方的范围内测定的高度为 5nm 以下的凹凸的倾斜与上述绝缘基板表面所成的角度的正切为 0.06 以下

上述 SOI 基板在结合工序之后，单晶硅基板在氢离子的注入部处分断、剥离成为单晶硅薄膜而制造 SOI 基板。即上述制造方法也是 SOI 基板的制造方法。通过在该 SOI 基板上的单晶硅薄膜上形成半导体元件构造，可以保持良好的结合性，可以提高该结合的强度。从而在结合工序之后，在将单晶硅基板分断、剥离形成单晶硅薄膜时不会发生膜剥落。

本发明的其他目的、方案、以及优点，可由以下叙述得知。参照附图从下面的说明可以了解到本发明的优点。

### 附图说明

图 1(a)为表示本发明的半导体装置的一实施例的一制造工序的剖面图；图 1(b)为表示上述半导体装置的制造的其他的工序的剖面图；图 1(c)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 1(d)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 1(e)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 1(f)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 1(g)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 1(h)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 1(i)为表示上述半导体装置的制造的进一步其他的工序的剖面图；

图 2(a)为表示本发明的半导体装置的其他实施例的制造工序的剖面图；图 2(b)为表示上述半导体装置的制造的其他的工序的剖面图；图 2(c)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 2(d)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 2(e)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 2(f)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 2(g)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 2(h)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 2(i)为表示上述半导体装置的制造的进一步其他的工序的剖面图；

图 3(a)为表示本发明的半导体装置的进一步其他实施例的制造工序的剖面图；图 3(b)为表示上述半导体装置的制造的其他的工序的剖面图；图 3(c)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 3(d)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 3(e)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 3(f)为表示上述半导体装置的制造的进一步其他的工序的剖面图；

图 4 为概略表示图 3 所示的双极型单晶硅薄膜晶体管的构成的剖面图；

图 5(a)为表示本发明的半导体装置的进一步其他实施例的制造工序的剖面图；图 5(b)为表示上述半导体装置的制造的其他的工序的剖面图；图 5(c)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 5(d)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 5(e)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 5(f)为表示上述半导

体装置的制造的进一步其他的工序的剖面图；

图 6(a)为表示本发明的半导体装置的进一步其他实施例的制造工序的剖面图；图 6(b)为表示上述半导体装置的制造的其他的工序的剖面图；图 6(c)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 6(d)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 6(e)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 6(f)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 6(g)为表示上述半导体装置的制造的进一步其他的工序的剖面图；图 6(h)为表示上述半导体装置的制造的进一步其他的工序的剖面图。

图 7 为表示使用本发明的半导体装置制作的有源矩阵基板的平面图；

图 8 为表示本发明的半导体装置中对于从室温到 600°C 的温度，单晶硅和玻璃基板的线膨胀的不同的图；

图 9 为本发明的半导体装置的制造方法中在室温下，进行单晶硅和玻璃基板的对准时的概念图；

图 10 为表示本发明的 SOI 基板的一实施例的剖面图；

图 11(a)为表示上述 SOI 基板中包含的绝缘基板的剖面图；图 11(b)为表示上述绝缘基板上层积绝缘膜的状态的剖面图；图 11(c)为表示单晶硅基板的剖面图；图 11(d)为表示单晶硅基板上被覆盖膜覆盖的状态的剖面图；图 11(e)为表示在图 11(d)的状态下注入氢离子的样子的剖面图；图 11(f)为表示将图 11(e)所示的单晶硅基板结合在图 11(b)所示的绝缘基板上的状态的剖面图；图 11(g)为表示分割、剥离单晶硅基板而制作上述 SOI 基板的样子的剖面图；

图 12 为表示上述绝缘体基板上层积的上述绝缘膜的表面凹凸的状态的剖面图；

图 13 为表示水对于层积有上述绝缘膜的上述绝缘基板表面的润湿状态的剖面图；

图 14(a)为表示上述 SOI 基板中包含的绝缘基板的剖面图；图 14(b)为表示上述绝缘基板上层积绝缘膜的状态的剖面图；图 14(c)为表示图 14(b)所示状态中层积非晶硅膜的状态的剖面图；图 14(d)为表示上述非晶硅膜由受激准分子激光器的照射熔化的样子的剖面图；图 14(e)为表示多晶硅膜形成的状态的剖面图；图 14(f)为表示通过光刻法形成承载单晶硅基板的区域

的状态的剖面图；图 14(g)为表示承载上述单晶硅基板的状态的剖面图；图 14(h)为表示将上述单晶硅基板分割、剥离而制作上述 SOI 基板的样子的剖面图；

图 15 为表示使用上述 SOI 基板制作的薄膜晶体管的一例的剖面图；

图 16 为表示现有的构成中基板上层积的氧化硅膜的表面凹凸的状态的剖面图；

图 17 为表示结合力评价法的模式剖面图；

图 18 为表示使用本发明的半导体装置的显示装置的一例的方框图；

图 19 为表示本发明的半导体装置的进一步其他的一例的制造的一个工序的剖面图；

图 20 为表示本发明的半导体装置的进一步其他的一例的一部分的剖面图。

### 具体实施方式

#### 实施例 1

以下说明本发明的单晶硅基板，半导体装置以及其制造方法的一实施例的半导体装置和其制造方法。图 1(a)到图 1(i)为表示本发明的半导体装置的一实施例的表示半导体装置的制造工序的剖面图。本实施例说明的半导体装置为将 MOS 型的非单晶硅薄膜晶体管和 MOS 型的单晶硅薄膜晶体管在绝缘基板上的不同区域上形成的高性能、高机能的半导体装置，通过 TFT 形成有源矩阵基板。

该 MOS 型的薄膜晶体管为，由活性半导体层，栅极，栅极绝缘膜，栅极两侧形成的高浓度杂质掺杂部(源极，漏极)构成，通过栅极调节栅极下的半导体层的载流子浓度，控制源极和漏极之间流动的电流的一般的晶体管。

MOS 性的晶体管的特性为，做成 COMS(互补金属氧化物半导体)的构造时，消耗的电力较少，根据电源电压可以全幅振动输出，因此适用于低耗电型的逻辑电路。

本实施例的半导体装置 20 如图 1(i)所示，在绝缘基板 2 上具有， $\text{SiO}_2$ (氧化硅)膜(绝缘膜)3，包含有多晶硅构成的非单晶硅薄膜 5'的 MOS 型的非单晶硅薄膜晶体管 1a，具有单晶硅薄膜 14a 的 MOS 型单晶硅薄膜晶体管(单晶硅薄膜设备)16a，金属配线 22。

绝缘基板 2 上，使用作为高应变点玻璃的科宁公司的 code1737(碱土类 - 铝硼硅酸玻璃)。

$\text{SiO}_2$  膜 3 在绝缘基板 2 的整体表面上，以大约 50nm 的膜厚形成。

包含有非单晶硅薄膜 5' 的 MOS 型非单晶硅薄膜晶体管 1a 在层间绝缘膜的  $\text{SiO}_2$  膜 4 上具有，非单晶硅薄膜 5'，作为栅极绝缘膜的  $\text{SiO}_2$  膜 7，栅极 6。

栅极 6 由多晶硅和 W 硅化物构成，也可由多晶硅，其他的硅化物或者聚合物等构成。另一方面包含单晶硅薄膜 14a 的 MOS 型的单晶硅薄膜晶体管 16a 具有，具有栅极 12 的平坦化层，作为栅极绝缘层的  $\text{SiO}_2$  膜 13 单晶硅薄膜 14a.

栅极 12 的材料采用重掺杂的多晶硅膜和 W 硅化物，材料也可单独选择多晶硅，或其他的高熔点金属或硅化物，考虑必要的抵抗以及耐热性进行选择。

此外该单晶硅薄膜晶体管 16a 再结合到绝缘基板 2 上之前在单晶硅基板上形成，成为栅极 12 的部分以包含栅极绝缘膜 13，单晶硅薄膜 14a 的状态结合在绝缘基板 2 上。由此，单晶硅基板 10a 上进行形成栅极或者源极或漏极的杂质离子注入的做法相比于在绝缘基板 2 上形成单晶硅薄膜之后再形成薄膜晶体管的做法，可以容易地进行对单晶硅薄膜的精细加工。

本实施例的半导体装置 20 如上所述，在一枚的绝缘基板 2 上，共存有 MOS 型的非单晶硅薄膜晶体管 1a 以及 MOS 型的单晶硅薄膜晶体管 16a，因此可以得到特性不同的将多个电路集成化的高性能、高机能的半导体装置，此外相比于在一枚的绝缘基板 2 上形成全部由单晶硅薄膜构成的晶体管，可以得到廉价的高性能、高机能的半导体装置。

非单晶硅薄膜 5' 的区域和单晶硅薄膜 14a 的区域至少离开 0.3 $\mu\text{m}$  以上，优选离开 0.5 $\mu\text{m}$  以上。从而单晶硅薄膜 14a 中可以防止 Ni,Pt,Sn,Pd 等金属原子的扩散，可以使单晶硅薄膜晶体管 16a 的特性稳定化。

进而本实施例中的半导体装置 20 中，形成有  $\text{SiO}_2$  膜作为非单晶硅薄膜晶体管 1a 和单晶硅薄膜晶体管 16a 之间的层间绝缘膜。从而可以防止单晶硅薄膜 14a 被污染。

例如，含有本发明的半导体装置 20 的液晶显示装置的有源矩阵基板的场合中，进而形成液晶显示用的  $\text{SiN}_x$ (氮化硅)，树脂平坦化膜，通孔，透明

电极。其中非单晶硅薄膜 5' 的区域中形成驱动器以及显示部用的 TFT，在适用于要求较高性能的设备的单晶硅薄膜 14a 的区域中，形成定时控制器。驱动器部也可不采用单晶硅，可考虑成本和性能决定。

这样根据单晶硅薄膜 14a，非单晶硅薄膜 5' 构成的薄膜晶体管各自的性能，决定各薄膜晶体管的机能，用途，可以得到高机能，高性能的薄膜晶体管。

相比于现有的非单晶硅薄膜 5' 的区域上形成的 N 通道 TFT 的约  $100\text{cm}^2/\text{V}\cdot\text{sec}$  的迁移率，形成本实施例的半导体装置的液晶显示用有源矩阵基板中，单晶硅薄膜 14a 的区域上形成的 N 通道 TFT 的迁移率约为  $550\text{cm}^2/\text{V}\cdot\text{sec}$ 。由此，通过本实施例的半导体装置 20 的构成，可以得到相比于现有技术可以进行高速动作的 TFT。

此外该液晶显示用有源矩阵基板中，与非单晶硅薄膜 5' 的区域上形成的设备要求 7 到 8V 的信号和电源电压相比，单晶硅薄膜 14a 的区域上形成的设备的定时控制器可以在 2.7V 下稳定地动作。

此外半导体装置 20 中，集成电路形成为非单晶硅薄膜 5' 的区域以及单晶硅薄膜 14a 的区域，从而可以形成符合必要的构成和特性的像素阵列。在各个区域上形成的集成电路中，可以制作动作速度或动作电源电压等性能不同的集成电路。例如可以进行使栅极长，栅极绝缘膜的膜厚，电源电压，逻辑级中至少一个在每个区域中不同的设计。

由此，可以形成按照区域具有不同特性的设备，可以得到具有更多样的机能的半导体装置。

进而半导体装置 20 中，集成电路中形成有非单晶硅薄膜 5' 的区域与单晶硅薄膜 14a 的区域，从而各个区域中形成的集成电路可以在各个区域按照不同的加工规则。例如短通道长的场合，单晶硅薄膜区域中没有晶界，TFT 特性的变动几乎没有增加，与此相对地，多晶硅薄膜区域中由于晶界的影响变动急速地增加，有必要在各个部分改变加工规则。由此，与加工规则相符，可以在适当的区域形成集成电路。

此外本实施例的半导体装置 20 中，MOS 型的单晶硅薄膜晶体管 16a 中，其金属配线图案可以按照相比于栅极图案较宽松的设计规则而形成。

由此，形成 MOS 型的单晶硅薄膜晶体管 16a 的半导体装置的金属配线或金属配线的一部分可以与大型基板上的金属配线同时进行处理，可以降

低成本，提高处理能力。进而对于外部配线或者其他电路模块或者 TFT 阵列的接续变得容易，降低了对于外部装置等的接续不良所导致的不合格率。

半导体装置 20 上形成的单晶硅薄膜 14a 的尺寸由 LSI 制造装置的晶片尺寸所决定。但是为了形成需要单晶硅薄膜 14a 的高速且低耗电的高速逻辑电路、定时产生器、或消除了分布变动的 DAC(电流缓冲器)或者处理器，一般的 LSI 制造装置的晶片尺寸即可。

其中关于半导体装置 20 的制造方法，使用图 1(a)到图 1(i)进行说明。

首先在绝缘基板 2 的表面整体上，使用与 TEOS 与 O<sub>2</sub> 的混合气体，通过等离子 CVD，堆积膜厚约为 50nm 的 SiO<sub>2</sub> 膜 3。

本实施例中的半导体装置 20 的制造方法中，为了实现薄膜化，形成其中另外地加工有成为单晶硅薄膜晶体管 16a 的部分的单晶硅基板 10a，将该单晶硅基板 10a 在绝缘基板 2 上形成。

具体地预先在一般的 IC 制造线上形成 CMOS 工序的一部分，即形成栅极电极 12，栅极绝缘膜 13，源、漏极杂质离子注入(BF<sup>3+</sup>、P<sup>+</sup>)，保护绝缘膜，平坦化膜(BPSG)之后，通过 CMP(化学 - 机械研磨)进行平坦化处理。接着形成膜厚约 10nm 的 SiO<sub>2</sub> 膜，制作具有用  $5 \times 10^{16} / \text{cm}^2$  的计量的氢离子以规定的能量注入的氢离子注入部 15 的单晶硅基板 10a。之后将其在绝缘基板上的形成区域上切断为合适的规定尺寸。在氢离子注入部 15 处，氢离子的浓度最大。

接着如图 1(b)所示，将透明绝缘基板 2 以及切断的单晶硅基板 10a 两基板 SC - 1 洗净，活性化后，将单晶硅基板 10a 的氢离子注入部 15 侧排列，在室温下紧密结合。

该排列如图 9 所示通过透明基板 2，这里为科宁公司的 1737 玻璃，从透明基板 2 侧利用可视光检测出单晶硅基板 10a 上的对准标记和透明基板 2 侧的对准标记而进行。图 9 所示例中使用向下照射的显微镜中设置的对准用 CCD 照相机 90，检测对准台 91 上的单晶硅上的对准标记 94，最终将其变换为电信号进行处理。

现有的红外线照射进行穿过硅基板的对准的方法中，IC 等对于可视光或者 UV 光不透明，由于通过穿过具有为了防止吸附作用散射非镜面光的表面的硅晶片检测排列标记来检测排列，存在精度不好的问题。

其中本实施例的半导体装置中，例如穿过对于较短波长的可视光或者 UV 光透明，并且表面不散射光的玻璃检测对准标记 93、94，所以与现有技术相比，可以进行高精度的对准。

此外本实施例中使用单晶硅的对准标记 94 的对准边界比透明基板 2 整体，或者显示区域，或者设备整体的图案的对准边界要小，从而具有高精度。

由此，以后形成非单晶硅区域(非单晶硅薄膜 5'的区域)以及公共金属配线 22 等的时候，通过更高精度的曝光系统将接触通孔 21 开口，可以使用金属配线 22 高效容易地连接具有高精度的图案的单晶硅区域和具有低精度图案的非单晶区域。

此外单晶硅和玻璃制的透明基板 2 由 Van der Waals 力结合。之后采用 400°C ~ 600°C 的温度进行处理，在这里采用约 550°C 的温度，进行 Si-OH + -Si-OH → Si-O-Si + H<sub>2</sub>O 的反应，使变为原子之间强固的结合。进而如图 1(c) 所示氢离子注入部 15 的温度升温为氢元素从单晶硅脱离的温度以上，因此，可以以氢离子注入部 15 为界进行切开剥离。

其中单晶硅薄膜晶体管 16a 对于绝缘基板 2，通过无机的绝缘膜 3 而结合。由此，与现有的使用粘着剂的场合相比，可以可靠地防止单晶硅薄膜 14a 被污染。

将剥离的绝缘基板 2 上剩下的单晶硅薄膜 14a 的不要部分腐蚀除去，在将单晶硅加工成岛状后，将表面的损伤层通过各向同性等离子腐蚀或者液体腐蚀除去，其中，该层通过液体腐蚀采用氢氟酸被轻腐蚀 10nm。由此，如图 1(i)所示，绝缘基板 2 上膜厚约 50nm 的单晶硅薄膜 14a 上形成 MOSTFT 的一部分。

其后如图 1(d)所示，绝缘基板 2 的全面上通过采用 SiH<sub>4</sub> 和 N<sub>2</sub>O 的混合气体的等离子 CVD，堆积膜厚约为 200nm 的第 2SiO<sub>2</sub> 膜 4。进而其全面上利用 SiH<sub>4</sub> 气体通过等离子 CVD，堆积膜厚约为 50nm 的非晶硅膜 5。

非晶硅膜 5 上照射受激准分子激光，并加热使其结晶化，使多晶硅层成长形成非单晶硅薄膜 5'的同时，提高了单晶硅薄膜 14a 和绝缘膜 3 的结合强度。

下面如图 1(f)所示，为了保存设备的活性区域的部分，通过腐蚀将不要的多晶硅膜 5' 除去，得到岛状的图案。

下面，使用 TEOS 和氧气的混合气体，通过等离子 CVD 堆积膜厚约为 350nm 的 SiO<sub>2</sub> 膜，将其通过各向异性腐蚀的 RIE 腐蚀约 400nm，之后作为非单晶硅薄膜晶体管 1a 的栅极绝缘膜，通过使用 SiH<sub>4</sub> 和 N<sub>2</sub>O 的混合气体的等离子 CVD，形成膜厚约为 60nm 的 SiO<sub>2</sub> 膜 7。此时，上述单晶硅薄膜 14a 的图案以及非单晶硅薄膜 5' 的图案的端部上形成侧壁。

下面如图 1(g)所示，通过采用 TEOS 和 O<sub>2</sub>(氧气)的混合气体的 P-CVD，作为层间平坦化绝缘膜(保护层间绝缘膜)，堆积膜厚约为 350nm 的 SiO<sub>2</sub> 膜 8。

如图 1(h)所示，将接触通孔 21 开口，如图 1(i)所示，在接触通孔 21 中形成金属(AlSi)配线 22。

本实施例的半导体装置的制造方法中，如上所述，将单晶硅薄膜晶体管 16a 在非单晶硅薄膜(多晶硅薄膜)5' 形成之前形成。由此，在保持绝缘基板 2 的平坦性的状态下，可以结合单晶硅基板，防止了结合不良等问题。

本实施例中，增大氢离子的注入能量，氢原子的最高位置位于从表面开始的较深位置，使单晶硅薄膜 14a 的膜厚变厚，在厚度为 50nm 到 100nm 时没有较大变化，但在 300nm 到 600nm 时，依次地 TFT 的 S 值变大，断开电流的增加明显。由此，单晶硅薄膜 14a 的膜厚虽然也依靠于杂质的掺杂密度，只要为 600nm 以下即可，优选约 500nm 以下，更优选 100nm 以下。

其中氢离子的注入能量设定为，使从该氢离子的注入能量扣除在栅极材料中的氢离子的，与栅极电极的膜厚相当的与投射范围相对应的能量后的能量，不超过栅极电极材料中的最重原子的与该栅极氧化膜中的投射范围相对应的能量。

由此，例如 MOS 型的单晶硅薄膜晶体管中可以防止，对于单晶硅基板照射的氢离子通过与栅电极材料或金属配线材料的构成原子冲突，弹出的栅电极材料的构成原子通过氧化膜，到达单晶硅处，污染单晶硅部分所导致的特性或可靠性的降低。

此外作为绝缘基板 2，代替科宁公司的 code1737(碱土类 - 铝硼硅酸玻璃)而采用科宁公司的 code7059(钡 - 硼硅酸玻璃)的场合下，虽然为同样的结合，但是劈开剥离的成功率恶化。

这是由于如图 8 所示，code1737 从室温附近开始升温至 600°C 的场合的和硅的线膨胀的差约为 250ppm，而 code7059 与硅的线膨胀的差约为 800ppm。

因此从提高劈开剥离的成功率的角度出发，从室温到 600°C 的场合的和硅的线膨胀的差优选约为 250ppm 以下。

该单晶硅薄膜晶体管 16a，并不限定于本实施例的构成，例如底栅极 (bottom gate) 构造的 MOS 型薄膜晶体管也可以得到上述同样的效果。

### 实施例 2

以下对于本发明的单晶硅基板，半导体装置以及其制造方法相关的其他的实施例进行说明。图 2(a) 到图 2(i) 为表示本发明涉及的半导体装置的其他的实施例的半导体装置的制造工序的剖面图。为了方便说明，对于与实施例 1 的半导体装置 20 中说明的部件具有相同机能的部件，省略其说明。

本实施例的半导体装置 30，与上述实施例 1 的半导体装置 20 同样，在绝缘基板 2 上的不同区域上形成 MOS 型的单晶硅膜薄晶体管 16a 与非单晶硅薄膜晶体管 1a。从而，对于本实施例的半导体装置 30，与实施例 1 的半导体装置 20 同样，可以得到高性能，高机能的半导体装置。

另一方面，半导体装置 30 中，单晶硅薄膜晶体管 16a 在非单晶硅薄膜晶体管 1a 的形成之后形成这一点与实施例 1 不同。

本实施例中的半导体装置 30 在绝缘基板 2 上，具有 SiO<sub>2</sub> 膜 3，非单晶硅薄膜晶体管 1a，单晶硅薄膜晶体管 16a，金属配线 22 等。

非单晶硅薄膜晶体管 1a 具有，非单晶硅薄膜 5'，作为栅极绝缘膜的 SiO<sub>2</sub> 膜 7 以及栅电极 6。单晶硅薄膜晶体管 16a 如上所述，在非单晶硅薄膜晶体管 1a 形成的绝缘基板 2 上，通过层间绝缘膜 7 而形成。

用于制作单晶硅薄膜晶体管 16a 的单晶硅基板 10a 在绝缘基板 2 上形成之前，实施用于制作 MOS 型的单晶硅薄膜晶体管的处理。具体地，形成栅极电极，栅极绝缘膜，注入源、漏极的杂质，对于 P 型和 N 型各个通道部分进行通道注入，其中通过使用 P 型硅基板，可省去 N 型的通道注入。栅电极上进行将层间平坦化膜，这里为由 CVD 将 SiO<sub>2</sub> 和沉积后 BPSG 熔化并进一步由 CMP 平坦化的膜切断为规定形状的工序。接着，表面上形成 MOS 型的单晶硅薄膜晶体管 14a 的单晶硅基板 10a 通过 SC1 洗净液洗净，除去颗粒进行表面的活化，在室温下通过玻璃基板从玻璃基板侧，利用可见光检测出单晶硅上的对准标记和透明基板侧的对准标记，从而进行对准并结合在绝缘基板 2 上。其中，进行加工使栅极长为 0.35μm，接触以及金属配线部分的加工规则为了与大型玻璃基板的影印精度，以及结合时的排

列精度相对应，线宽和间隔宽为 2μm(微米)。

本实施例的半导体装置 30 中，MOS 型晶体管形成为非单晶硅薄膜 5' 的区域和单晶硅薄膜 14a 的区域。各区域上形成同一导电型的晶体管中，迁移率，亚阈值系数，阈值中的至少一个在各个区域中不同。从而可以根据所希望的特性，在对应的单晶硅或非单晶硅薄膜区域中形成晶体管。

其中根据图 2(a)到图 2(i)说明上述半导体装置 30 的制造方法。

首先作为绝缘基板 2，采用高应变点玻璃的科宁公司的 code1737(碱土类 - 铝硼硅酸盐)，接着如图 2(a)所示，在其表面上通过使用 TEOS(Tetra Ethoxy Silane, 即  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )与  $\text{O}_2$ (氧气)的混合气体的等离子 CVD，通过等离子化学气相生长(Plasma Chemical Vapor Deposition，以下记作 P-CVD)，堆积膜厚约为 100nm 的  $\text{SiO}_2$  膜。

进而在其表面上使用  $\text{SiH}_4$  气体通过等离子 CVD 堆积膜厚约为 50nm 的非晶硅膜 5。

接着如图 2(b)所示，非晶硅膜 5 上照射受激准分子激光，并加热结晶化，成长多晶硅层，形成非单晶硅薄膜 5'。对非晶硅膜 5 的加热并不限于受激准分子的照射加热，例如还可以通过其它激光加热，或使用炉加热。此外为了促进结晶的成长，非晶硅膜 5' 上至少添加 Ni, Pt, Sn, Pd 中的一种。

接着如图 2(c)所示，将非单晶硅薄膜 5' 的规定区域腐蚀除去。

下面如图 2(c)所示，为了构成非单晶硅 TFT，通过使用  $\text{SiH}_4$  和  $\text{N}_2\text{O}$  气体的等离子 CVD，在堆积作为 80 到 100nm 的栅极绝缘膜的  $\text{SiO}_2$  膜 7 之后，形成栅极电极 6。

下面如图 2(d)所示，这如源、漏极的杂质离子，在其表面上通过使用 TEOS(Tetra Ethoxy Silane, 即  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )与  $\text{O}_2$ (氧气)的混合气体的等离子 CVD，堆积作为层间绝缘膜的膜厚约为 250nm 的  $\text{SiO}_2$  膜 4

其中本实施例的半导体装置 30 中，与上述实施例 1 的半导体装置 20 同样，进行氢离子注入等，从而制作成为 MOS 型的单晶硅薄膜晶体管 16a 的晶体管的工序部分完成的单晶硅基板 10a。

之后将该单晶硅基板 10a 与将非单晶硅薄膜 5' 通过腐蚀而除去的规定区域比较，并且切为较小的形状，或者由 KOH 等通过各向异性腐蚀切断。

为了结合结晶硅，除去非单晶硅薄膜的部分预先通过含有低能量(约

3keV)的卤化物的气体的 GCIB(Gas Cluster Ion Beam)平坦化，之后通过使用 TEOS 或者 TMCTS(Tetramethylcyclotetrasiloxane)的 PECVD 形成约 10nm 的 SiO<sub>2</sub> 膜，进一步改善了结合性。

非单晶硅薄膜 5' 形成的绝缘基板 2 和单晶硅基板 10a 在由可以除去离子并活化表面的 SC-1 洗净后，如图 2(e)所示，将单晶硅基板 10a 的氢离子注入部 15 侧在上述腐蚀除去的区域中在室温下通过实施 1 同样的方法排列，并紧密结合。其中 SC-1 洗净为一般的被称作 RCA 洗净的洗净法中的一种，使用氨和过氧水和纯水形成的洗净液。

单晶硅基板 10a 在绝缘基板 2 上的形成也可以在作为栅极绝缘膜的 SiO<sub>2</sub> 膜 7 的形成后，作为层间绝缘膜的 SiO<sub>2</sub> 膜 4 的堆积前。

其后，300 到 600°C，这里采用 550°C 的温度进行热处理，将单晶硅基板 10a 的氢离子注入部 15 的温度升温至氢离子从单晶硅脱离的温度之上。从而可将单晶硅基板 10a 以氢离子注入部 15 为界进行劈开剥离。该热处理也可以通过激光照射或包括约 700°C 以上的最高温度的退火将单晶硅基板 10a 的氢离子注入部 15 升温。

下面剥离的绝缘基板 2 上剩下的单晶硅基板 10a 的表面的损伤层通过各向同性等离子腐蚀或者液体腐蚀除去，其中，该层通过液体腐蚀采用氢氟酸被轻腐蚀 20nm。由此，如图 2(f)所示，在一枚的绝缘基板 2 上可以分别得到膜厚约 50nm 的非单晶硅薄膜 5' 和单晶硅薄膜 14a。将单晶硅基板 10a 在室温下结合在绝缘基板 2 上之后，在 300 到 350°C 下进行约 30 分钟热处理，在 550°C 进行热处理，由劈开剥离导致的伴随劈开剥离的剥落减少。

此时已经得到了充分的 Si 和基板的结合强度，为了进一步提高该强度，其后在约 800°C 下进行一分钟退火处理。该处理也可与源、漏极的注入杂质的活性化一起进行。

如图 2(g)所示，作为层间平坦化绝缘膜堆积 SiO<sub>2</sub> 膜 8，如图 2(h)所示，接触通孔 21 开口，如图 2(i)所示，形成金属配线 22 的工序与实施例 1 一样。

本实施例的半导体的制造方法中，如上所述，预先形成非单晶硅薄膜晶体管 1a，之后，形成单晶硅薄膜晶体管 16a，与预先形成单晶硅薄膜晶体管的实施例 1 的半导体装置 20 相比，制造工序简单，并防止了单晶硅薄膜的污染。

### 实施例 3

以下说明本发明的单晶硅基板，半导体装置以及其制造方法的其他实施例，图 3(a)到图 3(f)为表示本发明的半导体装置的其他实施例的半导体装置的制造工序的剖面图。为了方便说明，对于与实施例 1, 2 中说明的部件具有相同机能的部件，省略其说明。

本实施例的半导体装置 40 如图 3(f)所示，与实施例 1 同样，为在一枚的绝缘基板 2 上，形成非单晶硅薄膜晶体管和单晶硅薄膜晶体管的半导体装置，非单晶硅薄膜形成前形成单晶硅薄膜晶体管，这一点相同，但是，作为单晶硅薄膜晶体管而形成的晶体管不是 MOS 型，而是双极性的单晶硅薄膜晶体管，这一点不同。

这样，通过形成作为非单晶硅薄膜晶体管的 MOS 型，作为单晶硅薄膜晶体管的双极型的晶体管，可以得到与实施例 1, 2 中说明的半导体装置 20, 30 具有不同特性的半导体装置 40。

其中双极型薄膜晶体管为，在第一导电型的半导体的基电极和发射极之间，设置狭窄的逆导电层(基极)，通过使发射极和基极之间的偏置在顺和逆之间变化，控制从发射机向基极流入的少数载流子的个数，控制在基极扩散并流入集电极的少数载流子产生的电流的晶体管。

该双极型薄膜晶体管没有形成 MOS 型的栅电极，所以构造简单同时提高制造效率，此外具有饱和区域中的线性优良，反应速度快的优点，由于可以处理线性信号，因此可以用于模拟放大器，电流缓冲器，电源 IC。

双极型的单晶硅薄膜晶体管中，其接线图案按照相比于基极图案宽松的设计规则而形成。

由此，形成双极型单晶硅薄膜晶体管的半导体装置的金属配线或金属配线的一部分可以与大型基板上的金属配线同时进行处理，降低成本并提高了处理能力。同时与其他的电路模块或 TFT 阵列的接续变得容易，降低了对于外部装置等的接续不良所导致的不合格率。

半导体装置 40 如图 3(f)所示，在绝缘基板 2 上通过， $\text{SiO}_2$ 膜 3，包含由多晶硅构成的非单晶硅薄膜 5' 的非单晶硅薄膜晶体管 1a，包含单晶硅薄膜 14b 的双极型的单晶硅薄膜晶体管 16b，以及金属配线所构成。

这样在一枚的绝缘基板 2 上，形成有 MOS 型的非单晶硅薄膜晶体管 1a，以及双极型的单晶硅薄膜晶体管 16b，因此分别可以发挥 MOS 型，双极型或者非单晶硅薄膜，单晶硅薄膜的特性，可以得到对应于多种用途的

## 半导体装置 40。

其中利用图 3(a)到图 3(f)说明上述半导体装置 40 的制造方法。

绝缘基板 2 上使用科宁公司的 code1737(碱土类 - 铝硼硅酸玻璃), 如图 3(a)所示, 在其表面上使用 TEOS 以及 O<sub>2</sub> 的混合气体, 通过等离子 CVD 堆积膜厚约为 20nm 的 SiO<sub>2</sub> 膜 3。

其中本实施例中的半导体装置 40 中, 与实施例 1, 2 的半导体装置一样, 在绝缘基板 2 上形成单晶硅薄膜晶体管 16b 前, 预先在单晶硅基板 10b 上从氢离子注入部劈开剥离, 作出双极型的单晶硅薄膜晶体管 16b 的构造, 在该状态下结合到绝缘基板 2 上。

具体地, 首先形成双极型薄膜晶体管的 PNP 结合或者 NPN 结合的结合部分。其次通过氧化表面或在表面堆积氧化膜, 形成膜厚约为 200nm 的 SiO<sub>2</sub> 膜 13。接着形成具有将  $5 \times 10^{16} / \text{cm}^2$  的计量的氢离子以规定的能量注入规定的深度的氢离子注入部 15 的双极型单晶硅薄膜晶体管。

这样对于双极型的单晶硅薄膜晶体管 16b, 与 MOS 型相同, 也形成以规定的深度注入规定浓度的氢离子的氢离子注入部。

接着将单晶硅基板 10b 以合适的形状切断, 在绝缘基板 2 上形成。

将绝缘基板 2 以及切断的单晶硅基板 10bSC-1 洗净, 活性化后, 如图 3(b)所示, 将单晶硅薄膜晶体管 16b 的氢离子注入部 15 侧与绝缘基板 2 上的腐蚀除去区域, 在室温下以与实施例 1 相同的方法进行对准, 紧密结合。

本实施例的半导体装置 40 中, 如图 4 所示在 P, N 各个区域内注入杂质, 表示了集电极 25, 基极 26, 发射极 27 平面地配置的平面(Lateral)构造的双极性的薄膜晶体管, 但是像现有的双极型薄膜晶体管那样, 也可以为纵型构造。此外也可扩散杂质形成结合部, 也可使用 SIT(Static Induction Transistor)或者二极管。

但是如本实施例那样, 通过形成平面型的双极型薄膜晶体管, 没有必要在形成前进行平面化处理, 可以简化制造工序, 提高生产效率。

之后, 采用 400°C ~ 600°C 的温度进行处理, 在这里采用约 550°C 的温度, 将单晶硅基板 10b 的氢离子注入部 15 的温度提高到氢离子从硅脱离的温度, 从而可以以氢离子注入部 15 为界将单晶硅基板 10b 的不要部分 11 劈开剥离, 可以在绝缘基板 2 上制作双极型的单晶硅薄膜晶体管 16b。

下面将绝缘基板 2 上残留的单结晶硅基板 10b 的表面的损伤层, 通过

各向同性等离子腐蚀或者液体腐蚀除去，其中，该层通过液体腐蚀采用氢氟酸被轻腐蚀 20nm。由此，如图 3(c)所示，绝缘基板 2 上形成了膜厚约为 80nm 的双极型的单晶硅薄膜晶体管 16b。

之后如图(3)所示，在绝缘基板 2 的全面上通过使用 SiH<sub>4</sub> 和 O<sub>2</sub> 的混合气体的等离子 CVD，堆积作为层间绝缘膜的膜厚约为 200nm 的 SiO<sub>2</sub> 膜 4。进而如图 3(d)所示，在其表面上通过使用 SiH<sub>4</sub> 气体的等离子 CVD，堆积膜厚约为 50nm 的非晶硅膜 5。

下面如图 3(e)所示，由受激准分子激光照射加热非晶硅膜 5，使其结晶化，使多晶硅层成长形成非单晶硅薄膜 5'，此时可以提高双极型的单晶硅薄膜晶体管 16b 对于绝缘基板 2 的结合强度。

下面如图 3(f)所示，留下成为非单晶硅薄膜 5' 的设备的活性区域的部分，将不要的硅膜通过腐蚀除去，得到岛状的图案。通过使用 TEOS 和氧气的混合气体的等离子 CVD 堆积作为栅极绝缘膜的膜厚约为 350nm 的 SiO<sub>2</sub> 膜 7，进而将约 350nm 的光致抗蚀膜作为树脂平坦化膜全面地涂覆，通过包含氧气和 CF<sub>4</sub> 的气体利用各向异性腐蚀的 RIE(Reactive Ion Etching) 将上述树脂平坦化膜的全部和 SiO<sub>2</sub> 膜 4 的一部分腐蚀(图中未示)，平坦化之后，通过使用 SiH<sub>4</sub> 和 N<sub>2</sub>O 的混合气体的等离子 CVD，堆积作为栅极绝缘膜的膜厚约为 60nm 的 SiO<sub>2</sub> 膜 7。

接着形成 SiO<sub>2</sub> 膜 7 上的栅极电极 6，从而可以得到由栅极电极 6，作为栅极绝缘膜的 SiO<sub>2</sub> 膜 7，以及非单晶硅薄膜 5' 构成非单晶硅薄膜晶体管 1a。

之后的作为层间平坦化绝缘膜的 SiO<sub>2</sub> 膜 8 的形成，接触通孔 21 的开口，以及金属配线 22 的工序与上述实施例 1、2 相同，省去其说明。

如上所述，本实施例的半导体装置 4 的制造方法，在双极型的单晶硅薄膜晶体管 16b 形成后，形成由多晶硅薄膜构成非单晶硅薄膜晶体管 1a，因此在平坦的绝缘基板上可以直接地结合，结合工序容易，可以提高双极型单晶硅薄膜晶体管 16b 的对于绝缘基板 2 的结合强度。

此外形成的单晶硅薄膜晶体管为双极性，因此不需要平坦化处理，降低了制造成本。此外与 MOS 型的场合同样，也可预先将金属配线的一部分形成进行平坦化处理，这样可以提高集成化密度。

本实施例的半导体装置 40 中，如图 3(f)所示，没有分离晶体管群，如果发生漏电或干扰的问题时，当然可以进行元件分离。

#### 实施例 4

以下说明本发明的单晶硅基板，半导体装置以及其制造方法的其他实施例，图 5(a)到图 5(f)为表示本发明的半导体装置的其他实施例的半导体装置的制造工序的剖面图。为了方便说明，对于与实施例 1 到 3 中说明的部件具有相同机能的部件，省略其说明。

本实施例的半导体装置 50 在一枚的绝缘基板上，形成 MOS 型的单晶硅薄膜晶体管，和 MOS 型的非单晶硅薄膜晶体管，这一点与实施例 1 的半导体装置 20 相同，另一方面，使用连续晶界硅(Continuous Grain Silicon)作为非单晶硅薄膜，这一点与上述实施例 1 的半导体装置 20 不同。

这样作为非单晶硅薄膜使用连续晶界硅，相比于从而多晶硅构成的非单晶硅薄膜晶体管，可以得到特性高的非单晶硅薄膜晶体管 1b。

本实施例的半导体装置 50 在绝缘基板 2 上具有， $\text{SiO}_2$  膜 3，MOS 型的非单晶硅 Si 薄膜晶体管 1b，MOS 型的单晶硅薄膜晶体管 16a。

特别是非单晶硅薄膜晶体管 1b 作为非单晶硅薄膜 52'，采用结晶成长方向一致的多晶硅，即所谓连续晶界 Si(Continuous Grain Silicon)而形成。

相对于现有的连续晶界硅区域中形成的 N 通道 TFT 的约  $100\text{cm}^2/\text{V}\cdot\text{sec}$  的迁移率，形成本实施例的半导体装置 50 的液晶显示用有源矩阵基板中，单晶硅薄膜 14a 区域上形成的 N 通道 TFT 可以得到约  $550\text{cm}^2/\text{V}\cdot\text{sec}$  的迁移率，由此，可以得到相比于现有技术可以进行高速应答的有源矩阵基板。

通过该液晶表示用有源矩阵基板，相比于驱动器与非单晶硅薄膜 52' 的区域上形成的设备要求 7 到 8V 的信号和电源电压，单晶硅薄膜 14a 的区域上形成的设备的定时控制器可以在 2.7V 的信号和电源电压下稳定地动作。

这里利用图 5(a)到图 5(f)说明上述半导体装置 50 的制造工序。

本实施例中与上述实施例 1 相同，首先使用科宁公司的 code1737(碱土类 - 铝硼硅酸玻璃)作为基板 2，如图 5(a)所示，在其表面上整体上通过使用 TEOS 和  $\text{O}_2$  的混合气体的等离子 CVD 堆积约 100nm 的  $\text{SiO}_2$  膜 3。

进而如图 5(b)所示， $\text{SiO}_2$  膜的表面上整体上通过使用  $\text{SiH}_4$  和  $\text{N}_2\text{O}$  的混合气体的等离子 CVD 堆积约 200nm 的  $\text{SiO}_2$  膜 52。

$\text{SiO}_2$  膜 52 在规定的区域内，通过腐蚀形成开口部之后，为了控制上述开口部中非晶硅薄膜 51 的表面的亲水性，将非晶硅薄膜 51 的表面较薄

地氧化并形成氧化膜( $\text{SiO}_2$ 膜)，其上旋转涂覆醋酸Ni水溶液。

接着，在 $580^{\circ}\text{C}$ 的温度下约进行8小时的固相成长，促进结晶成长方向一致的结晶成长的多晶硅，即连续晶界硅(Continuous Grain Silicon)成长，形成连续晶界硅薄膜51'。

进而如图5(c)所示，除去连续晶界硅薄膜51'上的 $\text{SiO}_2$ 膜52。之后腐蚀除去连续晶界硅薄膜51'的规定区域。

其中与实施例2的场合相同，通过低能量(约3keV)的卤化物的气体的GCIB使表面平坦化，进一步改善了结合性。本实施例的半导体装置50中，与上述实施例1同样通过劈开、薄膜化，制作MOS型的单晶硅薄膜晶体管的构造，准备以规定的浓度、规定的能量注入氢离子的单晶硅基板10a。

接着如图5(d)所示，将形成连续晶界硅薄膜51'的绝缘基板2以及单晶硅基板10aSC-1洗净并活化后，将单晶硅基板10a的氢离子注入部15侧与上述腐蚀除去的区域，在室温下采用与实施例1同样的方法进行对准，紧密结合。

此时，连续晶界硅薄膜51'和单晶硅基板10a之间至少离开 $0.3\mu\text{m}$ ，优选 $0.5\mu\text{m}$ 以上。这样防止了后述的制造工序中使用的Ni,Pt,Sn,Pd等的金属原子向单晶硅薄膜14a的区域扩散，可使单晶硅薄膜晶体管的特性稳定化。

之后通过激光照射或者含有约 $700^{\circ}\text{C}$ 以上的最高温度的退火，将单晶硅基板10a的氢离子注入部15的温度升温至氢原子从单晶硅脱离的温度以上，从而如图5(e)所示，将单晶硅基板10a的不要部分11以氢离子注入部15为界劈开剥离。

下面将绝缘基板2上残余的单晶硅薄膜10a的损伤层通过各向同性等离子腐蚀或者液体腐蚀除去，其中，该层通过液体腐蚀采用氢氟酸被轻腐蚀约 $10\text{nm}$ 。

由此，绝缘基板2上，可以分别形成膜厚约 $50\text{nm}$ 的连续晶界硅薄膜51'和单晶硅薄膜14a。

下面将连续晶界硅薄膜51'上的不要部分腐蚀除去。

下面在设备的活性区域附近的 $\text{SiO}_2$ 膜处形成开口部，使用 $\text{SiO}_2$ 膜作为掩膜，为了促进结晶成长将添加的Ni除气，从而注入高浓度的P<sup>+</sup>离子( $15\text{keV}$ ,  $5*10^{15}/\text{cm}^2$ )，通过RTA在约 $800^{\circ}\text{C}$ 的温度下进行一分钟的热处理。

留出物理上的空间，使单晶硅薄膜 14a 中 Ni 原子不扩散，处理过程中具有混入极少量的 Ni 原子的可能性，其中，单晶硅薄膜 14a 的活性区域也优选进行除气，在以空间优先的场合下，可以省去作为一种设计上的选择的除气。

留下成为设备的活性区域的部分，将不要的连续晶界硅薄膜 51' 的不要部分和单晶硅薄膜 14a 腐蚀除去，得到岛状的图案。

下面使用 TEOS 和氧气的混合气体通过 P-CVD 堆积膜厚约为 350nm 的 SiO<sub>2</sub> 膜，将其通过各向异性腐蚀的 RIE 腐蚀约 400nm，之后通过使用 SiH<sub>4</sub> 和 N<sub>2</sub>O 的混合气体的等离子 CVD，形成作为栅极绝缘膜的膜厚约为 60nm 的 SiO<sub>2</sub> 膜 7。

此时，连续晶界硅薄膜 51' 的图案以及单晶硅薄膜 14a 的图案的端部上形成侧壁。

之后形成作为层间平坦化绝缘膜的 SiO<sub>2</sub> 膜，对于接触通孔 21 的开口以及金属配线 22 的工序，因与上述实施例 1, 2 相同所以省去其说明。

如上所述本发明的半导体装置 50 的制造方法在作为非单晶硅薄膜的多晶硅形成后，形成单晶硅薄膜晶体管 16a，之后形成作为非单晶硅薄膜晶体管 1b 的栅极绝缘膜的 SiO<sub>2</sub> 膜 7，减少了 SiO<sub>2</sub> 膜的数量，简化了工序。

### 实施例 5

以下说明本发明的单晶硅基板，半导体装置以及其制造方法的其他实施例，图 6(a)到图 6(h)为表示本发明的半导体装置的其他实施例的半导体装置的制造工序的剖面图。为了方便说明，对于与实施例 1 到 4 中说明的部件具有相同机能的部件，省略其说明。

本实施例的半导体装置 60 在一枚的绝缘基板 2 上形成双极型的单晶硅薄膜晶体管和 MOS 型的非单晶硅薄膜晶体管，这一点与实施例 3 的半导体装置 40 一样。

另外作为单晶硅薄膜晶体管，形成底栅极的构造的晶体管，这一点与上述实施例 3 的半导体装置 40 不同。

本实施例的半导体装置 60 对于，到图 2(c)所示的单晶硅基板的结合、劈开分离为止的工序，和实施例 2 的半导体装置 30 同样的制造工序，制作的半导体也与半导体装置 30 具有相同的构造。

之后的工序中，如图 6(i)所示，单晶硅设备部分的元件分离后，整体地

形成层间绝缘膜，在其上形成非晶硅的 TFT 以及电路而形成栅极电极 6，在其上形成岛状的栅极绝缘膜 62，无掺杂的非晶硅 63，进而形成作为 N<sup>+</sup> 非晶硅薄膜 64 以及源、漏极的配线的金属配线 65。

图中虽然未示出，为了进行液晶显示等，进而在其上形成保护绝缘膜，平坦化膜，用于显示的透明导电膜。

参照图 6(a)到图 6(h)说明上述半导体装置 60 的制造方法。

首先如图 6(a)所示作为绝缘基板 2，使用科宁公司的 code1737(碱土类 - 铝硼硅酸玻璃)，在其表面整体上通过使用 TEOS 和 O<sub>2</sub> 的混合气体的等离子 CVD，堆积膜厚约为 50nm 的 SiO<sub>2</sub> 膜 3。

这样与上述实施例 3 中的半导体装置 40 同样，准备预先劈开薄膜化后制作成为双极型的单晶硅薄膜晶体管构造的 16b 的单晶硅基板 10b，以规定浓度规定的能量注入氢离子后，将其以规定的尺寸切断。

将绝缘基板 2 和切断的单晶硅基板 10bSC-1 洗净活性化之后，如图 6(b) 所示，将单晶硅基板 10b 的氢离子注入部 15 侧用与实施例 1 同样的方法排列于规定的位置，在室温下使其紧密的结合。虽然图中未示，在单晶硅基板上也可以预先设定金属配线，该场合下具有高集成化的优点。

其后采用 400°C ~ 600°C 的温度进行处理，在这里采用约 550°C 的温度，将单晶硅基板 10b 的氢离子注入部 15 的温度提高到氢离子从硅脱离的温度，如图 6(c)所示，从而可以以氢离子注入部 15 为界将单晶硅基板 10b 劈开剥离。预先形成金属配线的场合下，如果忽视小丘的形成，在该温度即使金属是 Al 类合金，只要在熔点之下，就可以使用。

其后将绝缘基板 2 上残余的单晶硅薄膜 14b 的一部分腐蚀除去，将单晶硅薄膜 14b 加工为岛状之后，将表面的损伤层通过各向同性等离子腐蚀或者液体腐蚀除去，其中，该层通过液体腐蚀采用氢氟酸被轻腐蚀 10nm。

这样绝缘基板 2 上形成了膜厚约为 50nm 的单晶硅薄膜 14b 构成的 MOS 型的薄膜晶体管的一部分。

之后如图 6(d)所示，绝缘基板 2 的全面上通过采用 SiH<sub>4</sub> 和 N<sub>2</sub>O 的混合气体的等离子 CVD，堆积膜厚约为 200nm 的 SiO<sub>2</sub> 膜(层间绝缘膜)61。

进而在其全表面上通过喷涂堆积 TaN 薄膜，加工为规定的图案，形成栅极电极 6 以及栅极总线等的栅极层的配线。

栅极层的配线材料不限于本材料，对应于电阻，耐热性，与后序的制

造过程的适合性，可以选择 Al 或 Al 合金等种种的金属材料。

如图 6(e)所示，通过采用 SiH<sub>4</sub> 和 NH<sub>3</sub> 的混合气体的等离子 CVD，形成作为栅极绝缘膜的膜厚约为 200nm 的氮化硅膜 62。接着在其上通过 SiH<sub>4</sub> 和 PH<sub>3</sub> 的混合气体，顺次连续地堆积掺杂了 P 的膜厚约为 30nm 的 N<sup>+</sup> 非晶硅膜 64。

接着如图 6(f)所示，无掺杂与掺杂 P 的非晶硅膜被腐蚀为岛状，并留下成为晶体管的部分，进而如图 6(g)所示，作为其上用于源极总线配线的金属膜 65，通过喷涂堆积 T 薄膜，加工为规定的图案。

用于源极总线配线的金属膜 65，并不限定于 Ti，对应于电阻，耐热性，与后序的制造过程的适合性，可以选择 Al 或 Al 合金等种种的金属材料。

如图 6(h)所示，将非晶硅 63 的岛状的图案的规定(源极到漏极间的通道部分)的区域的 N<sup>+</sup> 层(无掺杂层的一部分也一起被腐蚀)腐蚀除去，形成非晶硅 TFT。

之后通过作为保护绝缘膜的使用 SiH<sub>4</sub> 气体和 NH<sub>3</sub> 气体的等离子 CVD，堆积约 200nm 的氮化硅膜。

之后与使用通常的非晶硅的有源矩阵基板的制造工序一样，例如树脂层间膜的形成通过显示用透明电极的形成，完成液晶显示中采用的有源矩阵基板。

本实施例的半导体装置 60 如下所述，作为非单晶硅薄膜晶体管 1c，使用非晶体硅，使非单晶硅薄膜的制造工序简单化，半导体装置 60 低成本化。此外通过作为非晶硅的特征的闭合电流特性，半导体装置 60 可以用于低耗电型的 LCD。

非单晶硅薄膜晶体管 1c 使用非晶硅作为非单晶硅薄膜，但并不限于此，也可为多晶硅薄膜或者连续晶界硅薄膜。

进而非单晶硅薄膜晶体管 1c 的构造中，绝缘基板 2 侧上配置有栅极电极 6，即所谓底栅极的构造。非晶硅的形成变得容易，工序简化生产率提高，并实现了半导体装置的低成本化。

非单晶硅薄膜晶体管 1c 为底栅极构造，但并不限于此，也可以从基板侧按照非单晶硅，栅极绝缘膜，栅极的顺序而形成。

上述实施例 1 到 5 中说明的各半导体装置如图 7 所示，可以作为具有显示部 72 的有源矩阵基板 70 上形成的高机能电路部(高速 DAC，高速的定

时控制器，图像处理电路)71 而形成。另外也可将该有源矩阵基板 70 用于显示面板形成显示装置。

上述实施例 1 到 5 的单晶硅薄膜晶体管 16a, 16b, 也可在其栅极层上层通过高熔点金属形成配线层。

这里使用 TiW 合金形成需要进行细微加工的电路部分的配线，进而通过 TEOS 或 SiH<sub>4</sub> 和 N<sub>2</sub>O 的气体等的 CVD, PECVD 形成层间绝缘膜之后，通过 CMP 进行平坦化，其中也可将氢离子以规定的能量规定的浓度注入。

这样在基板上预先形成金属配线的单晶硅薄膜晶体管，形成氧化膜厚通过进一步形成金属配线，可以得到双金属配线构造的半导体装置，形成进一步高集成密度的高机能电路。

其中高熔点金属的配线层如果对于单晶硅基板的劈开剥离时的热处理温度具有耐热性即可，可以使用多晶硅，各种金属的硅化物，Ti, W, Mo, TiW, TaN, Ta 等材料。进而使用激光进行单晶硅基板的劈开剥离时，耐热性也可较低。

本发明不限于上述实施例中说明的内容，例如非单晶硅形成法，层间绝缘膜的材料，膜厚等，也可以采用本领域人员所公知的其他方法实现。

由单晶硅形成的半导体设备也不限于 MOS 型晶体管，双极性晶体管，例如也可以为 SIT, 二极管等。

例如上述单晶硅薄膜设备优选具有，MOS 型单晶硅薄膜晶体管，以及含有肖特基型或 PN 结合型的二极管的图像传感器或者 CCD 型图像传感器。这样的包含有 CCD 型图像传感器和 PN 结型二极管的半导体装置的一例，如图 20 的剖面图所示。这样使用单晶硅薄膜 14c 形成图像传感器 17，也可以与图中未示的 MOS 型单晶硅薄膜晶体管一起设置在绝缘基板 2 上。其中运送栅极 12a 的材料使用与上述 MOS 型单晶硅薄膜晶体管的栅极材料相同的材料，由此，可以单独地在不同区域中集成化不同设计或构造的的薄膜设备，可以容易地集成现有的方法中极难共存的图像传感器等的 CMOS 设备与构造不同的设备，从而发明了现有技术中不可能的高机能设备。

本发明的半导体装置可以将这样的特性不同的多种的半导体设备在同一玻璃基板上一体地集成化，这即为本发明重要的优点。

此外上述实施例 1 到 5 中，列举了形成具有两种不同特性的薄膜硅晶体管的例子，本发明并不限于此，也可在一枚基板上形成三种以上特性

不同的设备。

例如构成作为单晶硅薄膜晶体管形成 MOS 型晶体管以及双极性晶体管，作为非单晶硅薄膜晶体管形成 MOS 型晶体管的半导体装置的场合下，可以在一枚基板上形成具有三种特性的半导体装置，从而得到更高性能，高机能的半导体装置。这样的半导体装置的一例如图 19 所示。该图 19 相当于上述实施例中图 1(f)到图 3(f)所示的制造的一工序的剖面图。

此外该半导体装置中，优选单晶硅构成的 MOS 型薄膜晶体管的单晶硅薄膜，相比于双极型薄膜晶体管的单晶硅薄膜的膜厚小的情况。

通常 MOS 型薄膜晶体管的膜厚薄时容易得到良好的特性，双极型薄膜晶体管的膜厚较厚时可以得到良好的特性。

对于单晶硅薄膜构成的 MOS 型薄膜晶体管，其栅极线宽优选在  $1\mu\text{m}$  以下。此外对于单晶硅薄膜构成的双极型薄膜晶体管，其基极宽优选在  $2.5\mu\text{m}$  以下。

进而基极宽更加优选在  $1\mu\text{m}$  以下。基极宽越窄，少数载流子的扩散通过效率越好时间越短。

由此，晶体管的开关速度加快。

#### 实施例 6

以下说明本发明的单晶硅基板，半导体装置以及其制造方法的其他实施例，为了方便说明，对于与实施例 1 到 5 中说明的部件具有相同机能的部件，省略其说明。

本发明的实施例中，在实施例 1 到 5 的半导体装置中，单晶硅基板的结合前的厚度小与  $100\mu\text{m}$  约为  $70\mu\text{m}$ ，其中单晶硅基板的结合前的厚度以外都使用相同的材料，方法，玻璃基板和硅基板的结合性在任何场合下都很好，特别是大幅地降低了基板的四个角的结合不良。

本实施例中，采用 IC 卡中使用的研磨法将注入氢离子后的厚度减少。单晶硅的厚度从结合性的观点来看越薄越好，考虑到操作的容易性，优选  $50\mu\text{m}$  到  $100\mu\text{m}$  左右。

上述实施例 1 到 6 中，说明了 MOS 型的晶体管，本发明的 MOS 型晶体管没有限定，例如即使 MIS 型的晶体管，可以得到与使用 MOS 型的晶体管同样的效果。

这里 MIS 型的晶体管是指具有，使用作为栅极绝缘膜的氮化硅膜，所

以通过介电常数较高的栅极绝缘膜，即使相同的膜厚电场效果也可以增强，虽然栅极的漏电增加但可以在低电压下动作等的特性晶体管。

### 实施例 7

以下说明本发明其他的实施例。

上述实施例中说明了单晶硅基板上形成半导体元件构造之后，单晶硅基板分断(separation)成为绝缘基板上的单晶硅薄膜的情况。本发明不限于此，将没有形成半导体元件构造的单晶硅基板分断成为绝缘基板上的单晶硅薄膜，之后单晶硅薄膜上形成板弹体元件构造。

本实施例的 SOI 基板 101 如图 10 所示，由将透光性基板(绝缘基板)102 与单晶硅薄膜基板 105 结合形成。

详细地，透光性基板 102 中积层有氧化硅膜(绝缘膜)103。该透光性基板 102 例如为透光性非晶硅高应变点无碱玻璃基板，使用例如科宁公司的科宁(注册商标)#1737 玻璃那样的碱土类 - 铝硼硅酸玻璃。此外单晶硅薄膜 105 中覆盖有氧化硅膜(覆盖膜)104。形成结合氧化硅膜 103 和氧化硅膜 104 的结合部，这样根据图 11(a)到图 11(g)说明形成该 SOI 基板 101 的顺序。

对于图 11(a)中所示的透光性基板 102，氧化硅膜 103 成膜。由此，如图 11(b)所示，透光性基板 102 上氧化硅膜 103 成为层积的状态。设置该氧化硅膜 103 是因为透光性基板 102 单独的润湿性(亲水性)不充分。

此外氧化硅膜 103 形成为约 100nm 的膜厚，该氧化硅 103 优选形成为例如 40 到 300nm 的厚度。成膜方法没有特别的限制，通过例如等离子化学气相成长法(等离子 CVD(Chemical Vapor Deposition)法)，在真空中，将 TEOS(Tetra Ortho Silicate)气体和氧气混合，在 320°C 下通过等离子放电，形成约 100nm 左右(TEOS-O<sub>2</sub> 等离子法)。

此外氧化硅膜 103 在较低的温度(300 到 400°C)的非热平衡下成膜，硅和氧的组成比不为正确的 1: 2，例如为 1: 1.9 的情况，即本实施例的氧化硅膜 103 为所谓的氧化硅膜，SiO<sub>2</sub> 类绝缘膜，再例如 900°C 左右氧化时，在热平衡下进行反应，硅和氧的比例为 1: 2。

此时氧化硅 103 的表面凹凸中的凹凸的最大倾斜面与基板平面所成的角度的正切(tangent)为 0.06 以下。详细地，例如氧化硅膜 103 的表面的 1 到 5μm 见方的范围测定的高度为 5nm 以下的凹凸的最大倾斜面，与透光性基板 102 表面所成的角度的正切最大为 0.06 以下，对于该表面的凹凸状态

在后面叙述。

另外，如图 10 所示单晶硅薄膜 105 由图 11(c)所示的单晶硅基板 106 做成。

单晶硅基板 106 表面经过热处理，如图 11(d)所示被氧化膜硅 104 覆盖。氧化硅膜 104 的氧化膜的厚度约为 100nm，该氧化硅膜 104 的氧化膜厚度优选为 5nm 到 300nm。该氧化膜厚更加优选 40 到 300nm，该氧化硅膜 104 为  $\text{SiO}_2$  类绝缘膜。

下面如图 11(e)所示，在箭头方向将氢离子注入单晶硅基板 106 的规定的面(氢离子的注入面)，其中图 11(e)所示，氢离子注入面(氢离子注入部)110 设定在规定的深度。

接着如图 11(f)所示，将图 11(c)所示的透光性基板 102 和图 11(e)所示的单晶硅基板 106 分别用 SC1 液洗净，干燥后结合，下面对于洗净干燥进行说明。

本实施例中被作为覆盖膜的氧化硅膜 103 覆盖的透光性基板 102 和，表面氧化处理并覆盖有氧化硅膜 104 的单晶硅基板 106，无粘合剂的结合在一起，从而各个膜的的表面状态，表面的清洁度，表面的活性度非常重要。

这里无粘合剂的结合是通过 van der Waals 力的作用，电气双极子的作用，氢原子结合的作用而实现的。其中再结合的基板之间的上述三种作用的平衡相似的场合下，结合比较容易。

首先将由氧化硅膜 103 覆盖的透光性基板 102 和，表面氧化处理并附该氧化硅膜 104 的单晶硅基板 106 由 SC1 液洗净。

SC1 液为将市场上的氨水( $\text{NH}_4\text{OH}$ :30%溶液)和过氧水( $\text{H}_2\text{O}_2$ :30%溶液)和纯水以规定的比例制成，例如将上述各溶液以 5: 12: 60 的比例混合

这样做成的 SC1 液中，将透光性基板 102 和单晶硅基板 106 浸泡 10 分钟。

例如“超洁净 ULSI 技术”(大见忠弘著，培风馆，P.172)中所述，氨水轻腐蚀氧化硅表面，所以优选长时间浸泡。

之后通过使用纯水的流水，洗净 10 分钟，完成洗净。该纯水的电阻系数例如为  $10\text{M}\Omega\text{cm}$  以上。之后通过旋转干燥剂迅速干燥。接着将氧化硅膜 103 覆盖的透光性基板 102 和，表面氧化处理并覆盖有氧化硅膜 104 的单基硅基板 106 结合。

下面分断单晶硅基板 106，形成单晶硅薄膜 105 的时候，在 600°C，进行 30 分钟的电路退火或灯退火。由此，如图 11(g)所示，氢离子注入面 110 处单晶硅基板 106a 分离，剥离，形成了具有单晶硅薄膜 105 的 SOI 基板 101。该场合下结合部的结合性没有恶化。

SOI 基板 101 表面的单晶硅薄膜 105 设定为使硅膜厚为优选的 300nm。此外单晶硅薄膜 105 的基板面的方位设定为(100), (110), 或(111)。由此，可以得到具有镜面的十分平坦的面，即可以制造具有无需表面研磨的平坦的硅膜面的 SOI 基板。

这里根据图 12 说明图 11(b)中氧化硅膜 103 的表面状态。

透光性基板 102 上的氧化硅膜 103 如图 12 所示，表面上有凹凸。该表面像为从氧化硅膜 103 的表面的 AFM(Atomic Force Microscope)像，抽出特定的直线上的剖面上的凹凸的数据。

本实施例的氧化硅膜 103 的表面凹凸的最大倾斜角，与基板表面所成的角度的正切(tangent)为 0.04 以下。其中透光性基板 102 的表面与图 12 中高度为 0 的点划线平行。

将这样形成的氧化硅膜 103 和氧化硅膜 104 覆盖的单晶硅基板 106SC1 洗净，通过纯水洗净后干燥并结合，将氧化硅膜 103 和氧化硅膜 104 以较小的力结合，其中在结合时只有在最初加力，之后产生自发的结合力。该自发的结合力以下称为具有自我结合性。

其中，例如现有的构成中，使用图 16 表示基板上的氧化硅膜的剖面的一例。该场合下在基板上氧化硅膜以 500nm 以上的膜厚形成。如图 16 所示，表面凹凸的最大倾斜面与基板表面所成的角度的正切为 0.06 以上。该场合下现有的氧化硅膜的表面的凹凸的绝对值(从基板表面其垂直方向的变动)，与例如图 12 所示的本实施例的氧化硅膜 103 的表面凹凸的绝对值为相同程度或者要小一些。

这里图 16 所示的氧化硅膜层积的基板和，单晶硅片结合的场合下，不能自发地结合，即表面凹凸的最大倾斜角与基板所成的角的正切为 0.06 以上时，没有自我结合性。

单晶硅基板 106 上的氧化膜 104 是在原本平坦的单晶硅基板 106 上，在热平衡下形成的热氧化膜。即例如市场上的单晶硅基板 106 一般具有平坦性，由此，形成规定的厚度的覆盖膜的场合下的平坦度在一定程度上可

以预测，该氧化硅膜 104 在膜厚到 500nm 为止，可以得到一定程度的平坦性。

这样对于由微粗糙度产生表面凹凸，结合力下降，即使改善结合前的洗净条件，也不能得到充分的结合力。从而，在剥离、分离中单晶硅薄膜的膜脱落也不可避免，即存在只靠洗净并不能解决问题的情况。

对于表面凹凸的最大倾斜角的正切为 0.06 以上的氧化硅膜层积的基板，利用化学机械研磨法(CMP(Chemical Mechanical Polishing))等进行表面研磨。由此，可以使覆盖的氧化硅膜的表面凹凸的最大倾斜角与基板表面所成的角度的正切减小为小于 0.06，优选小于 0.04。该场合下，氧化硅膜层积的基板和单晶硅片可以对接结合。

本实施例的氧化硅膜 103 覆盖的透光性基板 102，在由 SC1 洗净液洗净后，测量润湿性，具体地如图 13 所示，利用接触角测定装置测定对于水 W 的接触角  $\theta$ 。

利用接触角测定装置，在断面观察方向上，拍摄水 W 滴在氧化硅膜 103 的表面上的瞬间的图像。其中，将水滴端部与氧化硅膜 103 表面接触处的切线(点划线)与透光性基板 102 的表面所成的角度作为接触角  $\theta$  进行测定。

透光性基板 102 以及水滴 W 设定为 25°C，从滴下后瞬时的图像测定接触角，滴下的水量为 1 微升。作为滴下的水 W 采用大塚制药株式会社的“注射用蒸馏水”。

具有如图 12 所示的表面凹凸，覆盖有本实施例的氧化硅膜 103 的透光性基板 102，在 SC1 洗净后测定为对于水 W 具有 10°以下的接触角。该场合下，如上所述氧化硅膜 103 与透光性基板 102 的表面凹凸的最大倾斜角所成的角度的正切为 0.04 以下。

此外进行氧化处理，对于在氧化硅膜 104 处覆盖的单晶硅基板 106，与透光性基板 102 同样测定润湿性。该场合下，在 SC1 洗净后测定为对于水 W 具有 10°以下的接触角。

接着如上所述，将氧化硅膜 103 和氧化硅膜 104 在干燥后对接，其仅靠较小的力并通过自我结合性结合在一起。

这里结合在一起后的结合力，可以如下地进行估计，即结合力的评价可以通过将结合在一起的薄膜从端部剥落的实验来进行。根据 E.M.Lifshitz 与 L.D.Landau 所著的“弹性理论”(左藤常三译 东京图书)从物体上对于厚

$h$  的薄膜，在剥离面上克服表面牵引力，通过其中作用的外力进行剥离的时候，每单位长度的结合力  $\alpha$  为

$$\alpha = \{Eh^3/24(1-\sigma^2)\}(\theta^2\zeta / \theta x^2)^2$$

其中  $E$  为薄膜的杨氏系数， $\sigma$  是薄膜的泊松比， $h$  是薄膜的厚度， $x$  是薄膜结合的平面的横向的轴， $\zeta$  是薄膜的法线方向的剥离位移，图 17 中概略地表示了其式样，如图 17 所示从结合面端部( $x=0$ )，在横向移动  $x$  的坐标处的空隙厚为  $\zeta$ ， $\zeta$  和  $x$  为变量。另外图 17 中带 T 起赋予从物体 28 剥离薄层 29 的力的作用。即从物体 28 利用带将薄层 29 剥离的场合下，薄层 29 的从结合面开始的位移  $\zeta$  的 2 阶微分赋予结合力。这样可以通过求出  $\zeta$  大小的法线方向的位移的对于  $x$  轴的 2 阶偏微分系数得到结合力  $\alpha$ 。

这里如上述图 11(f)所示，表面凹凸的最大倾斜角与基板面所成的角度的正切(tangent)为 0.06 以下的透光性基板 102 和单晶硅基板 106 对接的场合下，结合力由上述方法评价，此时可以得到 0.6N / m 以上大小的结合力。

此外例如表面凹凸的最大倾斜角与基板所成的角度的正切(tangent)为 0.06 以上的场合中，没有自我结合性，该场合下的结合力仅为 0.2N/m。

这里的结合力的评价是在结合之后，通过热处理增强结合力之前进行的。即例如之后通过进一步进行热处理，可以进一步提高结合力。这样本实施例的 SOI 基板 101 在氧化硅膜 103 和氧化硅膜 104 结合之后，再通过热处理增强结合力之前，结合力为 0.6N/m 以上。因此，例如与结合后的结合力为 0.2N/m 左右的 SOI 基板上进行热处理的场合相比，在热处理之后，可以得到更大的结合力。

此外作为透光性基板 102 的覆盖膜的氧化硅膜 103 如上所述，通过通入 TEOS 气体与氧气的混合气体而成膜的等离子化学气相成长法，在 320°C 左右的温度下制作。即通过等离子化学气相成长法成膜的氧化硅膜 103 是与作为覆盖膜的氧化硅膜 104 容易结合的膜。

此外该覆盖膜可以通过，向目标氧化硅通入氩气和氧气，并利用 RF 反应性喷涂而制作，该场合下，微粗糙度导致的表面凹凸所成的角的正切约为 0.06 以上，另外，与水 W 的接触角  $\theta$  为 10° 以上。该场合下即使对接层积覆盖膜的基板和单晶硅片，也不能通过自我结合性进行结合。

如上所述本实施例中的 SOI 基板 101 为，将具有与透光性基板 102 的表面所成的角度的正切为 0.06 以下的值的表面凹凸的氧化硅膜 103，与作

为覆盖膜的氧化硅膜 104 相结合而形成。

SOI 基板 101 构成为，使氧化硅膜 103 的表面和氧化硅膜 104 的表面对于水 W 的接触角  $\theta$  为  $10^\circ$  以下。

SOI 基板 101 的氧化硅膜 103 通过使用 TEOS 气体和氧气的混合气体的等离子化学气相成长法成膜。

通过该构成氧化硅膜 103 和氧化硅膜 104 的结合力可以为 0.06 以上。

SOI 基板 101 由于以高结合力构成，因此不会发生剥落。此外由于不发生剥落，提高了合格率并降低了成本。

这里为了结合氧化硅膜 103 和氧化硅膜 104，其各自的膜的表面状态，表面的清洁度，表面的活性度很重要。此外该结合力通过 van der Waals 力作用，电气双极子作用，氢原子结合作用而实现。当这些作用的平衡相似时，结合变得容易。通过上述构成，可在对接的表面之间使这些作用的平衡相似，从而如上所述提高结合力。

下面说明绝缘基板上除了单晶硅薄膜，还具有多晶硅膜的 SOI 基板的一例。该场合下，例如绝缘基板的一部分上形成了多晶硅膜，其后部分地形成了单晶硅薄膜。

图 14(a)到图 14(h)为表示 SOI 基板的制造顺序的一例的剖面图。为了制造该 SOI 基板，首先如图 14(a)所示在透光性基板 102 上，如图 14(b)那样层积作为绝缘膜的氧化硅膜 113。

下面如图 14(c)所示，通过等离子化学气相成长法，通入甲硅烷气体和氢气，形成非晶硅膜 114。

接着进行脱氢退火，之后如图 14(d)所示通过箭头所示的受激准分子激光的照射等将制作多晶硅 TFT 处熔化。之后在该熔化区域进行多晶化，如图 14(e)所示，形成多晶硅膜 114a。

下面，为了通过影印形成承载单晶硅片的位置，腐蚀硅膜，除去多晶硅膜 114b。使余下的多晶硅膜 114a 如图 14(f)所示成为多晶硅区域 112。接着，通过 SC1 液，纯水洗净后，干燥。如图 14(g)所示将单晶硅基板 106 的氧化硅膜 104 对接到氧化硅膜 113 上。

之后与上述实施例同样，通过电炉或灯进行热处理，如图 14(h)所示，从氢离子注入面 110 处开始将单晶硅基板 106 剥离分离，得到单晶硅薄膜 105。

这里单晶硅薄膜 105 的膜厚如果设定为与多晶硅区域 112 相同，则在制作使用该多晶硅区域 112 和单晶硅膜 5 的 TFT 的过程中非常有用。

这里如上制作的 SOI 基板 111 为透光性基板，特别是可以容易地应用于显示装置。例如形成使用单晶硅薄膜 105 的薄膜晶体管。可以将该薄膜晶体管应用于 TFT 液晶显示(LCD: Liquid Crystal Display)装置,TFT 有机电致发光(OLED: Organic Light Emitting Diode)显示装置等显示装置中。

根据图 18 说明该显示装置的一例。

液晶显示装置 131 如图 18 所示，具有控制部 132，栅极驱动器 133，源极驱动器 134，液晶显示部 135 所构成的液晶显示面板 136，其中液晶面板 136 为利用上述 SOI 基板 111 制作的有源矩阵基板(半导体装置)。

相应于从液晶显示装置 131 的外部输入的图像输入信号，控制部 132 向栅极驱动器 133 以及源极驱动器 134 输送图像信号以及控制信号或时钟信号。栅极驱动器 133 将栅极驱动信号输出到液晶显示部 135 中，源极驱动器 134 相应于图象信号将源极驱动信号输出到液晶显示部 135 中。

这样使用 SOI 基板作为有源矩阵驱动的显示面板，可以使晶体管的特性均一化，稳定化，高性能化。此外使有源矩阵驱动器，周边驱动器，定时控制器等的系统的集成化成为可能。

使用 SOI 基板 111 制造薄膜晶体管(TFT)的顺序与通常的 TFT 的过程相同。

例如制造共面型的晶体管时，在 SOI 基板 111 上将硅膜岛形化，如图 15 所示形成作为  $\text{SiO}_2$  类的绝缘膜的栅极绝缘膜 122。

接着将栅电极绝缘膜 123 成膜，印刷电路图案之后，离子注入磷或硼，部分地得到低电阻硅膜 124(n+型或 p+型硅膜)。通过加热使其活性化退火之后，进行作为  $\text{SiO}_2$  类绝缘膜的层间绝缘膜 126 的成膜。通过栅电极膜 123 遮盖的部分成为通道区域 125。

层间绝缘膜 126 上开接触通孔之后，进行源极、漏极金属膜 127 的成膜，印刷电路图案。

这样如图 15 所示可以制造作为薄膜晶体管 121 的单晶硅 TFT，或部分单晶硅 TFT。

除此之外上述的多晶硅区域 112 中可以设置非单晶硅设备。代替多晶硅区域 112，作为非单晶薄膜，可以设置非晶硅薄膜，或连续晶界硅薄膜。

此外多晶硅区域 112 中形成作为非单晶设备的半导体元件构造之后，也可设置单晶硅薄膜 105，并形成单晶硅设备。此外基板 102 上设置单晶硅薄膜 105 之后，也可在基板 102 上设置非单晶硅薄膜。

上述实施例 1 到 6 的构成和本实施例的构成可以适当地组合使用。即例如可以将本实施例中说明的将绝缘基板和单晶硅薄膜间的结合力提高的构成，与上述实施例 1 到 6 的构成组合使用。

如上所述，本发明涉及制造集成电路或薄膜晶体管时使用的硅半导体，以及由硅半导体制造的晶体管设备中，使用作为形成该晶体管的半导体材料的单晶硅薄膜或者单晶硅膜和非单晶硅膜的晶体管元件的材料。详细地涉及 SOI 基板，显示装置以及 SOI 基板的制造方法。

这里在基板上集成形成晶体管等的元件构造的集成电路元件技术，随着计算机的普及发展起来。

该集成电路元件技术例如加工单晶硅基板，在基板上形成数亿个程度的晶体管。具体地将市场上的厚度不足 1mm 直径 200mm 左右的单晶硅晶片加工，在其上形成多个晶体管。

集成电路的领域中使用的 SOI 基板的目的在于，使由良好的晶体管制造的半导体元件的机能大幅提高，所以基板只要为绝缘膜即可，其是否透明，是否为晶质无关紧要。该领域中通过 SOI 基板制造晶体管时，元件完全分离，动作上没有限制，晶体管表现出了良好的高性能。

另一方面在本发明的显示装置中使用 SOI 基板的场合下，如上所述该 SOI 基板优选为透光性基板。

此外上述特开 2000-30996 号公报中记载的构成中，透光性基板上通过结合，分离、剥离形成透光性基板的场合下，单晶硅片的尺寸不一定与玻璃基板的尺寸一样大，最大直径为 12 英寸(300nm)左右。由此，通过该构成，存在基板全面上不能形成单晶硅薄膜的问题。

另一方面本发明的 SOI 基板中，如上述 SOI 基板 1 那样，可在大致基板全面上形成单晶硅薄膜。

本发明的半导体装置以及其制造方法的用途并不限于液晶显示装置，也可应用于有机 EL 等的其他的设备中，进而不仅作为显示设备，也可作为高性能集成电路而应用。

如上所述本发明的单晶硅基板在形成表面氧化膜，栅极图案，杂质离

子注入部之后，进行平坦化，具有以规定的深度注入规定浓度的氢离子的氢离子注入部。

由此，绝缘基板等上，本发明先将栅极或源极、漏极的杂质掺杂，或者基极、基电极、发射极等的杂质的掺杂结束，以规定的深度注入规定浓度的氢离子，结合表面平坦化、亲水化的单晶硅基板，通过加热到氢离子从硅脱离的温度之上，可以增强对于绝缘基板的结合强度，同时通过以氢离子注入部为界进行剥离，即使不使用粘合剂也可容易地形成MOS型的单晶硅薄膜晶体管。

从而例如在表面上形成多晶硅薄膜等的非单晶硅薄膜晶体管的绝缘基板上，结合本发明的单晶硅基板，由于形成MOS型的单晶硅薄膜晶体管，可以容易地得到非单晶硅构成的晶体管和单晶硅构成的晶体管在一个基板上的不同区域上形成的半导体装置。

此外本发明的单晶硅基板具有，在表面附近注入杂质离子的具有PNP结构造或NPN结构造的杂质离子注入部或扩散区域，以及在该杂质离子注入部或者该扩散区域上堆积的氧化膜。

通过上述构成，可以得到易于在其他的绝缘膜上形成的单晶硅膜构成的双极型薄膜晶体管。

由此，例如表面上形成多晶硅薄膜等的非单晶硅薄膜晶体管的绝缘基板上，结合本发明的单晶硅基板，形成双极型的单晶硅薄膜晶体管，从而可以容易地得到非单晶硅构成晶体管和单晶硅构成的晶体管在一枚基板上的不同区域上形成的半导体装置。

此外本发明的单晶硅基板在上述构成中，优选具有以上述规定的深度注入规定浓度的氢离子的氢离子注入部。

由此，对于绝缘基板等，将单晶硅基板结合在氧化膜堆积侧，通过在氢离子注入部中的劈开剥离，可以容易地得到双极型的单晶硅薄膜晶体管。

即本发明的单晶硅基板上，形成有表面上形成了双极型单晶硅薄膜晶体管的氧化膜，杂质离子注入部。并且在结合形成侧的规定深度具有氢离子注入部。

由此，在绝缘基板等上，结合本发明的单晶硅薄膜晶体管，通过加热至氢原子从硅脱离的温度以上，提高了对于绝缘基板的结合强度的同时，通过以杂质离子注入部附近形成的氢离子注入部为界进行劈开剥离，即使

不使用粘合剂，也可以容易地形成 SOI 构造的双极型单晶硅薄膜晶体管。

将本发明的单晶硅基板结合在，表面上形成多晶硅薄膜等的非单晶硅薄膜晶体管的绝缘基板上，形成单晶硅薄膜晶体管，从而可以容易地得到将非单晶硅构成的薄膜晶体管和单晶硅构成的薄膜晶体管，在一枚基板的不同区域上形成的半导体装置。

本发明的单晶硅基板在上述构成中，上述氧化膜优选膜厚形成为 200nm 以上。

通常  $\text{SiO}_2$  膜等的氧化膜的膜厚越厚，由表面电荷等的影响导致的性质和变动就减小。考虑到  $\text{SiO}_2$  膜形成工序的效率(氧化所需的时间)或不均匀，适当的值大致为 200nm 到 400nm。在重视变动的场合下，适当的值为 400nm 以上，在重视不均匀或效率的场合下，适当的值大致在 200nm 到 400nm，优选 250nm 到 350nm。这是由于结合的单晶硅基板和玻璃基板等的绝缘基板界面的污染或晶格的歪斜或不完整性导致的固定电荷的影响被减轻。

通过本发明，单晶硅构成的 MOS 晶体管中阈值的变动，和单晶硅构成的双极型 TFT 中的特性变动与接通电压都分别被抑制的较小较低。可以得到与  $\text{SiO}_2$  膜形成工序的效率和不均匀的平衡相适应的单晶硅基板。

此外本发明的 SOI 基板为绝缘基板上具有单晶硅薄膜的 SOI 基板，包含结合上述绝缘基板上形成上的绝缘膜和覆盖单晶硅基板的覆盖膜的结合部，上述单晶硅基板在氢离子注入部处分断成为单晶硅薄膜，上述绝缘基板为透光性基板，上述分断通过热处理进行。

上述 SOI 基板在绝缘基板上结合单晶硅基板，将该单晶硅基板在注入部分断、剥离成为单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到不存在变动的均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可以制造对于变动或性能要求较高的晶体管。

此外上述绝缘基板为光透性基板，可以用于显示装置的有源矩阵基板。

此外由于注入了质量比氧粒子轻很多的氢离子，单晶硅基板的全面的结晶质量可以保持为和注入前几乎不变，可以解决由于氧离子注入导致的硅的结晶质量低下的问题。

此外通过热处理，单晶硅薄膜的结晶质量可以返回到注入氢离子前的同等水准。该热处理在例如 600°C 下进行。该场合下不会发生结合部的结

合性的恶化。

本发明的 SOI 基板是绝缘基板上具有单基硅薄膜的 SOI 基板，包含结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜的结合部，上述单晶硅基板分断，成为上述单晶硅薄膜，上述结合部结合有，具有对于在上述绝缘膜表面的 1 到  $5\mu\text{m}$  见方的范围测定的高度为 5nm 以下的凹凸，与上述绝缘基板表面所成的角度的正切最大为 0.06 以下的表面的上述绝缘膜。

上述 SOI 基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离并得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到不存在变动的均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可以制造对于变动或性能要求较高的晶体管。

其中正切即 Tangent，特别是表示 Tangent 的绝对值。由此，上述构成相当于 Tangent 的绝对值为 0 以上 0.06 以下的值。上述绝缘膜表面上具有凹凸，该凹凸中倾斜最大的面和绝缘基板表面所成的角度的正切为 0.06 以下。详细地，例如绝缘膜表面的 1 到  $5\mu\text{m}$  见方的范围测定的高度为 5nm 以下的凹凸，最大倾斜面与绝缘基板表面所成的角度的正切约为 0.06 以下。

这样在凹凸较小的场合，可以增强绝缘膜和覆盖单晶硅基板的覆盖膜的结合力。

此外该正切更优选为 0.04 以下。该场合下可以进一步增强绝缘膜和覆盖单晶硅基板的覆盖膜的结合力。

由此，解决了由于透光性基板表面的微粗糙度导致的透光性基板和单晶硅基板的结合性的问题。

SOI 基板中结合绝缘基板和单晶硅基板的绝缘膜的表面状态，例如对于绝缘基板和单晶硅基板分离得到的表面凹凸，采用 AFM 方法进行评价。

本发明的 SOI 基板为绝缘基板上具有单晶硅薄膜的 SOI 基板，其包括结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜的结合部，上述单晶硅基板分断而形成上述单晶硅薄膜，上述绝缘膜的表面和上述覆盖膜的表面与水的接触角分别为 10°C 以下。

上述 SOI 基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离并得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的

单晶硅薄膜。此外可以得到不存在变动的均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可以制造对于变动或性能要求较高的晶体管。

其中上述绝缘膜为例如覆盖上述绝缘基板的氧化硅膜。此外上述覆盖膜为例如将上述单晶硅基板氧化而形成的氧化硅膜。此外该水可以为纯水也可以为蒸馏水。接触角原本就为 $0^\circ$ (完全润湿的场合)以上的值，上述构成相当于接触角为 $0^\circ$ 以上 $10^\circ$ 以下。

绝缘膜和覆盖膜与水的接触角为 $10^\circ$ 以下，对于水的润湿性良好。这样对于水的润湿性良好的表面具有互相良好的结合性。由此，例如绝缘膜和覆盖膜结合之后，即使通过热处理将单晶硅基板剥离分离，也不会发生结合在绝缘基板上的单晶硅薄膜的剥落。从而可以提供具有优良品质的 SOI 基板。

详细地，绝缘膜和覆盖膜结合时例如在无粘合剂下进行结合，该场合作下各个膜的的表面状态，表面的清洁度，表面的活性度非常重要。这里无粘合剂的结合是通过 van der Waals 力的作用，电气双极子的作用，氢原子结合的作用而实现的。其中再结合的基板之间的上述三种作用的平衡相似的场合下，结合比较容易。由上述的构成，由于将对于水的润湿性良好的表面之间进行结合，上述作用的平衡相似，从而可以提高结合性。

如上所述绝缘膜和覆盖例如通过以氨水和过氧水和纯水稀释的洗净液进行洗净，通过这样的洗净，除去了绝缘膜和覆盖膜的结合前的表面离子，可以得到可靠的清洁表面。由此，可以将表面上与水的接触角可靠地抑制为 $10^\circ$ 以下。

本发明的 SOI 基板为绝缘基板上具有单晶硅薄膜的 SOI 基板，其包括结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜的结合部，上述单晶硅基板在氢离子注入部处通过热处理分断而形成上述单晶硅薄膜，上述绝缘膜为通过使用 TEOS 气体和氧气的混合气体的等离子化学气相成长法而成膜的氧化硅膜。

上述 SOI 基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离并得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到不存在变动的均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可

以制造对于变动或性能要求较高的晶体管。

这里 TEOS 气体指的是 Tetra Ethyl Ortho Silicate 气体。

这样通过使用 TEOS 气体和氧气的等离子化学气相成长法成膜，得到的绝缘膜易于与覆盖膜结合，另一方面例如通过喷涂法使绝缘膜成膜的情况下，得到难以与覆盖膜结合的绝缘膜。

本发明的 SOI 基板，其为绝缘基板上具有单晶硅薄膜的 SOI 基板，其包括结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜(104)的结合部，上述单晶硅基板在氢离子注入部处通过热处理分断而形成上述单晶硅薄膜，上述结合部结合由氧化硅构成的 5nm ~ 300nm 厚的上述绝缘膜。

上述 SOI 基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离并得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到不存在变动的均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可以制造对于变动或性能要求较高的晶体管。

上述绝缘膜为 5nm ~ 300nm 厚的氧化硅膜。形成结合该绝缘膜的结合部。通过该构成，由于氧化硅膜的膜厚较厚，不易受透光性基板表面的固定电荷的影响，提高了 SOI 基板的单晶硅薄膜中形成的晶体管的特性。详细地，硅 - 栅极绝缘膜界面上即使形成固定电荷，单晶硅薄膜中也不会产生固定电荷的影响，因此可以进行适当的薄膜晶体管的阈值电压控制，并且可以得到规定的值的阈值电压。

此外上述绝缘膜的厚度更加优选为 40nm 到 300nm。如果为该厚度，就可以可靠地抑制透光性基板表面的固定电荷的影响，确实地提高晶体管的特性。

本发明的 SOI 基板，其为绝缘基板上具有单晶硅薄膜的 SOI 基板，其包括结合上述绝缘基板上形成的绝缘膜和覆盖单晶硅基板的覆盖膜的结合部，上述单晶硅基板在氢离子注入部处通过热处理分断而形成上述单晶硅薄膜，上述结合部的结合力为 0.6N/m 以上。

上述 SOI 基板在绝缘基板上结合单晶硅基板，该单晶硅基板在注入部处分断、剥离并得到单晶硅薄膜。由此，可以形成硅膜的结晶方位一定的单晶硅薄膜。此外可以得到不存在变动的均一的高性能的晶体管。即抑制了晶体管特性(阈值电压、迁移率)的变动性并达成了高迁移率的高性能，可

以制造对于变动或性能要求较高的晶体管。

这里的结合力指的是从物体上抵抗表面牵引力将薄层剥离时每单位长度必要的力。

这样如果提高结合力，就可以防止结合剥落。其中例如通过现有的构成，上述结合部的结合力为  $0.2\text{N}/\text{m}$  左右的值，但是通过本发明的构成结合力为  $0.6\text{N}/\text{m}$ ，从而防止了结合剥落。

这里结合力的评价，在结合之后由热处理等强化结合力之前进行。即例如在这之后通过进一步进行热处理，可以提高结合力。

本发明的 SOI 基板在上述构成中也可，在上述单晶硅基板中形成单晶薄膜设备，将上述单晶硅基板分断，而形成设置上述单晶薄膜设备的上述单晶硅薄膜。

即使通过该构成，也可以实现单晶硅薄膜上设置单晶薄膜设备的 SOI 基板。

本发明的 SOI 基板也可以具有，上述单晶硅薄膜构成的单晶硅薄膜设备，与上述绝缘基板上的与上述单晶硅薄膜不同的区域上设置的非单晶硅薄膜构成的非单晶硅薄膜设备。

即使通过该构成，也可以实现单晶硅薄膜上设置单晶硅薄膜设备，非单晶硅薄膜上设置非单晶硅薄膜的 SOI 基板。

此外本发明的半导体装置在绝缘基板的不同的区域上，分别形成非单晶硅薄膜设备，与单晶硅薄膜设备。

通过上述构成，对于例如定时控制器等要求较高性能的设备，使用单晶硅薄膜晶体管等单晶硅薄膜设备，对于其它设备，使用非单晶硅薄膜晶体管等非单晶硅薄膜设备，可以得到将高性能，高机能的电路系统一体化集成化的半导体装置。

即通过单晶硅薄膜设备，利用单晶硅的特性可以形成高速且低耗电的高速逻辑电路、定时产生器、或消除了分布变动的 DAC(电流缓冲器)。另一方面，多晶硅等的非单晶硅薄膜设备相比于单晶硅设备，性能、机能都要逊色，可以用来大面积地形成便宜的半导体装置。

由本发明的构成，可以在一枚基板上形成兼备上述两种硅薄膜设备的长处的半导体装置。

由此，可在基板上一体地集成化仅通过单晶硅就可实现的高性能、高

机能的电路系统。从而例如与以单晶硅形成全部的设备的场合相比，可以以非常低的成本制造集成有高性能的系统的液晶面板或有机 EL 面板等的显示装置用的半导体装置。

此外形成具有本发明的半导体装置的单晶硅薄膜的单晶硅基板的形状限定为 LSI 制造装置的一般的晶片大小的 6、8、12 英寸的圆板。但是本发明的半导体装置的绝缘基板上共存有非单晶硅薄膜设备以及单晶硅薄膜设备，因此可以制造例如可以应用于大型的液晶显示面板或有机 EL 面板的大型半导体装置。

本发明的半导体装置在上述的构成中，上述单晶硅薄膜设备对于上述绝缘基板，优选通过无机类的绝缘膜进行结合。

由于不使用粘合剂就可将单晶硅薄膜晶体管等设备形成在绝缘基板上，从而防止了单晶硅被污染。此外结合后金属配线，无机绝缘膜的形成，或者腐蚀等易于进行。进而金属配线等在大型基板中的 TFT 过程的同时进行，可以形成低成本的设备。

本发明的半导体装置在上述构成中，上述非单晶硅薄膜设备以及上述单晶硅薄膜设备，优选都为 MOS 型或 MIS 型的单晶硅薄膜晶体管。

由此，例如为 CMOS 的构造时，可以降低耗电量以及根据电源电压进行全幅输出，从而可以得到适用于低耗电量的逻辑电路的半导体装置。

本发明的半导体装置在上述构成中，上述 MOS 型的单晶硅薄膜晶体管优选从上述绝缘板侧开始，按照栅极，栅极绝缘膜，硅的顺序而形成。

由此，单晶硅的 MOS 型薄膜晶体管中，栅极形成为配置在绝缘基板的一侧，可以得到所谓绝缘基板上形成有上下颠倒的 MOS 型的单晶硅薄膜晶体管的半导体装置，由此，可以采用单晶硅基板的源极漏极的形成中遮盖栅极的自我整合工序，此外可以减轻玻璃基板表面的固定电荷的影响。进而单晶硅和玻璃基板的结合界面上易于产生的固定电荷的影响通过栅极的遮蔽效果被减轻，单晶硅中由于可以应用在遮盖栅极时进行源极漏极的杂质离子注入的工序，因此具有生产率高的优点。

本发明的半导体装置在上述构成中，上述 MOS 型的薄膜晶体管的单晶硅薄膜的膜厚优选大致为 600nm 以下。

由此，上述的半导体装置的单晶硅薄膜的膜厚  $d$  对于由杂质浓度  $N_i$  决定的最大损耗长  $W_n$ ，为含有变动区域的较小值，即，即使杂质密度的实用

下限为  $10^{15} \text{ cm}^{-3}$ , d 的上限约为 600nm 以下。

$$\text{这里 } W_m = [4\epsilon_s k T \ln(Ni/ni) q^2 Ni]^{1/2}$$

ni 为固有载流子密度, k 为玻尔茨曼常数, T 为绝对温度,  $\epsilon_s$  为硅的介电常数, q 为电子电荷, Ni 为杂质密度。

通过上述构成, 单晶硅薄膜的膜厚大致在 600nm 以下, 可以使半导体装置的 S 值(亚阈值系数)减少, 并使闭合电流降低。

上述 MOS 型的薄膜晶体管的单晶硅薄膜的膜厚优选为大致 100nm 以下。

由此, 可进一步使半导体装置的 S 值(亚阈值系数)减少, 并使闭合电流降低。从而可以最大限度地发挥 MOS 型的单晶硅薄膜晶体管的特性。

特别地为了抑制栅极长 0.1 到  $0.2 \mu\text{m}$  以下的短通道的 TFT 上产生的量子效果导致的 TFT 特性的低下, 进而优选厚度约为 20nm 以下。栅极长约 200nm 的短通道侧, 单晶硅的膜厚约为 20nm 左右, 由此, 阈值的变动变大, 迁移率也增加, 因此在设备中如果阈值较为重要时, 就适用上述厚度。

本发明的半导体装置在上述构成中, 上述 MOS 型的单晶硅薄膜晶体管的金属配线图案优选包括, 相比于 MOS 型的单晶硅薄膜晶体管的栅极图案, 根据较松缓的配线形成规则而形成的部分, 此外优选根据大型基板上的金属配线的设计规则同程度, 或者较松缓的配线形成规则而形成, 进而优选根据与 TFT 的栅极同等的金属配线的配线形成规则同程度, 或者较松缓的配线形成规则而形成。

由此, 形成 MOS 型的单晶硅薄膜晶体管的半导体装置的金属配线或金属配线的一部分可以对应于与栅极同等的精细加工, 并且可以与大型基板上的金属配线同时进行处理, 降低了成本提高了处理能力, 对于其它的电路模块或 TFT 阵列的接续变得容易, 降低了由接续不良导致的不合格率。

配线形成规则松缓的意义为, 形成配线时的设计规则不严, 进行配线时容许的范围较广。

本发明的半导体装置在上述的构成中, 上述非单晶硅薄膜设备优选为 MOS 型或 MIS 型的非单晶硅薄膜晶体管, 上述单晶硅薄膜设备为双极型单晶硅薄膜晶体管。

由此, 除 MOS 型或 MIS 型的非单晶硅薄膜晶体管之外, 通过形成单晶硅薄膜构成的双极型薄膜晶体管, 作为双极型薄膜晶体管的特性的线性

信号的处理成为可能，由于没有栅极，构造简单生产率高，饱和区域中的线性性优良，因此可以得到具有进一步适用于用于模拟放大器，电流缓冲器，电源 IC 等优点的半导体装置。

本发明的半导体装置在上述构成中，上述非单晶硅薄膜设备为 MOS 型或 MIS 型的非单晶硅薄膜晶体管，上述单晶硅薄膜设备优选包括，MOS 型以及双极性中任一方，或者双方的单晶硅薄膜晶体管。

由此，可以在一枚基板上形成具有，MOS 型或者 MIS 型的非单晶硅薄膜晶体管以及单晶硅薄膜晶体管，双极型的单晶硅薄膜晶体管这三种特性的半导体装置。

由此，可以得到更高性能，高机能的半导体装置。

本发明的半导体装置在上述构成中，上述非晶硅薄膜设备为 MOS 型或 MIS 型的非单晶硅薄膜晶体管，上述单晶硅薄膜设备优选具有，包括 MOS 型单晶硅薄膜晶体管和肖特基型或者 PN 结型二极管的图像传感器或者 CCD 型图像传感器。

由此，可以单独地在不同区域中集成化不同设计或构造的的薄膜设备，可以容易地集成现有的方法中极难共存的图像传感器等的 CMOS 设备与构造不同的设备，从而发明了现有技术中不可能的高机能设备。

本发明的半导体装置在上述的构成中，上述单晶硅构成的 MOS 型薄膜晶体管的单晶硅薄膜的膜厚，优选相比于双极型薄膜晶体管的单晶硅薄膜较小。

通常 MOS 型薄膜晶体管的膜厚越薄越容易得到良好的特性，双极性薄膜晶体管中，膜厚较厚的可以得到良好的特性(变动小，接通电阻低的特性)。

通过本发明，通过相互比较并确定 MOS 型和双极型的硅的薄膜的厚度，可以得到有效地利用 MOS 型以及双极性双方特性的半导体装置。

本发明的半导体装置在上述构成中，上述双极型的单晶硅薄膜晶体管的基极，集电极，以及发射极区域优选在同一平面上形成，配置。

这样，没有 MOS 型薄膜晶体管那样的栅极，并且为平面构造的所谓水平型晶体管，因此仅仅在硅表面形成氧化膜，以规定的图案(区域)注入 P 和 N 的杂质，进行活性化退火，就可以形成表面完全平坦的硅基板，所以即使不通过 CMP 进行平坦化处理也可以在绝缘基板上容易地结合单晶硅基板。

由此，与 MOS 型或在与面的垂直方向进行结合的通常的双极型晶体管相比，可以简化制造工序。

本发明的半导体装置在上述构成中，上述双极型的单晶硅薄膜晶体管的金属配线，接线图案优选包括，相比于双极型的单晶硅薄膜晶体管的基极图案，通过较松缓的配线规则而形成的部分。进而优选根据与大型基板上的金属配线的设计规则相同或者较松缓的规则而形成。

由此，金属配线或者金属配线的一部分可以与大型基板上的金属配线同时进行处理，降低了成本提高了处理能力，此外形成双极型单晶硅薄膜晶体管的半导体装置可以容易地接续到其它电路模块或者 TFT 阵列中，防止了由接续不良导致的制品的生产率低下。

本发明的半导体装置在上述构成中，上述双极型单晶硅薄膜晶体管的单晶硅薄膜的膜厚优选为大致 800nm 以下。

由此，可以得到特性变动较小且接通电阻较低的双极型单晶硅薄膜晶体管。

本发明的半导体装置在上述构成中，上述非单晶硅薄膜为多晶硅薄膜或连续晶界硅薄膜，上述非单晶硅薄膜构成的 MOS 型薄膜晶体管优选从基板侧开始，按照非单晶硅，栅极绝缘膜，栅极的顺序而形成。

由此，从绝缘基板观察，通过构成 MOS 型薄膜晶体管使栅极形成在上面，可以应用将栅极遮蔽的自我整合工序，可以容易地制造多晶硅薄膜以及连续晶界硅薄膜晶体管，提高生产率。

本发明的半导体装置在上述构成中，上述非单晶硅薄膜为多晶硅薄膜或连续晶界硅薄膜，上述非单晶硅薄膜构成的 MOS 型薄膜晶体管优选从基板侧开始，按照栅极，栅极绝缘膜，非单晶硅的顺序而形成。

由此，MOS 型的非单晶硅薄膜晶体管从基板观察为相反的构成，因此可以避免玻璃基板表面附近的固定电荷的影响，使特性稳定化。进而，VLSI 的制造工序中可以进行精细加工或掺杂，所以通道部的掺杂分布的设定自由度变高，热电子劣化的对策变得容易，可以使用薄的更高品质的热氧化  $\text{SiO}_2$ ，具有可以得到相比于由 CVD 等在低温形成的氧化膜具有更高品质的栅极氧化膜，短通道特性优良的 TFT 的优点。可以变化不同的构成以得到上述同样的效果。

本发明的半导体装置在上述构成中，上述非单晶硅薄膜为非晶硅薄膜，

上述非晶硅薄膜构成的 MOS 型或 MIS 型的薄膜晶体管优选从基板侧开始，按照栅极，栅极绝缘膜，非单晶硅的顺序而形成。

由此，从绝缘基板观察栅极形成在下方，构成为所谓的底栅极构造的 MOS 型或者 MIS 型薄膜晶体管，其中可以应用现有技术中广泛使用的工序，在高效率的同时实现了非晶硅薄膜的形成工序的简略化，低成本化，高生产率。此外在有源矩阵 LCD 中，提高了背光的遮光性，形成了可以进行高亮度显示的液晶显示设备。

此外由于非晶硅具有低断开电流特性，可以得到适用于低耗电型的 LCD 等的半导体装置。

本发明的半导体装置在上述构成中，构成上述单晶硅薄膜设备的单晶硅与上述绝缘基板的线膨胀的差优选，在大致室温到 600°C 的温度范围内约为 250ppm 以下。

由此，对于较大的温度上升，绝缘基板和单晶硅薄膜的线膨胀的差变小。因此，绝缘基板上形成单晶硅薄膜的工序中可以可靠地防止由热膨胀系数的差导致的从氢离子注入位置的劈开剥离工序中的绝缘基板的破损或结合界面剥离，或者结晶中的缺陷的发生。此外也可提高加热结合强度。

其中线膨胀指的是由温度变化引起的作为长度的变化的标准。

本发明的半导体装置在上述构成中，上述绝缘基板优选至少在形成上述单晶硅薄膜设备的区域的表面上，为形成有 SiO<sub>2</sub> 膜的碱土类 - 铝硼硅酸玻璃构成的高应变点玻璃。

由此，没有必要使用为了用于与单晶硅基板结合而将使用的组合调整的结晶化玻璃，绝缘基板由有源矩阵驱动的液晶显示面板等中一般使用的高应变点玻璃构成，可以制造低成本的半导体装置。

本发明的半导体装置在上述构成中，上述绝缘基板优选由钡硼硅酸玻璃、钡铝硼硅酸、碱土类 - 铝硼硅酸玻璃、硼硅酸玻璃、碱土类 - 锌 - 铝硼硅酸玻璃以及碱土类 - 锌 - 铝硼硅酸玻璃中任何一种的玻璃而形成。

由此，绝缘基板由有源矩阵驱动的液晶显示面板等中一般使用的高应变点玻璃构成，可以低成本制造适用于有源矩阵基板的半导体装置。

本发明的半导体装置在上述构成中，上述单晶硅的区域中至少一部分的图案的对准边界优选比母基板整体，或者显示区域，或者设备整体的图案的对准边界要小，从而具有高精度。

由此，形成与非单晶硅区域相同的金属配线图案等时，通过高精度的曝光系统，可以将图案的一部分排列在单晶硅的区域内的高精度的图案中

从而，可以将具有高精度图案的单晶硅区域和具有精度较低的图案的非单晶区域，通过金属配线图案等高效容易地接续。

本发明的半导体装置在上述构成中，上述单晶硅的区域中的对准标记以及透明基板上的对准标记优选构成为，从透明基板侧通过可见光或者比可见光波长短的光检测出上述单晶硅上形成的对准标记，并可与透明基板上形成的对准标记对准的形状。

由此，由于可以穿过玻璃基板检测出对准标记，提高了光学的分辨率，可以进行比现有技术更高精度的排列。

本发明的显示装置为了达成上述目的，具有形成半导体元件构造的上述任意的 SOI 基板。其中上述的 SOI 基板为形成半导体元件构造的半导体装置。

此外本发明的显示装置为了达成上述目的，包括上述任意的半导体装置，将该半导体装置作为显示面板的有源矩阵基板而使用。

上述 SOI 基板的绝缘基板为透光性基板，在该绝缘基板上形成半导体元件构造，就可以适用于例如显示面板中使用的有源矩阵基板。

此外使用上述 SOI 基板，可以得到没有变动，均一并高性能的晶体管，使用其可以提供高性能的显示装置。

这样使用单晶硅，可以使晶体管的特性均一化，稳定化，高性能化，可以制造例如高性能的 MOS 型电场效果晶体管。因此可以制造高性能的 TFT - LCD 显示装置，TFT - OLEDL 显示装置或集成电路。

上述半导体元件构造表示作为例如显示器用开关元件的构造，或者例如 SOI 基板上形成半导体元件构造，制作数据处理驱动器。

上述显示装置为具有，采用将表面上覆盖氧化硅膜的透光性基板和表面氧化处理的单晶硅基板结合，并通过热处理将单晶硅基板在规定的面分离而制作的部分地形成 SOI 构造的绝缘基板，而制造的显示器用开关元件，数据处理驱动器等的显示装置。

此外本发明的半导体制造方法，在绝缘基板上，形成单晶硅薄膜构成的单晶硅薄膜设备与非单晶硅薄膜的半导体装置的制造方法中，优选在绝缘基板上形成包含上述单晶硅薄膜设备的电路之后，形成上述非单晶硅薄

膜。

通过上述的制造方法，在平坦性最好的绝缘基板上形成单晶硅薄膜设备，之后形成非单晶硅薄膜。由此，可以制造由结合不良导致的缺陷较少，生产率高的半导体装置。

此外本发明的半导体制造方法，在上述构成中，优选在上述单晶硅薄膜设备上形成保护层间绝缘膜、接触通孔以及金属配线。

由此，在非单晶硅薄膜的形成之前形成的单晶硅薄膜设备具有金属配线，因此可以进行精细加工，可以大幅提高单晶硅薄膜上形成的电路的集成密度。进而将单晶硅薄膜设备在玻璃基板上形成之后形成的非单晶硅薄膜中也通过相同的工序设置金属配线，因此可以以高效简略的工序制造双重配线构造的半导体装置。

本发明的半导体制造方法，在上述构成中，优选在形成上述单晶硅薄膜设备之后，形成上述非单晶硅薄膜之前，形成层间绝缘膜。

由此，形成了单晶硅薄膜设备和非单晶硅薄膜设备之间的层间绝缘膜，因此可靠地防止了单晶硅薄膜的单晶硅的污染。

本发明的半导体制造方法，在绝缘基板上，形成单晶硅薄膜构成的单晶硅薄膜设备与非单晶硅薄膜的半导体装置的制造方法中，优选在上述绝缘基板上形成上述非单晶硅薄膜之后，形成上述单晶硅薄膜设备。

通过上述制造方法，非单晶硅薄膜在单晶硅薄膜设备形成之前形成，因此与在单晶硅薄膜设备形成之后形成非单晶硅薄膜相比，可以防止单晶硅薄膜受到污染或损伤。

此外绝缘基板上，形成单晶硅薄膜设备和非单晶硅薄膜设备的半导体装置的制造方法中，上述非单晶硅薄膜在上述绝缘基板上形成后，形成上述单晶硅薄膜设备的场合下，产生了除去非单晶硅并将要结合单晶硅的表面的粗糙度增加，结合力下降的问题。

与此对应地，本发明的半导体装置的制造方法，优选至少在将要结合单晶硅的区域，预先通过低能量(约 3keV)的卤化物(CF<sub>4</sub> 等)的 GCIB(Gas Cluster Ion Beam) 进行平坦化，进而在其上采用 TEOS 或 TMCTS(Tetramethylcyclotetrasiloxane)通过 PECVD 形成约 10nm 的 SiO<sub>2</sub> 膜的场合下，可以进一步改善结合性。

此外本发明的半导体制造方法在上述构成中，上述单晶硅薄膜设备优

选为 MOS 型的单晶硅薄膜晶体管。

由此，例如为 CMOS 的构造时，可以降低耗电量以及根据电源电压进行全幅输出，从而可以制造适用于低耗电量的逻辑电路的半导体装置等的具有 MOS 型晶体管特性的半导体装置。

此外本发明的半导体制造方法在上述构成中，上述单晶硅薄膜设备优选为双极型的单晶硅薄膜晶体管。

由此，通过在绝缘基板上形成双极型晶体管，相比于 MOS 型，可以简化单晶硅薄膜的构成，可以不进行平坦化处理而结合在绝缘基板上。

此外本发明的半导体制造方法在上述构成中，优选对用于形成上述单晶硅薄膜设备的单晶硅基板，以规定的深度注入规定浓度的氢离子。

由此，不使用粘合剂，可以容易地在绝缘基板上形成单晶硅薄膜。

即，通过形成注入氢离子氢离子注入部，绝缘基板上形成单晶硅薄膜设备的场合下，加热单晶硅薄膜设备至氢离子从硅脱离的温度，在增强对于绝缘基板的结合强度的同时，以氢离子注入部为界进行劈开剥离，可以容易地形成双极型的单晶硅薄膜晶体管。

上述规定的深度可以按照形成的单晶硅薄膜的目标厚度来决定。

此外本发明的半导体制造方法在上述构成中，上述氢离子的注入能量优选设定为，使从该氢离子的注入能量扣除在栅极材料中的氢离子的，与栅极电极的膜厚相当的与投射范围相对应的能量后的能量，不超过栅极电极材料中的最重的与该栅极氧化膜中的投射范围相对应的能量。

由此，可以防止如下情况的发生，MOS 型的单晶硅薄膜晶体管中，对于单晶硅基板照射的氢离子，通过与栅极电极材料或金属配线材料的构成原子相冲突，弹出的栅极电极材料的构成原子通过氧化膜到达单晶硅，单晶硅部分被污染导致特性或可靠性降低。

此外本发明的半导体制造方法在上述构成中，具有上述氢离子注入部的单晶硅基板的厚度大致为  $100\mu\text{m}$  以下。

由此，单晶硅层可以为原来基板的约  $1/10$ ，Si 基板的弯曲刚性变小，对于玻璃基板侧的表面伤或颗粒所导致的细小的凹凸，即使在相同的结合能量的条件下，也进行追随并容易弯曲，难以受到其影响。

因此如果为上述厚度，不损害分断后的小且薄的硅基板的操作性，并且玻璃基板侧的表面伤或颗粒引起的结合不良被大幅降低。

上述厚度优选为  $70\mu\text{m}$  以下，更加优选为  $50\mu\text{m}$  以下。

此外本发明的半导体制造方法在上述构成中，在上述绝缘基板上形成上述非单晶硅薄膜之后，至少将除去上述非单晶硅的需要结合单晶硅的表面区域，预先通过约  $3\text{keV}$  的卤化物的 GCIB(Gas Cluster Ion Beam)进行平坦化。

由此，通过低能量(约  $3\text{keV}$ )的氧气或卤化物的 GCIB 的照射，硅或  $\text{SiO}_2$  的表面被轻轻腐蚀，并且其表面的微粗糙度被改善。

本发明的半导体装置的制造方法为了达成上述目的，在包含结合绝缘基板上形成的绝缘膜和覆盖单晶硅基板覆盖膜的结合工序的半导体装置的制造方法中，在上述结合工序之前，包含调节上述绝缘膜的表面的调节工序，从而使上述表面的  $1$  到  $5\mu\text{m}$  见方的范围内测定的高度为  $5\text{nm}$  以下的凹凸的倾斜与上述绝缘基板表面所成的角度的正切为  $0.06$  以下。

上述 SOI 基板在结合工序之后，单晶硅基板在氢离子的注入部处分断、剥离成为单晶硅薄膜而制造 SOI 基板。即上述制造方法也是 SOI 基板的制造方法。通过在该 SOI 基板上的单晶硅薄膜上形成半导体元件构造，另外在形成半导体元件构造的单晶硅基板上设制单晶硅薄膜，而制造半导体装置。

通过上述制造方法，调节绝缘膜的表面的凹凸与绝缘基板表面所成的角度的正切为  $0.06$  以下之后，绝缘膜和覆盖单晶硅基板的覆盖膜结合，可以保持良好的结合性，并可以增强该结合的强度。由此，结合工序之后，单晶硅基板分段剥离而形成单晶硅薄膜时，不会发生膜的剥落。

另一方面上述正切为  $0.06$  以上而进行结合时，结合部的结合力为  $0.2\text{N/m}$  以下。该场合下，在剥离，分离退火之后，发生了部分的膜剥落。

上述调节工序中，应该适当地设定绝缘基板上的绝缘膜的膜厚，以及成膜条件。从而使绝缘膜和绝缘基板表面所成的角度的正切为  $0.06$  以下。绝缘膜的膜厚优选为较小的值，例如作为绝缘膜的氧化硅膜成膜超过  $500\text{nm}$  时，最好在成膜后进行研磨。例如氧化硅膜的膜厚最好在  $100\text{nm}$  左右。

此外绝缘膜和绝缘基板表面所成的角度的正切优选在  $0.04$  以下。该状态下可以进一步防止膜的剥落。

上述构成中，可以提高上述绝缘膜和覆盖膜的结合性，提高结合力，进一步实现了难以剥落的 SOI 基板的制造方法。

另外 SOI 基板的制造方法也可以表示为，包括通过激光等的照射，将单晶硅基板的氢离子注入区域的温度加热至氢离子从硅脱离的温度以上，并将上述单晶硅基板沿氢离子注入面分割的工序的 SOI 基板的制造方法。

通过上述构成，进而通过激光等的光照射，单晶硅基板的氢离子注入区域(注入部)的温度上升，可以仅仅使氢离子注入部附近的温度上升，可以抑制单晶硅的破坏。

另外 SOI 基板的制造方法也可以表示为，包括进行包含大约 850°C 以上的最高温度的灯退火，并将单晶硅基板沿氢离子注入面分割的工序的 SOI 基板的制造方法。

通过上述构成，进而进行包含大约 850°C 以上的最高温度的作为瞬间热退火(Rapid Thermal Anneal，以下记作 RTA)的灯退火，将单晶硅基板沿氢离子注入区域剥离，再进一步提高了结合强度的同时，复原了剥离面以及单晶硅薄膜内部的由于氢离子的注入导致的损伤，从而提高了晶体管的特性。

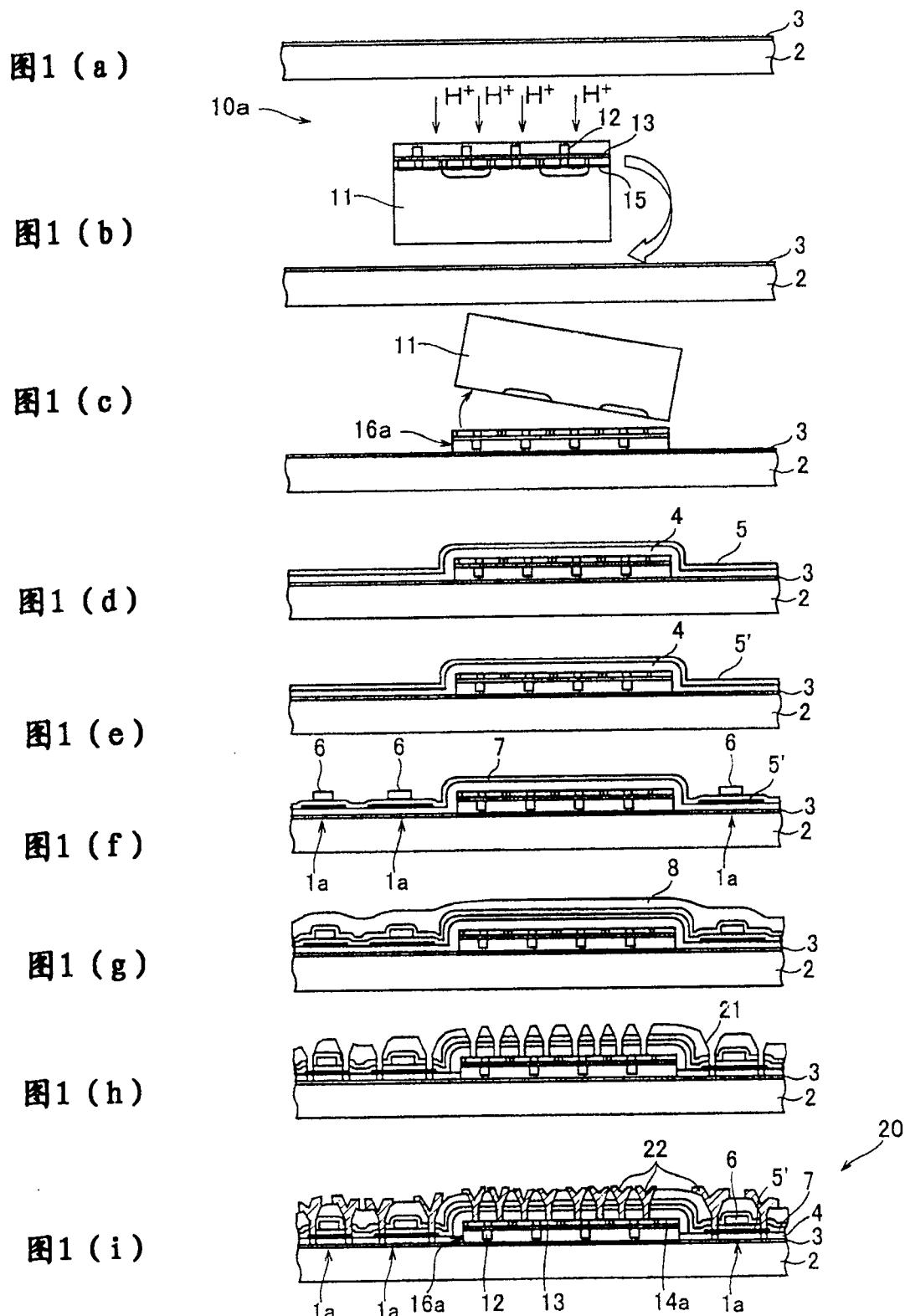
等退火的最高温度越高越能提高晶体管的特性，同时却使绝缘基板的弯曲或伸缩增大。作为一例在基板尺寸为 30nm 见方左右的场合，在 700°C 左右的温度和 5 分钟左右的保持时间下退火。

此外 SOI 基板的制造方法也可以表示为，通过注入质量比氧离子轻很多的氢离子，将上述单晶硅基板的整体的结晶质量保持为与注入前基本不变的 SOI 基板的制造方法。

通过上述的构成，剥离后的 TFT 制造工序中，进行 600°C 左右的热处理，单晶硅膜的结晶质量返回至氢离子注入前同等的水平，从而不会发生氧离子注入场合中硅的结晶质量低下。

本发明并不限于上述各实施例，可以在权利要求记载的范围内进行种种的变更，将不同的实施例中分别公开技术特征适当地组合而得到的实施例也属于本发明的技术范围之内。

本发明的说明书中的具体实施方式和实施例，是为了公开本发明的技术内容之用，而不应该对该具体的例子作狭隘的限定性解释，在本发明的发明构思和权利要求的范围之内，可以进行种种的变更。



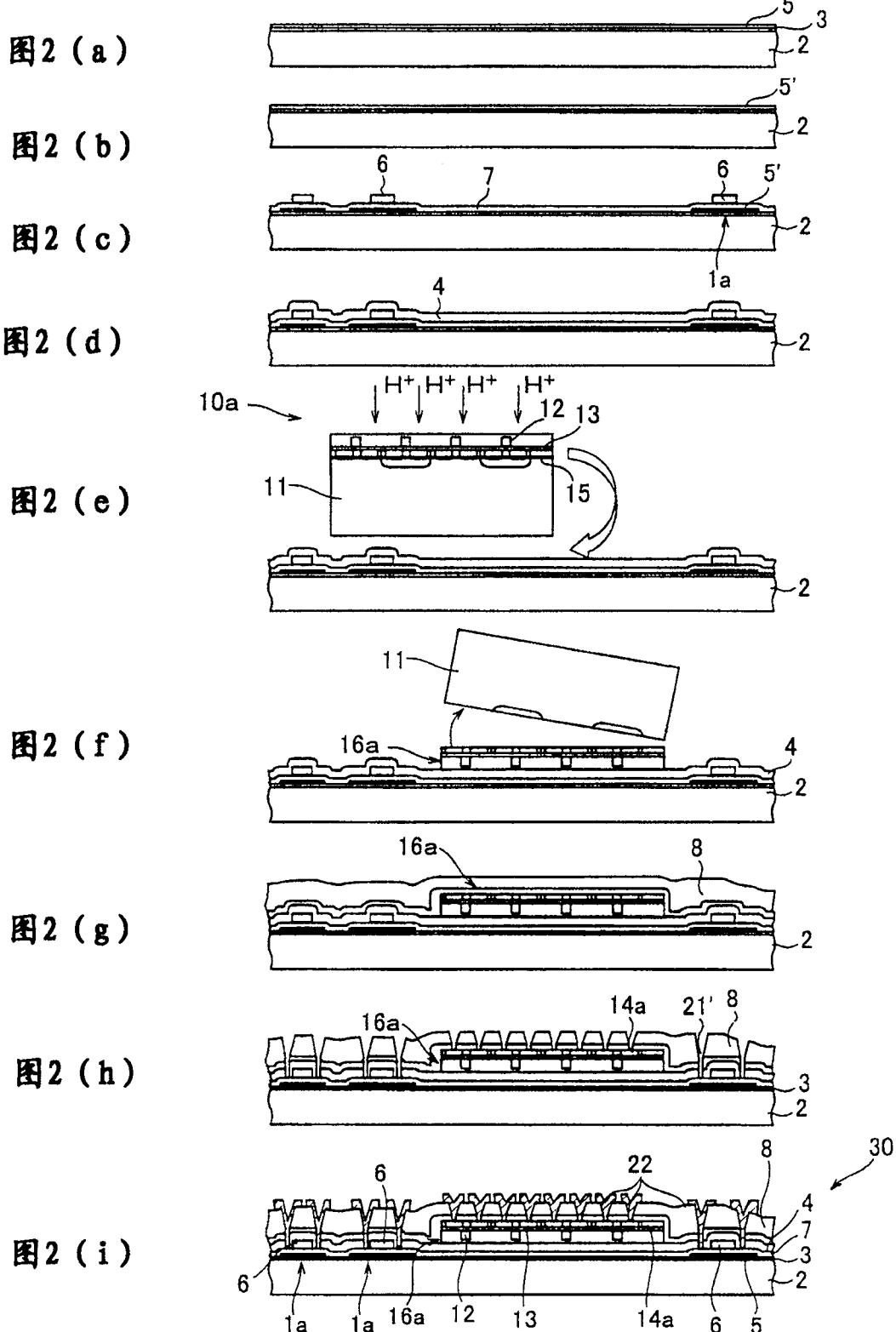


图3 (a)

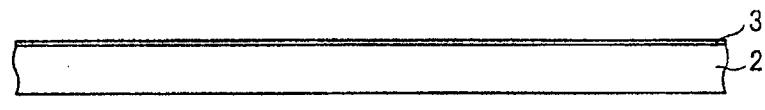


图3 (b)

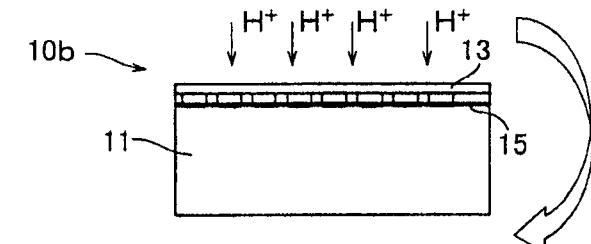


图3 (c)

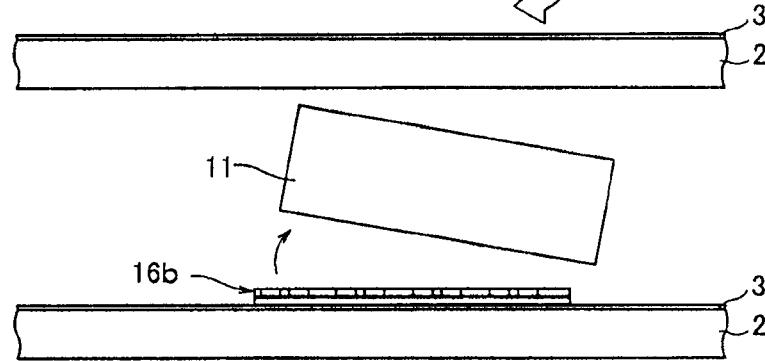


图3 (d)



图3 (e)

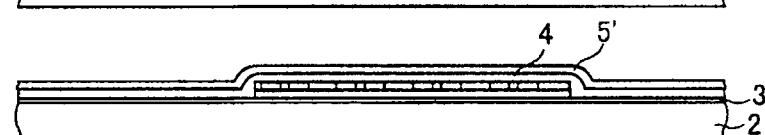


图3 (f)

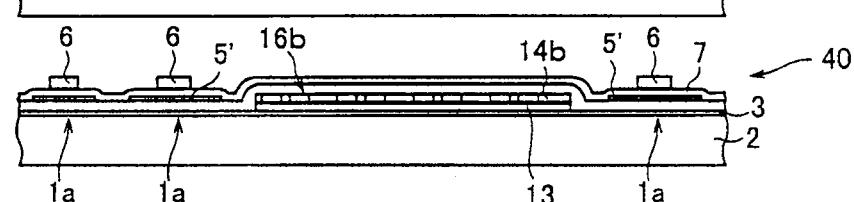


图4

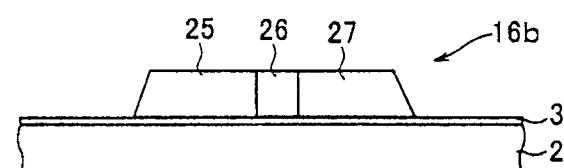


图5 (a)

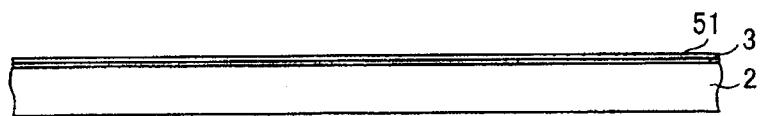


图5 (b)



图5 (c)

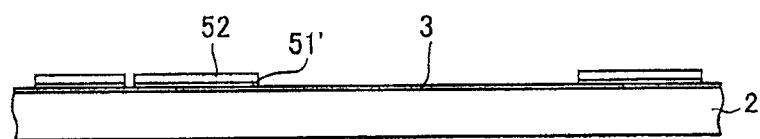


图5 (d)

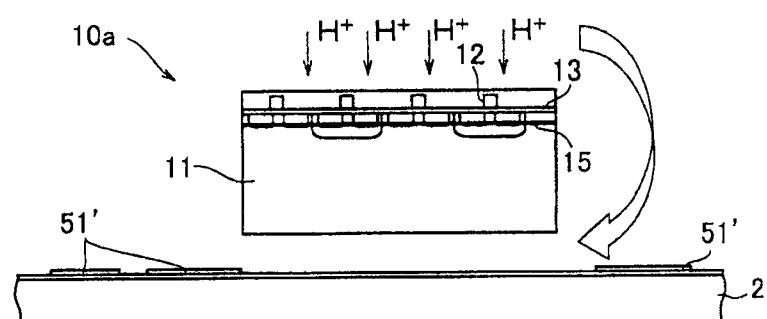


图5 (e)

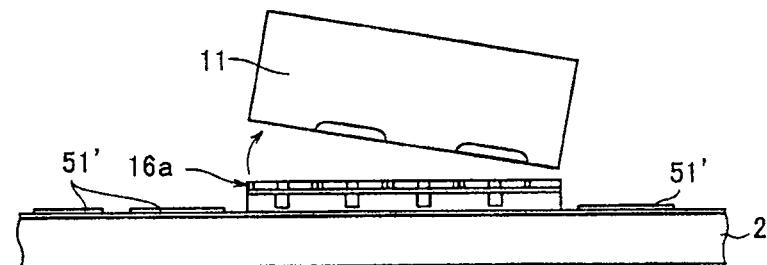
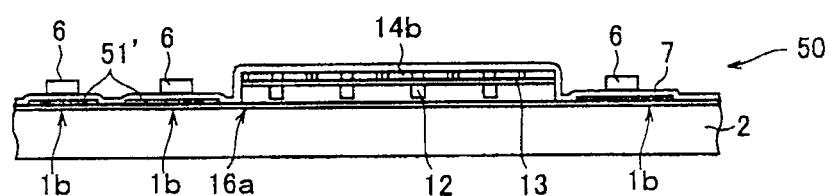


图5 (f)



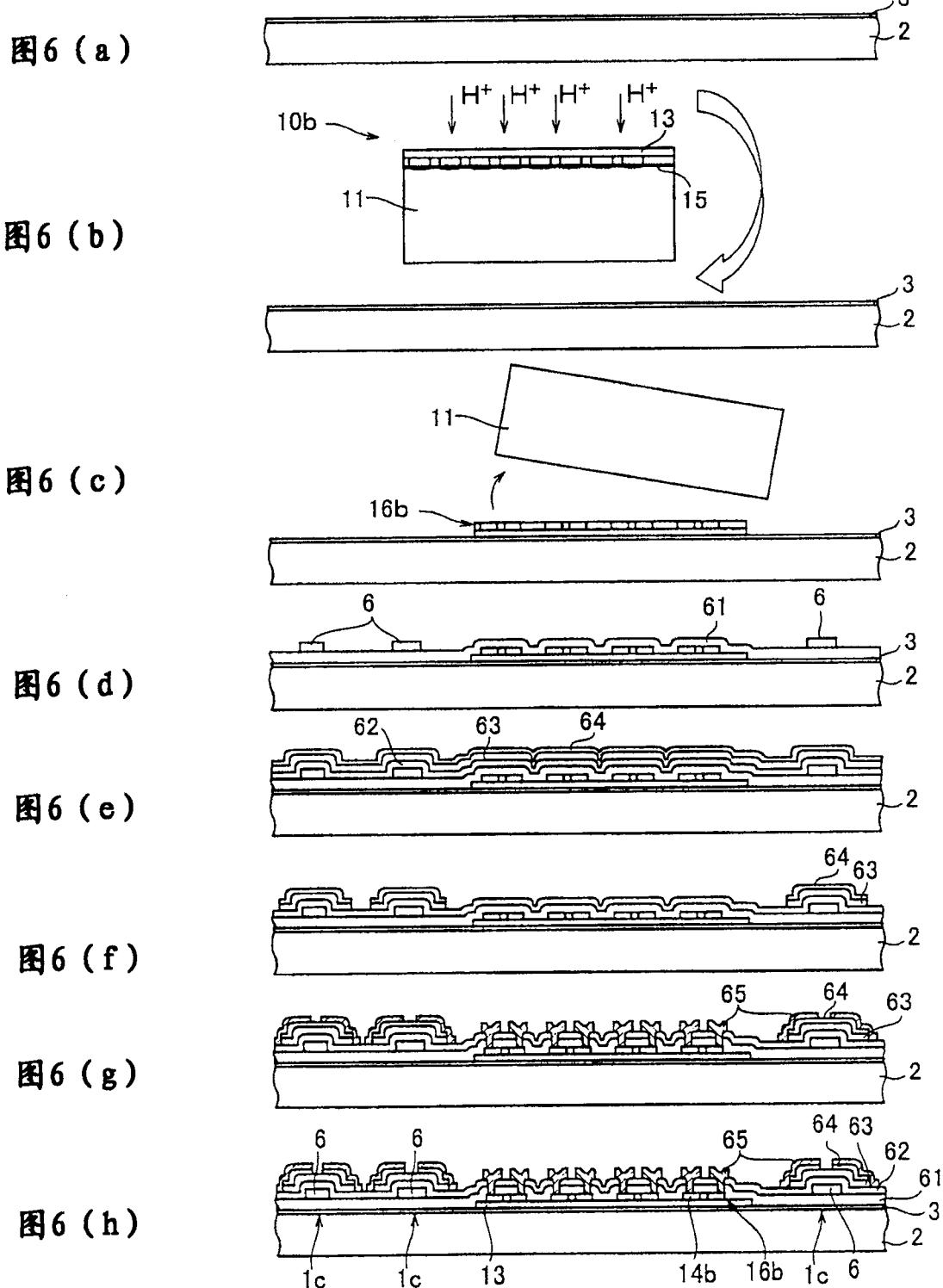


图7

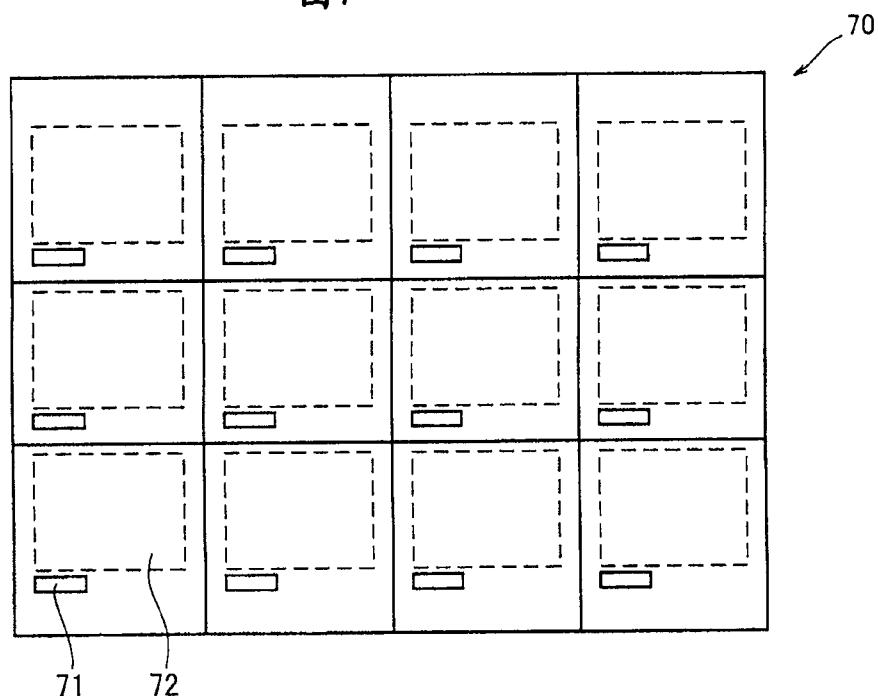
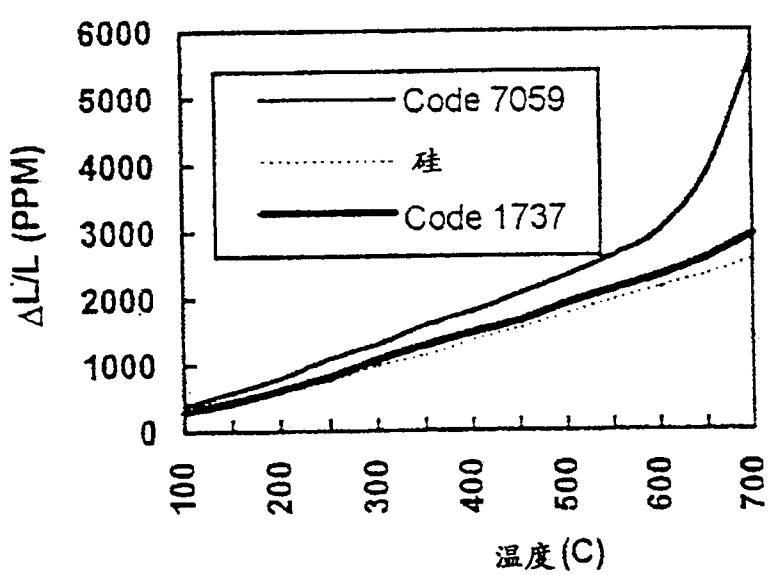


图8



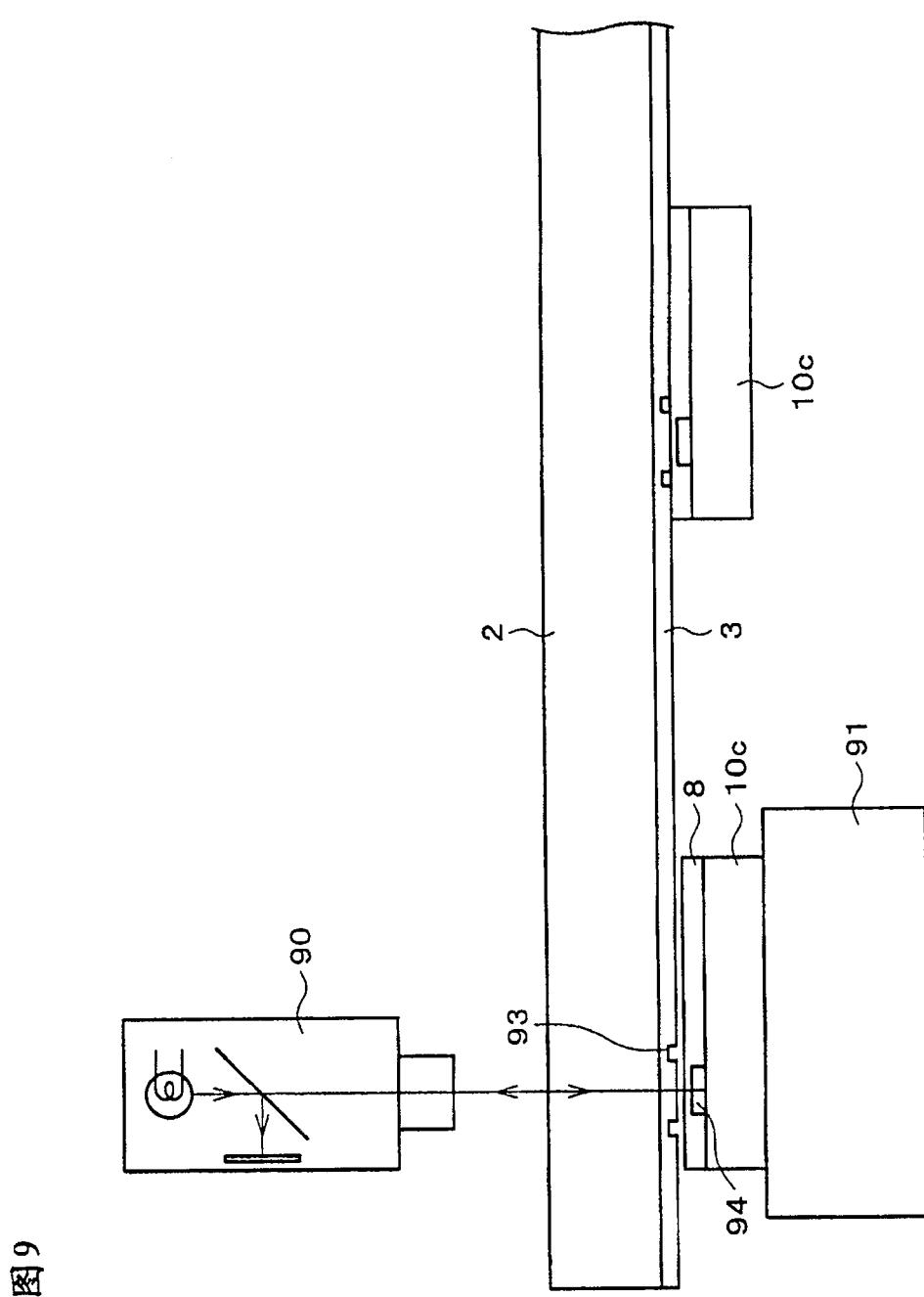


图9

图10

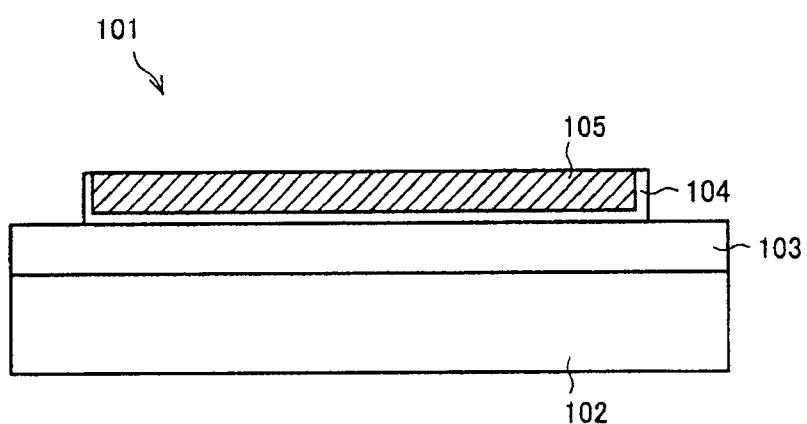


图11 (a)

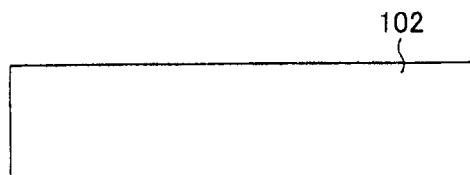


图11 (b)

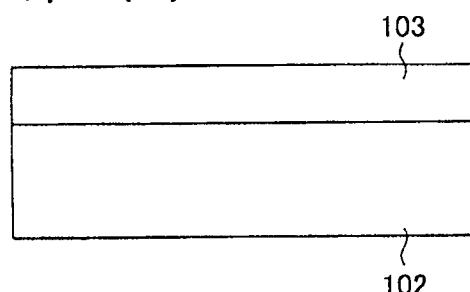


图11 (c)



图11 (d)

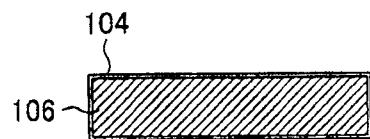


图11 (e)

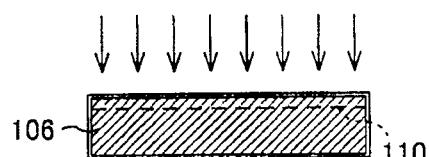


图11 (f)

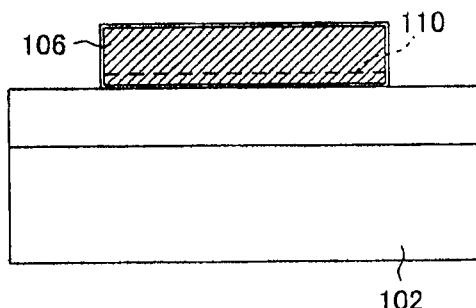


图11 (g)

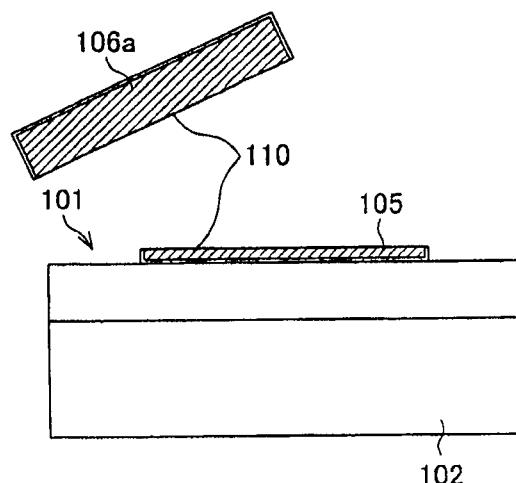


图12

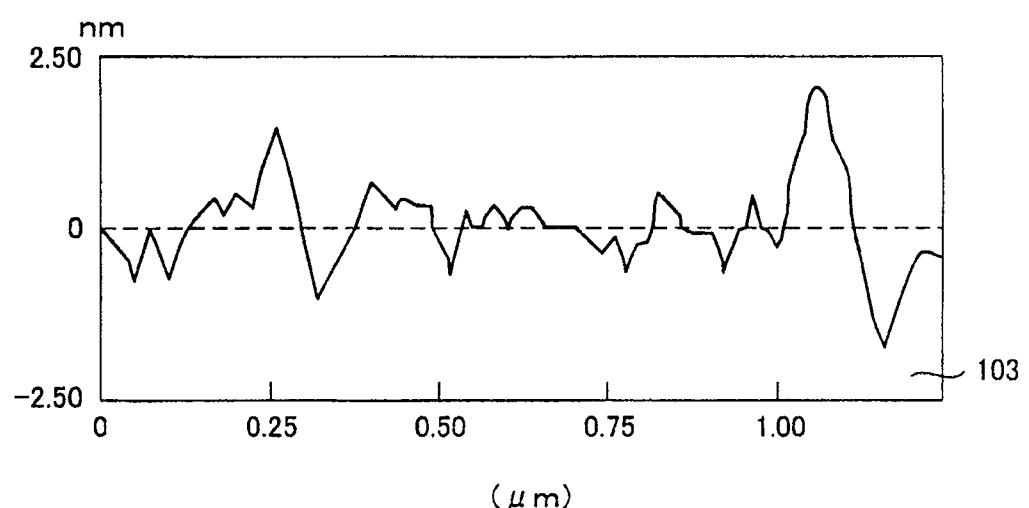


图13

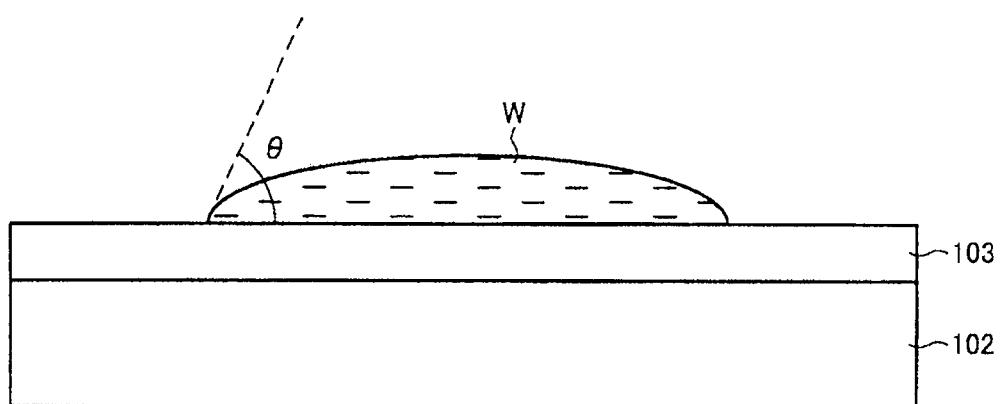


图14 ( a )

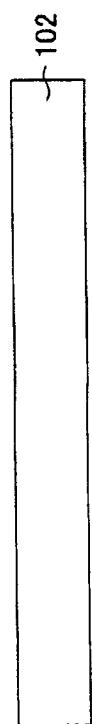


图14 ( b )

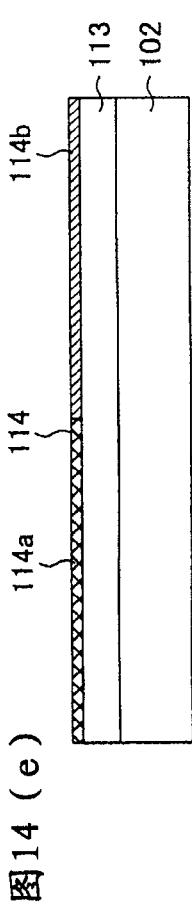
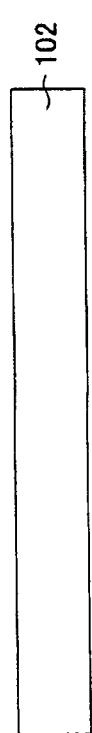


图14 ( c )



图14 ( d )

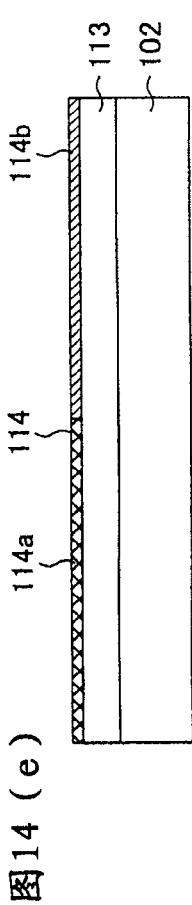
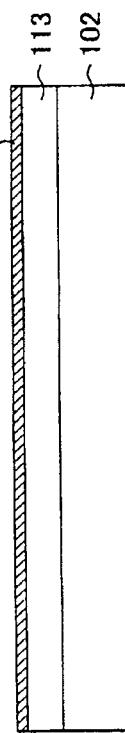


图14 ( g )

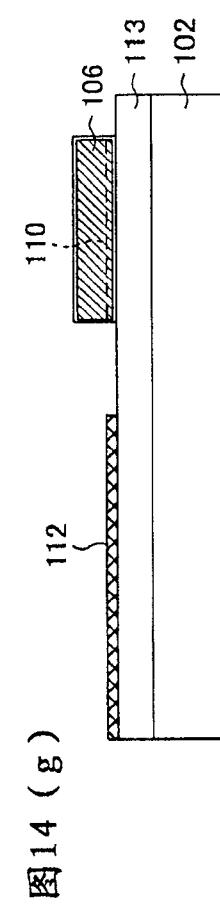
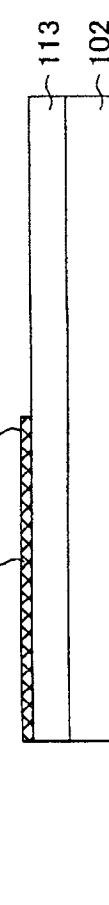


图14 ( h )

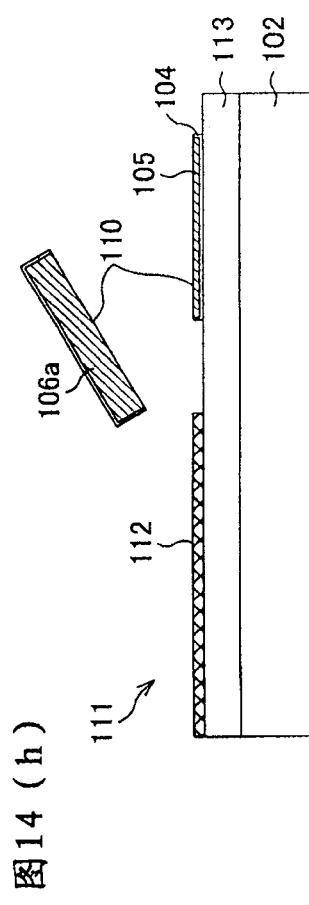


图14 ( e )



图15

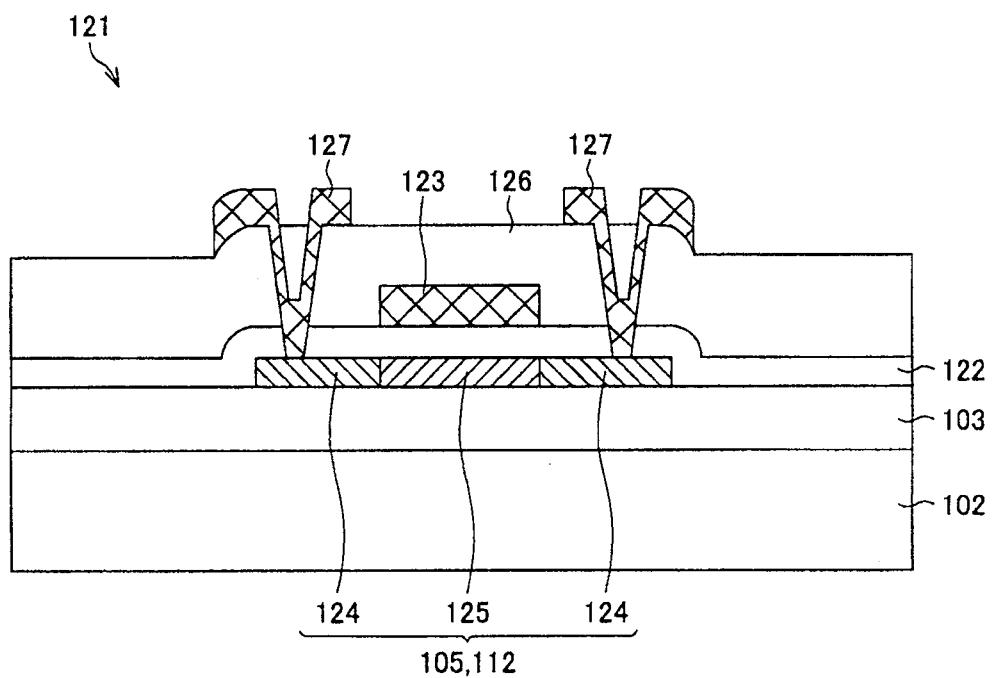


图16

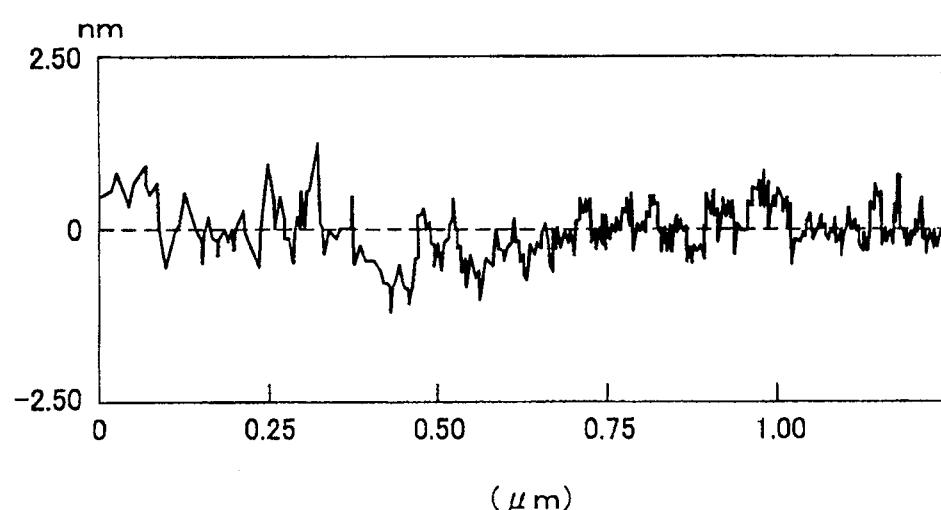


图17

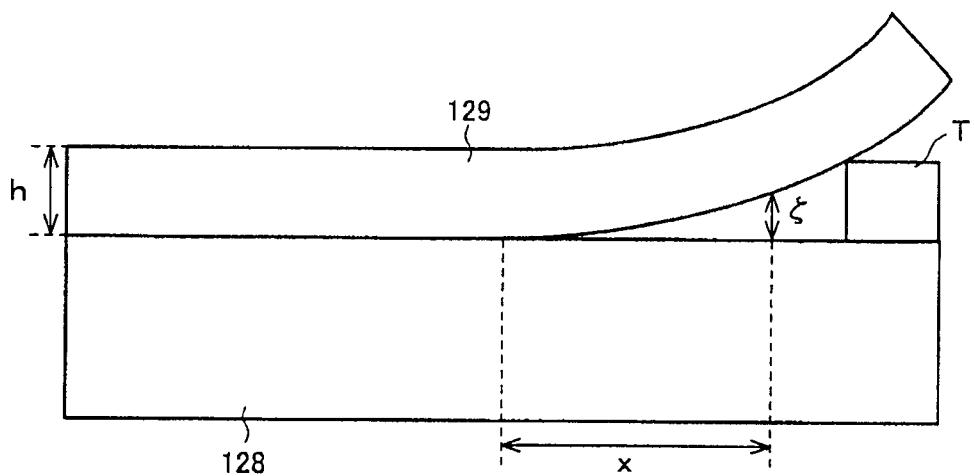


图18

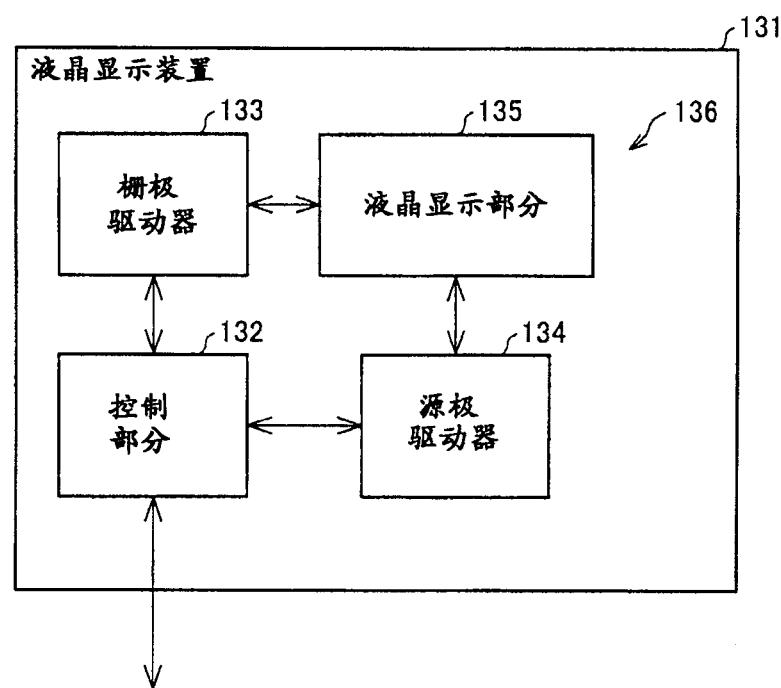


图19

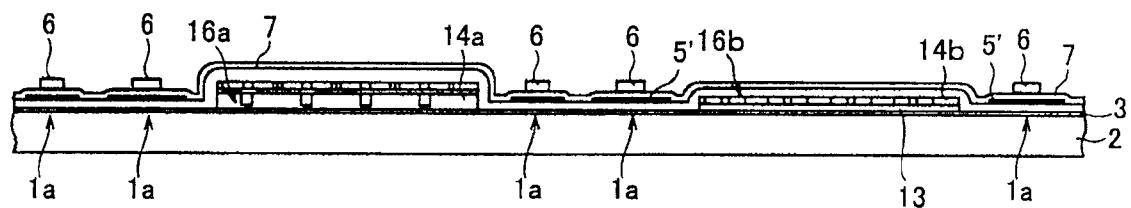


图20

