

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5178232号
(P5178232)

(45) 発行日 平成25年4月10日 (2013. 4. 10)

(24) 登録日 平成25年1月18日 (2013. 1. 18)

(51) Int. Cl.	F I
HO 2M 3/00 (2006. 01)	HO 2M 3/00 U
HO 2M 3/07 (2006. 01)	HO 2M 3/07

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2008-39414 (P2008-39414)	(73) 特許権者	302062931
(22) 出願日	平成20年2月20日 (2008. 2. 20)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2009-201227 (P2009-201227A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成21年9月3日 (2009. 9. 3)	(74) 代理人	100102864
審査請求日	平成22年8月11日 (2010. 8. 11)		弁理士 工藤 実
		(72) 発明者	佐々木 誠
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内
		(72) 発明者	田中 健太郎
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内
		(72) 発明者	夏目 貴史
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【特許請求の範囲】

【請求項 1】

電源電圧から内部電圧を生成する電圧生成回路と、

前記内部電圧を受け取り、受け取った前記内部電圧を電圧通倍することにより電圧レベルが異なる複数の出力電圧を生成する電圧通倍回路と、

前記複数の出力電圧のうちの特定出力電圧と前記電源電圧とを比較する電圧比較回路とを具備し、

前記電圧生成回路が、前記電圧比較回路の出力に応答して前記内部電圧の電圧レベルを切り換えるように構成されると共に、前記電圧通倍回路による電圧通倍の通倍率が、前記電圧比較回路の出力に応じて切り換えられ、

前記電源電圧から前記特定出力電圧を減じた差が所定値より大きい場合の前記通倍率が、前記電源電圧から前記特定出力電圧から減じた差が前記所定値より小さい場合の前記通倍率よりも小さい

電源回路。

【請求項 2】

請求項 1 に記載の電源回路であって、前記電圧生成回路は、前記電源電圧から前記特定出力電圧を減じた差が前記所定電圧より小さい場合、第 1 電圧レベルを有するように前記内部電圧を生成し、前記電源電圧から前記特定出力電圧を減じた差が前記所定電圧より大きい場合、前記第 1 電圧レベルよりも高い第 2 電圧レベルを有するように前記内部電圧を生成する

電源回路。

【請求項 3】

請求項 2 に記載の電源回路であって、

前記電圧通倍回路は、受け取った前記内部電圧が第 1 電圧レベルを有している場合、第 1 通倍率で前記内部電圧を電圧通倍して前記複数の出力電圧を生成し、受け取った前記内部電圧が前記第 2 電圧レベルを有している場合、前記第 1 通倍率よりも低い第 2 通倍率で前記内部電圧を電圧通倍して前記複数の出力電圧を生成するように構成された

電源回路。

【請求項 4】

請求項 3 に記載の電源回路であって、

前記複数の出力電圧は、

第 1 出力電圧と、

前記第 1 出力電圧より高い第 2 出力電圧

とを含み、

前記第 2 電圧レベルは、前記第 1 電圧レベルの n 倍 (n は 1 を超える数) であり、

前記電圧通倍回路は、受け取った前記内部電圧が前記第 1 電圧レベルを有している場合、前記内部電圧と同一の電圧を前記第 1 出力電圧として出力し、前記内部電圧の n 倍の電圧を前記第 2 出力電圧として出力するように構成され、且つ、受け取った前記内部電圧が前記第 2 電圧レベルを有している場合、前記内部電圧の $1/n$ 倍の電圧を前記第 1 出力電圧として出力し、前記内部電圧と同一の電圧を前記第 2 出力電圧として出力するように構成された

電源回路。

【請求項 5】

請求項 2 ～ 4 のいずれか一項に記載の電源回路であって、

前記電圧生成回路は、前記第 1 電圧レベルを有する前記内部電圧を前記電圧通倍回路の第 1 入力に供給する動作と前記第 2 電圧レベルを有する前記内部電圧を前記電圧通倍回路の第 2 入力に供給する動作とを前記電圧比較回路の出力に応答して切り換えるように構成され、

前記電圧通倍回路は、前記第 1 入力及び前記第 2 入力のいずれに前記内部電圧が供給されるかに応じて前記通倍率を切り換える

電源回路。

【請求項 6】

請求項 5 に記載の電源回路であって、

前記電圧通倍回路は、前記第 1 入力の電圧と前記第 2 入力と電圧との比率を所定値に維持するように構成され、

前記電圧生成回路は、

前記第 1 入力に接続された、前記第 1 電圧レベルを有する前記内部電圧を出力するための第 1 出力と、

前記第 2 入力に接続された、前記第 2 電圧レベルを有する前記内部電圧を出力するための第 2 出力と、

前記電圧生成回路は、前記第 1 出力と前記第 2 出力の間に直列に接続された 2 つの抵抗素子

とを備え、

前記電圧生成回路は、前記 2 つの抵抗素子の接続ノードの電圧をフィードバックして前記第 1 出力及び前記第 2 出力の両方の電圧を制御可能に構成された

電源回路。

【請求項 7】

請求項 6 に記載の電源回路であって、

前記電圧生成回路の前記第 1 出力及び前記第 2 出力は、接地端子から電氣的に切り離されている

10

20

30

40

50

電源回路。

【請求項 8】

請求項 6 又は請求項 7 に記載の電源回路であって、

前記電圧生成回路は、更に、

前記電源電圧が供給される電源線と前記第 1 出力の間に接続された第 1 P M O S トランジスタと、

前記電源線と前記第 2 出力の間に直列に接続された第 2 P M O S トランジスタと、

前記電源線を前記第 1 P M O S トランジスタを介して前記第 1 出力に接続するか、前記電源線を前記第 2 P M O S トランジスタを介して前記第 2 出力に接続するかを前記電圧比較回路の出力に応答して選択する選択回路部と、

10

前記接続ノードの電圧に応答して、前記第 1 P M O S トランジスタ及び前記第 2 P M O S トランジスタのゲート電圧を制御する制御回路部とを備える

電源回路。

【請求項 9】

請求項 5 に記載の電源回路であって、

前記電圧通倍回路は、前記第 1 入力の電圧と前記第 2 入力と電圧との比率を所定値に維持するように構成され、

前記電圧生成回路は、

前記第 1 入力に接続された、前記第 1 電圧レベルを有する前記内部電圧を出力するための第 1 出力と、

20

前記第 2 入力に接続された、前記第 2 電圧レベルを有する前記内部電圧を出力するための第 2 出力

とを備え、

前記電圧生成回路は、前記第 1 出力と前記第 2 出力の一方の出力における電圧をフィードバックして前記第 1 出力及び前記第 2 出力の両方の電圧を制御可能に構成され、

前記第 1 出力と前記第 2 出力の他方は、接地端子から電氣的に切り離された

電源回路。

【請求項 10】

請求項 1 に記載の電源回路であって、

30

前記電圧比較回路が、前記複数の出力電圧のうちの前記特定出力電圧よりも高い他の特定出力電圧と前記電源電圧とを比較するように構成され、

前記電源電圧が前記特定出力電圧よりも低い場合、前記電圧通倍回路による電圧通倍が第 1 通倍率で行われ、

前記電源電圧が前記特定出力電圧よりも高く前記他の特定出力電圧よりも低い場合、前記電圧通倍回路による電圧通倍が第 2 通倍率で行われ、

前記電源電圧が前記他の特定出力電圧よりも高い場合、前記電圧通倍回路による電圧通倍が第 3 通倍率で行われ、

前記第 3 通倍率が前記第 2 通倍率よりも低く、

前記第 2 通倍率が前記第 1 通倍率よりも低い

40

電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源回路に関し、電圧通倍によって所望の出力電圧を生成する電源回路に関する。

【背景技術】

【0002】

半導体集積回路の内部では、電源電圧を電圧通倍して所望の電圧を生成する昇圧／降圧回路が広く使用される。例えば、L C D パネル（液晶表示パネル）を駆動する液晶ドライ

50

バでは、内部基準電源電圧 V_{ci} を昇圧／降圧回路によって電圧通倍することにより、液晶表示パネルの駆動電圧が生成される。具体的には、特開 2004-4609 号公報は、内部基準電源電圧 V_{ci} をキャパシタとスイッチとによって 4 倍昇圧して電圧 V_0 を生成し、その電圧 V_0 を電圧分割することによって分圧することによって電圧 $V_1 \sim V_4$ を生成する技術を開示している。また、再公表 WO 2002/061931 号公報は、基準電圧 V_a を生成する差動アンプと、基準電圧 V_a と電源電圧 V_{DD} とから $V_a + 2V_{DD}$ の電圧レベルを有する出力電圧 V_{out} を生成するチャージポンプとを備える昇圧型電源回路を備えている。基準電圧 V_a は、出力電圧 V_{out} のフィードバックによって制御される。即ち、当該差動アンプは、出力電圧 V_{out} を電圧分割することによって得られる電圧を基準電圧 V_{ref} と比較して基準電圧 V_a を生成する。

10

【特許文献 1】特開 2004-4609 号公報

【特許文献 2】再公表 WO 2002/061931 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、公知の昇圧／降圧回路では、消費電流を低減するという要求と、低い電源電圧で動作可能であるという要求の両方を同時に満足させることができない。例えば、液晶ドライバについて考えてみよう。液晶表示パネルの駆動電圧を V_o 、駆動電流を I_o とすると、液晶表示パネルでの消費電力は、一般に、 $V_o \times I_o$ と表される。したがって、駆動電圧 V_o が内部基準電源電圧 V_{ci} を 3 倍昇圧して得られている場合には、内部基準電源電圧 V_{ci} を生成する内部電源回路では、駆動電流 I_o の 3 倍の電流（即ち、 $3I_o$ ）が消費されてしまう。

20

【0004】

電圧通倍における通倍率を低くすれば、内部基準電源電圧 V_{ci} を生成する内部電源回路の消費電流は低減できる。例えば、駆動電圧 V_o が内部基準電源電圧 V_{ci} を 2 倍昇圧して生成する場合には、内部基準電源電圧 V_{ci} を生成する内部電源回路で消費される電流は、駆動電流 I_o の 2 倍の電流（即ち、 $2I_o$ ）に抑えられる。しかしながら、この場合には、必要な駆動電圧 V_o を生成するためには、内部基準電源電圧 V_{ci} を高くせざるを得ない。

【0005】

30

このような問題は、液晶ドライバ以外にも、電圧通倍によって所望の電圧を得る回路一般に当てはまる。

【課題を解決するための手段】

【0006】

本発明の一観点では、電源回路が、電源電圧から内部電圧を生成する電圧生成回路と、前記内部電圧を電圧通倍することにより電圧レベルが異なる複数の出力電圧を生成する電圧通倍回路と、前記複数の出力電圧のうちの少なくとも一の出力電圧と前記電源電圧とを比較する電圧比較回路とを具備する。前記電圧生成回路は、前記電圧比較回路の出力に応じて前記内部電圧を変更するように構成される。加えて、前記電圧通倍回路における電圧通倍の通倍率は、前記電圧比較回路の出力に応じて切り換えられる。このような構成の電源回路では、電源電圧が高い場合には電圧通倍回路で行われる電圧通倍の通倍率を低減させて消費電流を低減可能である一方、電源電圧が低い場合には通倍率を増大させて電源回路の動作を維持することができる。

40

【発明の効果】

【0007】

本発明によれば、電圧通倍によって所望の電圧を生成する電源回路について、消費電流を低減するという要求と、低い電源電圧で動作可能であるという要求の両方を同時に満足させることができる。

【発明を実施するための最良の形態】

【0008】

50

図1は、本発明の一実施形態の電源回路が適用された液晶表示装置10の構成を示すブロック図である。液晶表示装置10は、LCDパネル1と、LCDパネル駆動回路2と、電源回路3とを備えている。LCDパネル1には、共通電極COM0～COMmとセグメント電極SEG0～SE Gnとが設けられており、これらが交差する位置に画素4が設けられている。LCDパネル駆動回路2は、共通電極COM0～COMmとセグメント電極SEG0～SE Gnとを駆動する。電源回路3は、電源電圧VDDから電圧VO1～VO3を生成し、電圧VO1～VO3をLCDパネル駆動回路2に供給する。ここで、電圧VO1～VO3は、下記関係が成立するように生成される：

$$VO1 = Va^*, \quad \dots (1a)$$

$$VO2 = 2 \times Va^* (= 2 \times VO1), \quad \dots (1b)$$

$$VO3 = 3 \times Va^* (= 3 \times VO1). \quad \dots (1c)$$

ここで、 Va^* は、所定の電圧である。LCDパネル駆動回路2は、電源回路3から受けた電圧VO1～VO3を用いて共通電極COM0～COMmとセグメント電極SEG0～SE Gnとを駆動する。

【0009】

図2Aは、LCDパネル駆動回路2の動作を示す概念図であり、図2Bは、LCDパネル駆動回路2の動作の例を示すタイミングチャートである。LCDパネル駆動回路2は、共通電極COM0～COMmとセグメント電極SEG0～SE Gnを、接地電圧GND又は電圧VO1～VO3に駆動する。詳細には、最初の4水平走査期間において、LCDパネル駆動回路2は、選択する共通電極を接地電圧GNDに、非選択の共通電極を電圧VO2に駆動すると共に、点灯させる画素4に対応するセグメント電極を電圧VO3に、消灯させる画素4に対応するセグメント電極を電圧VO1に駆動する。一方、続く4水平走査期間では、LCDパネル駆動回路2は、選択する共通電極を電圧VO3に、非選択の共通電極を電圧VO1に駆動すると共に、点灯させる画素4のセグメント電極を接地電圧GNDに、消灯させる画素4のセグメント電極をVO2に駆動する。このようなLCDパネル駆動回路2の動作により、LCDパネル1は、交流駆動によって駆動される。

【0010】

本実施形態の主題は、電源電圧VDDから電圧VO1～VO3を生成する電源回路3の構成にある。以下、電源回路3について詳細に説明する。

【0011】

図3は、本実施形態における電源回路3の原理的な構成を示すブロック図である。電源回路3は、電圧比較回路11と、電圧生成回路12と、昇圧／降圧回路13と、バンドギャップリファレンス回路14とを備えている。

【0012】

電圧比較回路11は、電源回路3の3つの出力電圧：電圧VO1～VO3のうち、電圧VO2と電源電圧VDDとを比較し、比較結果に応じて制御信号LVIを生成する。本実施形態では、

$$VDD - VO2 > Vofs,$$

が成立する場合、制御信号LVIが”High”レベルに設定され、

$$VDD - VO2 < Vofs,$$

が成立する場合、制御信号LVIが”Low”レベルに設定される。ここで、 $Vofs$ は電圧比較回路11のオフセット電圧であり、正の値を取る。オフセット電圧 $Vofs$ は、電圧生成回路12で発生する電圧降下に応じて調節される。

【0013】

電圧生成回路12は、電源線15に供給されている電源電圧VDDから内部電圧VI1又は内部電圧VI2を生成する。ここで、内部電圧VI1、VI2は、下記の関係を満たす電圧である：

$$VI1 < VI2 < VDD.$$

【0014】

詳細には、電圧生成回路12は、2つの出力端子を有しており、その一方から内部電圧

10

20

30

40

50

V I 1、他方から内部電圧 V I 2 を出力するように構成されている。内部電圧 V I 1、V I 2 のいずれが出力されるかは、電圧比較回路 1 1 によって生成される制御信号 L V I に応じて切り換えられる；制御信号 L V I が " L o w " レベルであるとき、電圧生成回路 1 2 は内部電圧 V I 1 を出力し、制御信号 L V I が " H i g h " レベルであるとき、電圧生成回路 1 2 は内部電圧 V I 2 を出力する。内部電圧が出力されない出力端子は、ハイインピーダンス状態に設定される。

【0015】

加えて、電圧生成回路 1 2 は、内部電圧 V I 1、V I 2 を所望値に制御する機能を有している。内部電圧 V I 1、V I 2 の制御には、バンドギャップリファレンス回路 1 4 から供給される参照電圧 V r e f が使用される。

10

【0016】

昇圧／降圧回路 1 3 は、電圧生成回路 1 2 から供給された内部電圧 V I 1、V I 2 に対して電圧通倍を行って、電圧 V O 1 ~ V O 3 を生成する。本明細書においては、電圧通倍とは、与えられた電圧の n 倍（n は、正の数）の電圧を生成することを意味している。以下では、パラメータ n を、通倍率と呼ぶ。本明細書でいう電圧通倍は、昇圧・降圧の両方を含む概念として定義されることに留意されたい；通倍率 n が 1 を超える電圧通倍は、昇圧を意味しており、通倍率 n が 1 未満である電圧通倍は、降圧を意味している。

【0017】

詳細には、昇圧／降圧回路 1 3 は、2 つの入力端子を有しており、その一方で内部電圧 V I 1 を、他方で内部電圧 V I 2 を受け取る。昇圧／降圧回路 1 3 は、いずれの入力端子で内部電圧を受け取ったかに応じて、受け取った内部電圧を異なる通倍率で電圧通倍するように構成されている。昇圧／降圧回路 1 3 は、内部電圧 V I 1 を受け取った場合、内部電圧 V I 2 を受け取った場合よりも高い倍率で内部電圧 V I 1 に対して電圧通倍を行う。昇圧／降圧回路 1 3 が、いずれの入力で内部電圧を受け取るかは電圧比較回路 1 1 から出力される制御信号 L V I に応じて決まるから、結果として、昇圧／降圧回路 1 3 における通倍率も、制御信号 L V I に応答して切り換えられることになる。

20

【0018】

一実施形態では、昇圧／降圧回路 1 3 は、内部電圧 V I 1 を受け取ったとき、当該内部電圧 V I 1 と同一の電圧を電圧 V O 1 として出力し、内部電圧 V I 1 の 2 倍の電圧を電圧 V O 2 として出力し、内部電圧 V I 1 の 3 倍の電圧を電圧 V O 3 として出力するように構成される。一方、内部電圧 V I 2 を受け取ったときには、当該内部電圧 V I 2 の 1 / 2 倍の電圧を電圧 V O 1 として出力し、内部電圧 V I 2 と同じ電圧を電圧 V O 2 として出力し、内部電圧 V I 2 の 1 . 5 倍の電圧を電圧 V O 3 として出力する。

30

【0019】

この場合、内部電圧 V I 1、V I 2 を、
 $V I 1 = V a *$, . . . (2 a)
 $V I 2 = 2 \times V a *$, . . . (2 b)
 を成立させるように生成すれば、内部電圧 V I 1、V I 2 のいずれが昇圧／降圧回路 1 3 に供給されても、電圧 V O 1 ~ V O 3 は、所望の通り、 $V a *$ 、 $2 \times V a *$ 、 $3 \times V a *$ になる。なぜなら、下記関係が成り立つからである：

40

$$V O 1 = V I 1 = (1 / 2) \times V I 2 = V a * , \quad \dots (3 a)$$

$$V O 2 = 2 \times V I 1 = V I 2 = 2 \times V a * , \quad \dots (3 b)$$

$$V O 3 = 3 \times V I 1 = 1.5 \times V I 2 = 3 \times V a * . \quad \dots (3 c)$$

【0020】

このような構成によれば、電源電圧 V D D が高い場合（具体的には、 $V D D - V O 2 > V o f s$ が成立する場合）には、昇圧／降圧回路 1 3 の通倍率が低減され、電源電圧 V D D を生成する電源での消費電流が低減される。一方、電源電圧 V D D が低い場合には、昇圧／降圧回路 1 3 の通倍率が増加されて所望の電圧レベルを有する電圧 V O 1 ~ V O 3 が生成されるから、電源回路 3 は、低い電源電圧で動作することも可能である。このように、電源回路 3 は、消費電流を低減するという要求と、低い電源電圧で動作可能であるとい

50

う要求の両方を同時に満足させるように構成されている。

【0021】

以下では、本実施形態の電源回路3の構成の具体例を説明する。図4は、電源回路3の構成の具体例を示す回路図である。

【0022】

電圧生成回路12は、出力端子21、22と、PMOSトランジスタ23～26と、インバータ27と、抵抗素子28～31と、オペアンプ32と、NMOSトランジスタ33、34とで構成される。ここで、出力端子21、22は、それぞれ、内部電圧 V_{I1} 、 V_{I2} を出力する端子である。

【0023】

PMOSトランジスタ23、24は、電源線15とノードN1の間に直列に接続されており、該ノードN1は、出力端子21に接続されている。一方、PMOSトランジスタ25、26は、電源線15とノードN2の間に直列に接続され、該ノードN2は、出力端子22に接続されている。PMOSトランジスタ23のゲートには、電圧比較回路11から制御信号LVIが供給され、PMOSトランジスタ25のゲートには、電圧比較回路11の出力に接続されたインバータ27から、制御信号LVIの反転信号である反転制御信号/ LVI が供給される。PMOSトランジスタ23、25は、電源線15を出力端子21、22のいずれに電氣的に接続するかを制御信号LVIに応答して選択する選択回路部として機能する。

【0024】

抵抗素子28、29は、ノードN1と接地端子の間に直列に接続されており、内部電圧 V_{I1} を電圧分割するために使用される。抵抗素子28、29の接続ノードN3は、NMOSトランジスタ33を介してオペアンプ32の正転入力に接続されている。抵抗素子28、29の抵抗値は、内部電圧 V_{I1} が電圧 V_{a^*} に一致するとき、ノードN3の電圧が参照電圧 V_{ref} に一致するように調節される。

【0025】

同様に、抵抗素子30、31は、ノードN2と接地端子の間に直列に接続されており、内部電圧 V_{I2} を電圧分割するために使用される。抵抗素子30、31の接続ノードN4は、NMOSトランジスタ34を介してオペアンプ32の正転入力に接続されている。抵抗素子30、31の抵抗値は、内部電圧 V_{I2} が電圧 $2V_{a^*}$ に一致するときノードN4の電圧が参照電圧 V_{ref} に一致するように調節される。

【0026】

NMOSトランジスタ33のゲートには電圧比較回路11から制御信号LVIが供給されており、NMOSトランジスタ33は、制御信号LVIに応じてオンオフされる。同様に、NMOSトランジスタ34のゲートにはインバータ27から反転制御信号/ LVI が供給されており、NMOSトランジスタ33は、反転制御信号/ LVI に応じてオンオフされる。

【0027】

オペアンプ32は、内部電圧 V_{I1} 、 V_{I2} に応じてPMOSトランジスタ24、26のゲート電圧を制御する制御回路部として機能する。オペアンプ32は、バンドギャップリファレンス回路14によって生成された参照電圧 V_{ref} を反転入力で受け取り、内部電圧 V_{I1} 、又は V_{I2} を電圧分割して得られる電圧を正転入力で受け取る。オペアンプ32は、正転出力を有しており、正転入力の電圧（即ち、内部電圧 V_{I1} 又は V_{I2} を電圧分割して得られる電圧）から参照電圧 V_{ref} を減じた差に応じた電圧をPMOSトランジスタ24、26のゲートに供給する。オペアンプ32は、PMOSトランジスタ24、26のゲート電圧を制御し、これにより、内部電圧 V_{I1} 、 V_{I2} を、それぞれ電圧 V_{a^*} 、 $2V_{a^*}$ に制御する役割を有している。

【0028】

電圧生成回路12がこのような構成を採用する場合、電圧比較回路11のオフセット電圧 V_{ofs} は、PMOSトランジスタ25、26で発生する電圧降下よりも多少大きな

10

20

30

40

50

るように設定される。図5は、電圧比較回路11が出力する制御信号LVIの電圧レベルと、 $VDD - VO2$ の関係を示す図である。 $VDD - VO2 > Vofs$ が成立する場合、制御信号LVIの電圧レベルはVDD（即ち、“High”レベル）に設定される。一方、 $VDD - VO2 < Vofs$ が成立する場合、制御信号LVIの電圧レベルは0V（即ち、“Low”レベル）に設定される。

【0029】

図4に戻り、昇圧／降圧回路13は、入力端子41、42と、出力端子43～45と、内部配線46、47と、スイッチS1～S3と、キャパシタ配線52、53とを備えている。内部配線46は、昇圧／降圧回路13の内部で入力端子41と出力端子43とを接続する配線であり、内部配線47は、入力端子42と出力端子44とを接続する配線である。出力端子43、44、45と接地端子の間には、それぞれ、外部キャパシタCAP1～CAP3が接続される。加えて、キャパシタ配線52、53の間に外部キャパシタCAPHLが接続される。外部キャパシタCAP1～CAP3、CAPHLは、同一のキャパシタンスを有している。昇圧／降圧回路13と外部キャパシタCAP1～CAP3、CAPHLとにより、内部電圧VI1、VI2に対して電圧通倍を行う電圧通倍回路が構成される。

【0030】

スイッチS1は、キャパシタCAPHLを内部配線46と接地端子16の間に接続するためのスイッチであり、NMOSトランジスタ49a、49bで構成されている。スイッチS2は、キャパシタCAPHLを内部配線47と内部配線46の間に接続するためのスイッチであり、NMOSトランジスタ50a、50bで構成されている。スイッチS3は、キャパシタCAPHLを出力端子45と内部配線47の間に接続するためのスイッチであり、NMOSトランジスタ51a、51bで構成されている。

【0031】

スイッチS1～S3には、それぞれ、昇圧クロックCLK1～CLK3が供給されている。図6は、昇圧クロックCLK1～CLK3の波形を示す図である。昇圧クロックCLK1～CLK3は、多相クロックを構成しており、“High”レベルにプルアップされる期間が互いに異なる。昇圧クロックCLK1が“High”レベルになると、スイッチS1がオン状態になり、昇圧クロックCLK2が“High”レベルになると、スイッチS2がオン状態になり、昇圧クロックCLK3が“High”レベルになると、スイッチS3がオン状態になる。以下では、昇圧クロックCLK1が“High”レベルに期間をフェーズ“1”、昇圧クロックCLK2が“High”レベルに期間をフェーズ“2”、昇圧クロックCLK3が“High”レベルに期間をフェーズ“3”と呼ぶことにする。

【0032】

図4の電源回路3の動作を以下に説明する：

(1) $VDD - VO2 > Vofs$ が成立する場合

この場合、電圧生成回路12は、内部電圧VI2を出力端子22から出力する；出力端子21は、ハイインピーダンス状態に設定される。より具体的には、電圧比較回路11により制御信号LVIが“High”レベルに設定され、これにより、PMOSトランジスタ23がオフにされ、PMOSトランジスタ25がオンされる。その一方で、NMOSトランジスタ34が制御信号LVIによってオンにされるため、内部電圧VI2がオペアンプ32にフィードバックされる。オペアンプ32は、PMOSトランジスタ26のゲート電圧を制御して、内部電圧VI2を電圧レベル $2Va^*$ に一致させる。このような動作により、電圧生成回路12は、電圧レベル $2Va^*$ を有する内部電圧VI2を昇圧／降圧回路13に供給する。

【0033】

その一方で、昇圧／降圧回路13は、昇圧クロックCLK1～CLK3の供給を受け、内部電圧VI2から電圧VO1～VO3を生成する。具体的には、昇圧／降圧回路13は、内部電圧VI2の1/2倍の電圧を電圧VO1として出力し、内部電圧VI2と同一の電圧を電圧VO2として出力し、内部電圧VI3の1.5倍の電圧を電圧VO3として出

10

20

30

40

50

力する。

【0034】

図7は、昇圧／降圧回路13の動作を詳細に示す表である。内部電圧 V_{I2} が昇圧／降圧回路13に供給される場合、フェーズ”2”において、キャパシタCAP2が内部電圧 V_{I2} に充電される。キャパシタCAP2の電圧、即ち、電圧 V_{O2} は、内部電圧 V_{I2} に一致される。このとき、キャパシタCAPHL及びCAP1が、直列に接続されるので、キャパシタCAPHL、CAP1は、それぞれ、電圧 $V_{I2}/2$ に充電される。フェーズ”3”では、キャパシタCAP3の電圧がキャパシタCAP2の電圧とキャパシタCAPHLの電圧の和に一致するように、キャパシタCAPHLからキャパシタCAP3に電荷が移動される。フェーズ”1”では、キャパシタCAPHL、CAP1が、並列に接続される。これにより、キャパシタCAPHL、CAP1の電圧が一致するように、キャパシタCAPHL、CAP1の間で電荷が移動される。上記のフェーズ”1”～”3”の動作が繰り返されて電荷の移動が止まると、キャパシタCAP1、CAPHLは、電圧 $V_{I2}/2$ に充電され、キャパシタCAP2は、電圧 V_{I2} に充電され、キャパシタCAP3は、電圧 $1.5 \times V_{I2}$ に充電される。

10

【0035】

ここで、内部電圧 V_{I2} は、電圧 $2V_{a^*}$ に一致するように制御されるので、結果として、電圧 $V_{O1} \sim V_{O3}$ は、下記関係が成立するように生成されることになる：

$$V_{O1} = (1/2) \times V_{I2} = V_{a^*}, \quad \dots (4a)$$

$$V_{O2} = V_{I2} = 2 \times V_{a^*}, \quad \dots (4b)$$

$$V_{O3} = 1.5 \times V_{I2} = 3 \times V_{a^*}. \quad \dots (4c)$$

20

【0036】

(2) $V_{DD} - V_{O2} < V_{ofs}$ が成立する場合

この場合、電圧生成回路12は、内部電圧 V_{I1} を出力端子21から出力する；出力端子22は、ハイインピーダンス状態に設定される。より具体的には、電圧比較回路11により制御信号LVIが”Low”レベルに設定され、これにより、PMOSトランジスタ23がオンにされ、PMOSトランジスタ25がオフされる。その一方で、NMOSトランジスタ33が制御信号/LVIによってオンにされるため、内部電圧 V_{I1} がオペアンプ32にフィードバックされる。これにより、PMOSトランジスタ24のゲート電圧は、オペアンプ32により、内部電圧 V_{I1} が所望値 V_{a^*} になるように制御される。このような動作により、電圧生成回路12は、電圧レベル V_{a^*} を有する内部電圧 V_{I1} を昇圧／降圧回路13に供給する。

30

【0037】

図7を再度に参照して、内部電圧 V_{I1} が昇圧／降圧回路13に供給される場合、フェーズ”1”において、キャパシタCAPHL、CAP1が、電圧 V_{I1} に充電される。フェーズ”2”においては、キャパシタCAP2の電圧がキャパシタCAP1の電圧とキャパシタCAPHLの電圧の和に一致するように、キャパシタCAPHLからキャパシタCAP2に電荷が移動される。フェーズ”3”では、キャパシタCAP3の電圧がキャパシタCAP2の電圧とキャパシタCAPHLの電圧の和に一致するように、キャパシタCAPHLからキャパシタCAP3に電荷が移動される。上記のフェーズ”1”～”3”の動作が繰り返されて電荷の移動が止まると、キャパシタCAP1、CAPHLは、電圧 V_{I1} に充電され、キャパシタCAP2は、電圧 $2 \times V_{I1}$ に充電され、キャパシタCAP3は、電圧 $3 \times V_{I1}$ に充電される。

40

【0038】

ここで、内部電圧 V_{I1} は、電圧 V_{a^*} に一致するように制御されるので、結果として、電圧 $V_{O1} \sim V_{O3}$ は、下記関係が成立するように生成されることになる：

$$V_{O1} = V_{I1} = V_{a^*}, \quad \dots (5a)$$

$$V_{O2} = 2 \times V_{I1} = 2 \times V_{a^*}, \quad \dots (5b)$$

$$V_{O3} = 3 \times V_{I1} = 3 \times V_{a^*}. \quad \dots (5c)$$

【0039】

50

以上から理解されるように、電源回路 3 は、上記の (1) (2) のいずれの場合であっても、下記式が成立するように動作する。

$$VO1 = Va^*, \quad \dots (1a)$$

$$VO2 = 2 \times Va^*, \quad \dots (1b)$$

$$VO3 = 3 \times Va^*. \quad \dots (1c)$$

【0040】

即ち、 $VDD - VO2 > Vofs$ が成立する程度に電源電圧 VDD が高い場合には、電圧 $VO1 \sim VO3$ を維持しながら昇圧／降圧回路 13 の通倍率が低減され、電源電圧 VDD を生成する電源での消費電流が低減される。一方、 $VDD - VO2 < Vofs$ が成立する程度に電源電圧 VDD が低い場合には、昇圧／降圧回路 13 の通倍率が増加されて所望の電圧レベルを有する電圧 $VO1 \sim VO3$ が生成される。即ち、電源回路 3 は、低い電源電圧で動作することも可能である。このように、電源回路 3 は、消費電流を低減するという要求と、低い電源電圧で動作可能であるという要求の両方を同時に満足させることができる。

【0041】

図 4 の構成の一つの問題点は、電圧生成回路 12 の出力端子 21、22 の両方が、抵抗素子 28～30 を介して接地端子に接続されているため、接地端子に多くの電流が流れ込み、消費電力が大きくなることである。以下では、電源回路 3 の消費電力を低減するための構成について記述する。

【0042】

図 8 A は、消費電力を低減するための電圧生成回路 12 の一例を示す回路図である。図 8 A の構成では、出力端子 22 は、接地端子から電氣的に切り離される。即ち、内部電圧 $VI2$ をオペアンプ 32 にフィードバックするために使用される抵抗素子 30、31 が取り除かれる；図 8 A の構成では、内部電圧 $VI1$ のみがオペアンプ 32 にフィードバックされる。これに伴い、フィードバックされるべき内部電圧を選択する NMOS トランジスタ 33、34 が取り除かれ、接続ノード N3 がオペアンプ 32 に直接に接続される。

【0043】

図 8 A の構成では、電圧生成回路 12 の出力端子 21 しか接地端子に接続されないため、接地端子に流れ込む電流が低減され、消費電力が小さくなる。

【0044】

その一方で、図 8 A の構成では、電圧生成回路 12 自体には、内部電圧 $VI1$ を電圧 Va^* に制御する機能しか与えられない；電圧生成回路 12 単独では、内部電圧 $VI2$ を電圧 $2Va^*$ に制御することはできない。しかしながら、図 8 A の構成では、昇圧／降圧回路 13 が、下記の関係：

$$VI1 = (1/2) \times VI2,$$

を満足させる動作を行うように構成されているので、電圧生成回路 12 において内部電圧 $VI1$ しか制御しなくても、内部電圧 $VI2$ が電圧 $2Va^*$ に制御される。

【0045】

詳細には、電圧生成回路 12 が内部電圧 $VI2$ を昇圧／降圧回路 13 の入力端子 42 に出力すると、昇圧／降圧回路 13 の作用により、入力端子 41 の電圧が $(1/2) \times VI2$ になる。即ち、ノード N1 が、電圧 $(1/2) \times VI2$ になる。このとき、オペアンプ 32 により、ノード N1 が電圧 Va^* になるように PMOS トランジスタ 26 のゲート電圧が制御されるので、結果として、内部電圧 $VI2$ が電圧 $2Va^*$ に制御される。

【0046】

図 8 B に示されているように、出力端子 21 が接地端子から電氣的に切り離される構成も可能である。この場合、内部電圧 $VI1$ をオペアンプ 32 にフィードバックするために使用される抵抗素子 28、29 が取り除かれる；図 8 B の構成では、内部電圧 $VI2$ のみがオペアンプ 32 にフィードバックされる。これに伴い、フィードバックされるべき内部電圧を選択する NMOS トランジスタ 33、34 が取り除かれ、接続ノード N4 がオペアンプ 32 に直接に接続される。

【0047】

図8Bのような構成では、電圧生成回路12自体には、内部電圧 V_{I2} を電圧 $2V_{a^*}$ に制御する機能しか与えられない。しかしながら、図8Aの構成と同様に、昇圧／降圧回路13の動作により、電圧生成回路12において内部電圧 V_{I2} しか制御しなくても、内部電圧 V_{I1} が電圧 V_{a^*} に制御される。図8Bの構成では、電圧生成回路12の出力端子22しか接地端子に接続されないため、接地端子に流れ込む電流が低減され、消費電力が小さくなる。

【0048】

図9は、一層に消費電力を低減するための電圧生成回路12の構成を示す回路図である。図9の構成の電圧生成回路12では、出力端子21、22の両方が接地端子から電氣的に切り離されている。具体的には、出力端子21、22の間に抵抗素子35、36が直列に接続される；出力端子21、22と接地端子の間の抵抗素子28～30は、取り除かれる。抵抗素子35、36の接続ノードN5がオペアンプ32の正転出力に接続される。図9の構成では、出力端子21、22の両方が接地端子から電氣的に切り離されるため、電源回路3の消費電力が更に低減される。

10

【0049】

その一方で、図9の構成では、電圧生成回路12は、それ単独で内部電圧 V_{I1} 、 V_{I2} をそれぞれ、電圧 V_{a^*} 、 $2V_{a^*}$ に制御する機能を有していない。しかしながら、以下に述べられるように、抵抗素子35、36の抵抗値を適切に設定すれば、昇圧／降圧回路13の作用により、内部電圧 V_{I1} 、 V_{I2} をそれぞれ、電圧 V_{a^*} 、 $2V_{a^*}$ に制御

20

【0050】

以下では、抵抗素子35、36の抵抗値について検討する。以下においては、抵抗素子35の抵抗値を R_1 、抵抗素子36の抵抗値を R_2 と記載する。

【0051】

定常状態では、オペアンプ32の正転入力と反転入力の入力電圧がほぼ等しくなるため、下記式(6)が成立する：

$$\begin{aligned} V_{ref} &= (V_{I2} - V_{I1}) \times R_1 / (R_1 + R_2) + V_{I1}, \\ &= V_{I2} \times R_1 / (R_1 + R_2) + V_{I1} \times R_2 / (R_1 + R_2), \\ &\quad \dots (6) \end{aligned}$$

30

ここで、 V_{ref} は、バンドギャップリファレンス回路14から供給される参照電圧である。

【0052】

一方、昇圧／降圧回路13は、内部電圧 V_{I1} 、 V_{I2} を下記の關係に維持する機能を有している：

$$V_{I2} = 2 \times V_{I1}, \quad \dots (7)$$

【0053】

式(7)を式(6)に代入すると、下記式(8)が得られる：

$$V_{ref} = (2 \times R_1 + R_2) / (R_1 + R_2) \times V_{I1},$$

即ち、

$$V_{I1} / V_{ref} = (R_1 + R_2) / (2R_1 + R_2). \quad \dots (8)$$

40

【0054】

式(8)から理解されるように、内部電圧 V_{I1} を電圧 V_{a^*} に調節するためには、

$$V_{a^*} / V_{ref} = (R_1 + R_2) / (2R_1 + R_2), \quad \dots (9)$$

が成立するように抵抗素子35、36の抵抗値 R_1 、 R_2 を調節すればよい。言い換えれば、式(9)が成立するように抵抗値 R_1 、 R_2 を調節すれば、内部電圧 V_{I1} 、 V_{I2} をそれぞれ、電圧 V_{a^*} 、 $2V_{a^*}$ に制御することができる。

【0055】

図3の構成及びその具体例である図4、図8A、図8B、図9の構成では、電圧生成回路12が、内部電圧 V_{I1} 、 V_{I2} が別々の出力端子から、且つ、制御信号 LVI に応じ

50

て排他的に出力するように構成されると共に、昇圧／降圧回路 13 は、入力端子 41 で内部電圧 V_{I1} を受け取った場合と、入力端子 42 で内部電圧 V_{I2} を受け取った場合とで、異なる通倍率で電圧通倍するように構成されている。この構成では、内部電圧 V_{I1} 、 V_{I2} のいずれが昇圧／降圧回路 13 に供給されるかが制御信号 LVI に応答して選択され、昇圧／降圧回路 13 における通倍率が、制御信号 LVI に間接的に切り換えられることになる。

【0056】

一方で、図 10 に示されているように、昇圧／降圧回路 13 にも制御信号 LVI が供給され、昇圧／降圧回路 13 における電圧通倍の通倍率が制御信号 LVI に応答して切り換えられる構成も可能である。この場合、電圧生成回路 12 は、電圧比較回路 11 から出力される制御信号 LVI に応じて内部電圧 V_I の電圧レベルを制御する。

10

【0057】

より具体的には、 $V_{DD} - V_{O2} < V_{ofs}$ が成立する場合、電圧比較回路 11 は、制御信号 LVI を "Low" レベルに設定する。制御信号 LVI が "Low" レベルに設定されたことに応答して、電圧生成回路 12 は、内部電圧 V_I を電圧 V_{a^*} に制御する一方、昇圧／降圧回路 13 は、内部電圧 V_I と同一の電圧を電圧 V_{O1} として出力し、内部電圧 V_I の 2 倍の電圧を電圧 V_{O2} として出力し、内部電圧 V_I の 3 倍の電圧を電圧 V_{O3} として出力する。結果として、電源回路 3 から出力される電圧 V_{O1} 、 V_{O2} 、 V_{O3} の電圧レベルは、それぞれ、 V_{a^*} に、 $2V_{a^*}$ 、 $3V_{a^*}$ になる。

20

【0058】

$V_{DD} - V_{O2} > V_{ofs}$ が成立する場合、電圧比較回路 11 は、制御信号 LVI を "High" レベルに設定する。制御信号 LVI が "High" レベルに設定されたことに応答して、電圧生成回路 12 は、内部電圧 V_I を電圧 $2V_{a^*}$ に制御する一方、昇圧／降圧回路 13 は、内部電圧 V_I の $1/2$ 倍の電圧を電圧 V_{O1} として出力し、内部電圧 V_I と同一の電圧を電圧 V_{O2} として出力し、内部電圧 V_I の 1.5 倍の電圧を電圧 V_{O3} として出力する。結果として、電源回路 3 から出力される電圧 V_{O1} 、 V_{O2} 、 V_{O3} の電圧レベルは、それぞれ、 V_{a^*} に、 $2V_{a^*}$ 、 $3V_{a^*}$ になる。

【0059】

図 3、図 4、図 8A、図 8B、図 9、図 10 のいずれの構成でも、電圧生成回路 12 から出力される内部電圧と、昇圧／降圧回路 13 で行われる電圧通倍の通倍率とが、電圧比較回路 11 の出力に応じて切り換えられるという点では本質的に同じである。

30

【0060】

図 11 は、本発明の他の実施形態の電源回路 3A の構成を示すブロック図である。図 11 の電源回路 3A では、電圧 V_{O2} と電源電圧 V_{DD} との比較の結果に加え、電圧 V_{O3} と電源電圧 V_{DD} との比較の結果に応じて、電圧生成回路 12A、昇圧／降圧回路 13A の動作が制御される。電圧 V_{O2} 、 V_{O3} と電源電圧 V_{DD} との比較結果は、制御信号 $LVI_out1 \sim LVI_out3$ によって、電圧生成回路 12A、昇圧／降圧回路 13A に通知される。

【0061】

詳細には、 $V_{DD} < V_{O2}$ が成立する場合、電圧生成回路 12A は、内部電圧 V_I の電圧レベルを V_{a^*} に設定する一方で、昇圧／降圧回路 13A は、内部電圧 V_I と同一の電圧を電圧 V_{O1} として出力し、内部電圧 V_I の 2 倍の電圧を電圧 V_{O2} として出力し、内部電圧 V_I の 3 倍の電圧を電圧 V_{O3} として出力する。この結果、電源回路 3A から出力される電圧 V_{O1} 、 V_{O2} 、 V_{O3} の電圧レベルは、それぞれ、 V_{a^*} 、 $2V_{a^*}$ 、 $3V_{a^*}$ になる。

40

【0062】

また、 $V_{O2} < V_{DD} < V_{O3}$ が成立する場合、電圧生成回路 12A は、内部電圧 V_I の電圧レベルを $2V_{a^*}$ に設定する一方で、昇圧／降圧回路 13A は、内部電圧 V_I の $1/2$ 倍の電圧を電圧 V_{O1} として出力し、内部電圧 V_I と同一の電圧を電圧 V_{O2} として出力し、内部電圧 V_I の 1.5 倍の電圧を電圧 V_{O3} として出力する。この結果、電源回

50

路 3 A から出力される電圧 V_{O1} 、 V_{O2} 、 V_{O3} の電圧レベルは、それぞれ、 V_{a^*} 、 $2V_{a^*}$ 、 $3V_{a^*}$ になる。

【0063】

更に、 $V_{O3} < V_{DD}$ が成立する場合、電圧生成回路 12 A は、内部電圧 V_I の電圧レベルを $3V_{a^*}$ に設定する一方で、昇圧／降圧回路 13 A は、内部電圧 V_I の $1/3$ 倍の電圧を電圧 V_{O1} として出力し、内部電圧 V_I の $2/3$ 倍の電圧を電圧 V_{O2} として出力し、内部電圧 V_I と同一の電圧を電圧 V_{O3} として出力する。この結果、電源回路 3 A から出力される電圧 V_{O1} 、 V_{O2} 、 V_{O3} の電圧レベルは、それぞれ、 V_{a^*} 、 $2V_{a^*}$ 、 $3V_{a^*}$ になる。

【0064】

以上のように、図 11 の構成においても、電源電圧 V_{DD} が高い場合には昇圧／降圧回路 13 の通倍率が低減され、これにより、電源電圧 V_{DD} を生成する電源の消費電力が低減される。一方、電源電圧 V_{DD} が低い場合には昇圧／降圧回路 13 の通倍率が増加されて所望の電圧レベルを有する電圧 $V_{O1} \sim V_{O3}$ が生成される。即ち、電源回路 3 A は、低い電源電圧で動作することも可能である。特に、図 11 の構成では、電源電圧 V_{DD} が電圧 V_{O3} よりも高い場合には、内部電圧 V_I が電圧 $3V_{a^*}$ に設定されて昇圧／降圧回路 13 の通倍率が低減され、電源電圧 V_{DD} を生成する電源の消費電力を一層に低減することができる。

【0065】

以下では、図 11 の電源回路 3 A の電圧比較回路 11 A、電圧生成回路 12 A、昇圧／降圧回路 13 A の構成と動作について詳細に説明する。

【0066】

図 12 は、電圧比較回路 11 A の構成の例を示す回路図である。電圧比較回路 11 A は、電圧 V_{O2} と電源電圧 V_{DD} との比較、及び電圧 V_{O3} と電源電圧 V_{DD} との比較の結果に応じて、制御信号 $LVI_out1 \sim LVI_out3$ のうちの 1 つのみを選択的に "High" レベルに設定し、他の制御信号を "Low" レベルに設定する。詳細には、 $V_{DD} < V_{O2}$ が成立する場合、制御信号 LVI_out1 が "High" レベルに設定され、 $V_{O2} < V_{DD} < V_{O3}$ が成立する場合、制御信号 LVI_out2 が "High" レベルに設定され、 $V_{O3} < V_{DD}$ が成立する場合、制御信号 LVI_out3 が "High" レベルに設定される。

【0067】

一実施形態では、電圧比較回路 11 A は、2 つのコンパレータ 61、62 と、NOR 回路 63 と、AND 回路 64、65 とを備えている。コンパレータ 61 の正転入力には、電源電圧 V_{DD} が入力され、反転入力には電圧 V_{O2} が入力される。コンパレータ 62 の正転入力には、電源電圧 V_{DD} が入力され、反転入力には電圧 V_{O2} が入力される。コンパレータ 61 の出力は、NOR 回路 63、AND 回路 64、65 それぞれの第 1 入力に接続され、コンパレータ 62 の出力は、NOR 回路 63、AND 回路 64、65 それぞれの第 2 入力に接続される。ここで、AND 回路 64 の第 2 入力（コンパレータ 62 の出力が接続されている入力）は、反転入力である。制御信号 $LVI_out1 \sim LVI_out3$ は、それぞれ、NOR 回路 63、AND 回路 64、65 の出力から出力される。このような構成で上述の電圧比較回路 11 A の動作が実現されることは、当業者には理解されよう。生成された制御信号 $LVI_out1 \sim LVI_out3$ は、電圧生成回路 12 A 及び昇圧／降圧回路 13 A の両方に供給される。

【0068】

図 13 は、電圧生成回路 12 A の構成の例を示す回路図である。電圧生成回路 12 A は、内部電圧 V_I の電圧レベルを、電圧生成回路 12 A から供給される制御信号 $LVI_out1 \sim LVI_out3$ に応じて 3 段階に切り換える。詳細には、電圧生成回路 12 A は、制御信号 LVI_out1 が "High" レベルである場合（即ち、 $V_{DD} < V_{O2}$ が成立する場合）に、内部電圧 V_I を電圧 V_{a^*} に設定し、制御信号 LVI_out2 が "High" レベルである場合（即ち、 $V_{O2} < V_{DD} < V_{O3}$ が成立する場合）に、内

10

20

30

40

50

部電圧 V_I を電圧 $2V_a^*$ に設定し、制御信号 $LVI_out\ 3$ が "High" レベルである場合（即ち、 $VO\ 3 < VDD$ が成立する場合）に、内部電圧 V_I を電圧 $3V_a^*$ に設定する。

【0069】

一実施形態では、電圧生成回路 12A は、出力端子 71 と、NMOS トランジスタ 72 と、抵抗素子 73～76 と、オペアンプ 77 と、NMOS トランジスタ 78～80 とを備えている。NMOS トランジスタ 72 は、ノード N11 と電源電圧 VDD が供給される電源線 15 の間に接続されており、ノード N11 は出力端子 71 に接続される。抵抗素子 73～76 は、ノード N11 と接地端子の間に直列に接続されている。抵抗素子 73、74 の接続ノード N12 は、NMOS トランジスタ 78 を介してオペアンプ 77 の反転入力に接続されている。同様に、抵抗素子 74、75 の接続ノード N13 は、NMOS トランジスタ 79 を介してオペアンプ 77 の反転入力に接続され、抵抗素子 75、76 の接続ノード N13 は、NMOS トランジスタ 79 を介してオペアンプ 77 の反転入力に接続されている。NMOS トランジスタ 78～80 のゲートには、それぞれ、制御信号 $LVI_out\ 1 \sim LVI_out\ 3$ が供給される。オペアンプ 77 の正転入力には、バンドギャップリファレンス回路 14 から参照電圧 V_{ref} が供給される。オペアンプ 77 の正転出力は、NMOS トランジスタ 72 のゲートに接続されている。

【0070】

抵抗素子 73～76 の抵抗値は、下記の条件を満たすように調節される：

- (1) 内部電圧 V_I が電圧 V_a^* に等しい場合に接続ノード N12 の電圧が参照電圧 V_{ref} に等しくなる。
- (2) 内部電圧 V_I が電圧 $2V_a^*$ に等しい場合に接続ノード N13 の電圧が参照電圧 V_{ref} に等しくなる。
- (3) 内部電圧 V_I が電圧 $3V_a^*$ に等しい場合に接続ノード N14 の電圧が参照電圧 V_{ref} に等しくなる。

【0071】

このような構成で上述の電圧生成回路 12A の動作が実現されることは、当業者には理解されよう。例えば、制御信号 $LVI_out\ 1$ が "High" レベルに設定されると、接続ノード N12 がオペアンプ 77 の反転入力に電氣的に接続される。すると、接続ノード N12 の電圧が参照電圧 V_{ref} に等しくなるように、即ち、内部電圧 V_I が電圧 V_a^* に等しくなるように、NMOS トランジスタ 72 のゲート電圧がオペアンプ 77 によって制御される。制御信号 $LVI_out\ 2$ 、 $LVI_out\ 3$ が "High" レベルに設定された場合も同様に、内部電圧 V_I が電圧 $2V_a^*$ 、 $3V_a^*$ になるように NMOS トランジスタ 72 のゲート電圧が制御される。

【0072】

図 14 は、昇圧／降圧回路 13A の構成の一例を示す図である。図 14 の昇圧／降圧回路 13A は、概略的には、図 4 に示された昇圧／降圧回路 13 と類似した構成を有している。ただし、昇圧／降圧回路 13A には、電圧通倍の通倍率を、制御信号 $LVI_out\ 1 \sim LVI_out\ 3$ に応じて切り換えるための変更がなされている。

【0073】

以下では、図 14 の昇圧／降圧回路 13A と、図 4 の昇圧／降圧回路 13 との相違点について説明する。昇圧／降圧回路 13A では、単一の共通入力端子 41A が設けられ、内部電圧 V_I はその共通入力端子 41A に供給される。共通入力端子 41A は、NMOS トランジスタ 54 を介して内部配線 46 に接続され、NMOS トランジスタ 55 を介して内部配線 47 に接続され、NMOS トランジスタ 56 を介して内部配線 48 に接続される。ここで、内部配線 46～48 は、それぞれ、昇圧／降圧回路 13A の内部で出力端子 43～45 に接続される配線である。NMOS トランジスタ 54～56 には、それぞれ、制御信号 $LVI_out\ 1 \sim LVI_out\ 3$ が供給されており、共通入力端子 41A と内部配線 46～48 との間の接続関係は、制御信号 $LVI_out\ 1 \sim LVI_out\ 3$ に応じて切り換えられる。共通入力端子 41A と内部配線 46～48 との間の接続関係を切り

10

20

30

40

50

換えることにより、電圧通倍の通倍率が切り換えられる。

【0074】

図14の昇圧／降圧回路13Aの他の構成は、図4に示された昇圧／降圧回路13と同一である。ただし、昇圧／降圧回路13Aでは、出力端子44、45の間に、キャパシタCAP32が接続されて使用される。キャパシタCAP32は、キャパシタCAP1～CAP3、CAPHLと同一のキャパシタンスを有している。

【0075】

図15は、図14の昇圧／降圧回路13Aの動作を詳細に説明する図である。

(1) $VDD < VO2$ が成立する場合

$VDD < VO2$ が成立する場合、制御信号 LVI_out1 が "High" に設定され、内部配線46が内部電圧 VI に駆動される。この場合、昇圧／降圧回路13Aは、下記のように動作する：フェーズ"1"では、キャパシタCAPHL、CAP1が内部配線46に並列に接続され、電圧 VI に充電される。フェーズ"2"では、キャパシタCAP2の電圧がキャパシタCAPHL、CAP1の電圧の和に等しくなるように、キャパシタCAPHLからキャパシタCAP2に電荷が移動される。フェーズ"3"では、キャパシタCAP3の電圧がキャパシタCAP2の電圧とキャパシタCAPHLの電圧の和に一致するように、且つ、キャパシタCAP32の電圧がキャパシタCAPHLの電圧に一致するように、キャパシタCAPHLの電荷がキャパシタCAP3、CAP32に移動される。上記のフェーズ"1"～"3"の動作が繰り返されると、最終的には電荷の移動が止まり、キャパシタCAP1、CAPHLは、電圧 VI に充電され、キャパシタCAP2は、電圧 $2 \times VI$ に充電され、キャパシタCAP3は、電圧 $3 \times VI$ に充電される。即ち、昇圧／降圧回路13Aは、内部電圧 VI と同一の電圧を電圧 $VO1$ として出力し、内部電圧 VI の2倍の電圧を電圧 $VO2$ として出力し、内部電圧 VI の3倍の電圧を電圧 $VO3$ として出力する。

【0076】

ここで、 $VDD < VO2$ が成立する場合には、内部電圧 VI が電圧 Va^* に一致するように制御されるので、結果として、電圧 $VO1 \sim VO3$ は、下記関係が成立するように生成されることになる：

$$VO1 = VI = Va^*, \quad \dots (10a)$$

$$VO2 = 2 \times VI = 2 \times Va^*, \quad \dots (10b)$$

$$VO3 = 3 \times VI = 3 \times Va^*, \quad \dots (10c)$$

【0077】

(2) $VO2 < VDD < VO3$ が成立する場合

$VO2 < VDD < VO3$ が成立する場合、制御信号 LVI_out2 が "High" に設定され、内部配線47が内部電圧 VI に駆動される。この場合、昇圧／降圧回路13Aは、下記のように動作する：フェーズ"2"において、内部配線47に接続されたキャパシタCAP2が内部電圧 VI に充電される。このとき、キャパシタCAPHL及びCAP1が、直列に接続されるので、キャパシタCAPHL、CAP1は、それぞれ、電圧 $VI/2$ に充電される。フェーズ"3"では、キャパシタCAP3の電圧がキャパシタCAP2の電圧とキャパシタCAPHLの電圧の和に一致するように、且つ、キャパシタCAP32の電圧がキャパシタCAPHLの電圧に一致するように、キャパシタCAPHLの電荷が、キャパシタCAP3、CAP32に移動される。フェーズ"1"では、キャパシタCAPHL、CAP1が並列に接続され、キャパシタCAPHL、CAP1の電圧が一致するようにキャパシタCAPHL、CAP1の間で電荷が移動される。上記のフェーズ"1"～"3"の動作が繰り返されると、最終的には電荷の移動が止まり、キャパシタCAP1、CAPHLは、電圧 $VI/2$ に充電され、キャパシタCAP2は、電圧 VI に充電され、キャパシタCAP3は、電圧 $1.5 \times VI$ に充電される。即ち、昇圧／降圧回路13Aは、内部電圧 VI の $1/2$ 倍の電圧を電圧 $VO1$ として出力し、内部電圧 VI と同一の電圧を電圧 $VO2$ として出力し、内部電圧 VI の 1.5 倍の電圧を電圧 $VO3$ として出力することになる。

【0078】

ここで、 $VO2 < VDD < VO3$ が成立する場合には、内部電圧 VI が電圧 $2Va^*$ に一致するように制御されるので、結果として、電圧 $VO1 \sim VO3$ は、下記関係が成立するように生成されることになる：

$$VO1 = 1/2 \times VI = Va^*, \quad \dots (11a)$$

$$VO2 = VI = 2 \times Va^*, \quad \dots (11b)$$

$$VO3 = 1.5 \times VI = 3 \times Va^*. \quad \dots (11c)$$

【0079】

(3) $VO3 < VDD$ が成立する場合

$VO3 < VDD$ が成立する場合、制御信号 LVI_out3 が”High”に設定され、内部配線48が内部電圧 VI に駆動される。この場合、昇圧／降圧回路13Aは、下記のように動作する：フェーズ”3”において、キャパシタCAP3は、電圧 VI に充電される。加えて、キャパシタCAPHL、CAP32が内部配線47、48の間に並列に接続され、且つ、内部配線47と接地端子の間にキャパシタCAP2が接続されるので、キャパシタCAPHLは、電圧 $VI/3$ に充電される。フェーズ”1”では、キャパシタCAPHL、CAP1が並列に接続され、キャパシタCPAHL、CAP1の電圧が一致するように、キャパシタCPAHL、CAP1の間で電荷が移動される。フェーズ”2”では、キャパシタCAP2の電圧がキャパシタCAPHL、CAP1の電圧の和に等しくなるように、キャパシタCAPHLからキャパシタCAP2に電荷が移動される。上記のフェーズ”1”～”3”の動作が繰り返されると、最終的には電荷の移動が止まり、キャパシタCAP1、CAPHLは、電圧 $(1/3) \times VI$ に充電され、キャパシタCAP2は、電圧 $(2/3) \times VI$ に充電され、キャパシタCAP3は、電圧 VI に充電される。即ち、昇圧／降圧回路13Aは、内部電圧 VI の $1/3$ 倍の電圧を電圧 $VO1$ として出力し、内部電圧 VI の $2/3$ 倍の電圧を電圧 $VO2$ として出力し、内部電圧 VI と同一の電圧を電圧 $VO3$ として出力する。

【0080】

ここで、 $VO3 < VDD$ が成立する場合には、内部電圧 VI が電圧 $3Va^*$ に一致するように制御されるので、結果として、電圧 $VO1 \sim VO3$ は、下記関係が成立するように生成されることになる：

$$VO1 = 1/3 \times VI = Va^*, \quad \dots (12a)$$

$$VO2 = 2/3 \times VI = 2 \times Va^*, \quad \dots (12b)$$

$$VO3 = VI = 3 \times Va^*. \quad \dots (12c)$$

【0081】

以上の説明から理解されるように、電源回路3Aは、上記(1)～(3)のいずれの場合であっても、下記式が成立するように動作する。

$$VO1 = Va^*, \quad \dots (1a)$$

$$VO2 = 2 \times Va^*, \quad \dots (1b)$$

$$VO3 = 3 \times Va^*. \quad \dots (1c)$$

【0082】

このとき、電源電圧 VDD が高い場合には昇圧／降圧回路13Aの通倍率が低減され、これにより、電源電圧 VDD を生成する電源の消費電力が低減される。一方、電源電圧 VDD が低い場合には昇圧／降圧回路13Aの通倍率が増加されて所望の電圧レベルを有する電圧 $VO1 \sim VO3$ が生成される。即ち、図11の電源回路3Aは、電源電圧 VDD が低くても動作可能である。

【0083】

以上には、本発明の電源回路の実施形態が様々に説明されているが、本発明は上記の実施形態に限定して解釈してはならない。本発明の電源回路の実施においては、様々な変形が可能である。本発明の電源回路は、液晶表示装置以外の様々な装置に適用可能である。また、電圧生成回路が生成する内部電圧や、昇圧／降圧回路における電圧通倍の通倍率は、適宜に変更可能である。

【図面の簡単な説明】

【0084】

【図1】図1は、本発明の一実施形態における液晶表示装置の構成を示すブロック図である。

【図2A】図2Aは、図1の液晶表示装置の動作を示す概念図である。

【図2B】図2Bは、図1の液晶表示装置の動作を示すタイミングチャートである。

【図3】図3は、本発明の一実施形態における電源回路の構成を示すブロック図である。

【図4】図4は、図3の電源回路の構成の一例を示す回路図である。

【図5】図5は、図4の電源回路の電圧比較回路の動作を示すグラフである。

【図6】図6は、図4の電源回路の昇圧／降圧回路に供給される昇圧クロックの波形を示すタイミングチャートである。 10

【図7】図7は、図4の電源回路の昇圧／降圧回路の動作を示す表である。

【図8A】図8Aは、図3の電源回路の構成の他の例を示す回路図である。

【図8B】図8Bは、図3の電源回路の構成の更に他の例を示す回路図である。

【図9】図9は、図3の電源回路の構成の更に他の例を示す回路図である。

【図10】図10は、本発明の他の実施形態における電源回路の構成を示すブロック図である。

【図11】図11は、本発明の更に他の実施形態における電源回路の構成を示すブロック図である。

【図12】図12は、図11の電源回路の電圧比較回路の構成の例を示す回路図である。 20

【図13】図13は、図11の電源回路の電圧生成回路の構成の例を示す回路図である。

【図14】図14は、図11の電源回路の昇圧／降圧回路の構成の例を示す回路図である。

【図15】図15は、図14の昇圧／降圧回路の動作を示す表である。

【符号の説明】

【0085】

1：LCDパネル

2：LCDパネル駆動回路

3、3A：電源回路

4：画素 30

11、11A：電圧比較回路

12、12A：電圧生成回路

13、13A：昇圧／降圧回路

14：バンドギャップリファレンス回路

15：電源線

16：接地端子

21、22：出力端子

23、24、25、26：PMOSトランジスタ

27：インバータ

28、29、30、31：抵抗素子 40

32：オペアンプ

33、34：NMOSトランジスタ

35、36：抵抗素子

41、42：入力端子

41A：共通入力端子

43、44、45：出力端子

46、47、48：内部配線

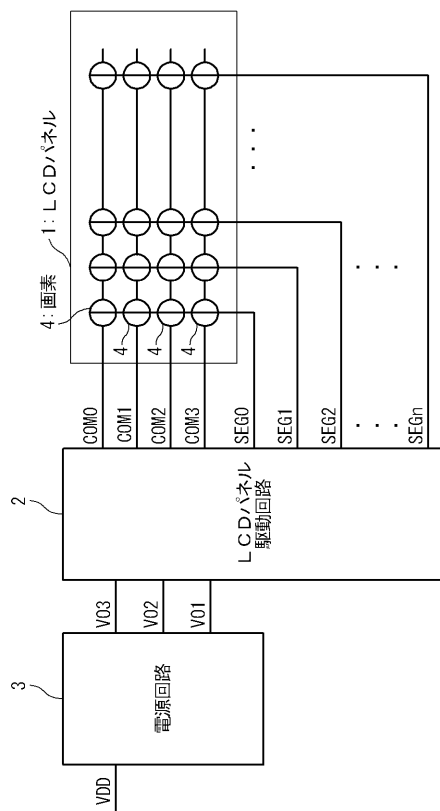
S1、S2、S3：スイッチ

49a、49b、50a、50b、51a、51b：NMOSトランジスタ

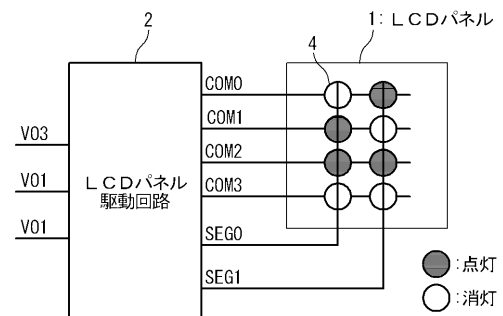
52、53：キャパシタ配線 50

- 54、55、56：NMOSトランジスタ
 61、62：コンパレータ
 63：NOR回路
 64、65：AND回路
 71：出力端子
 72：NMOSトランジスタ
 73、74、75、76：抵抗素子
 77：オペアンプ
 78、79、80：NMOSトランジスタ

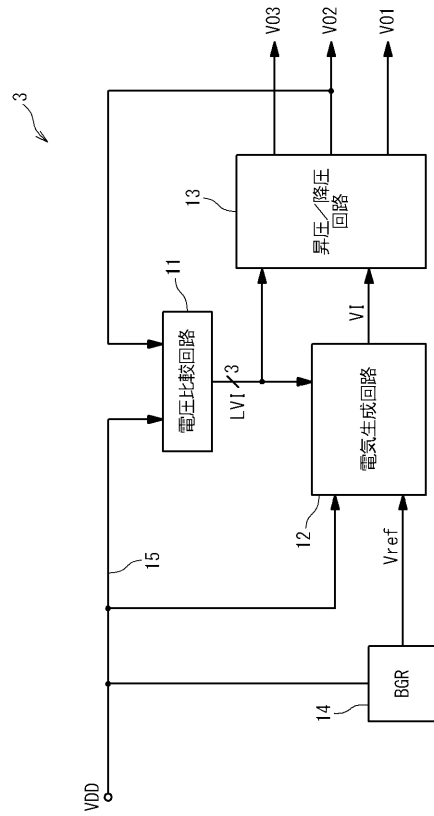
【図1】



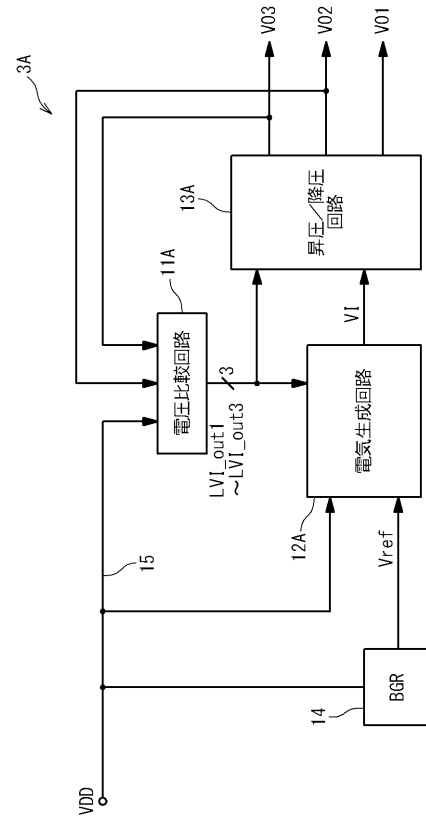
【図2A】



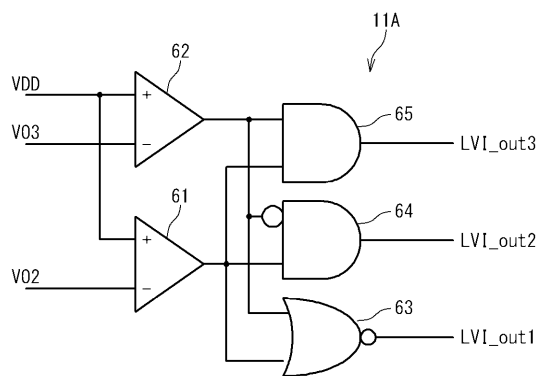
【図 10】



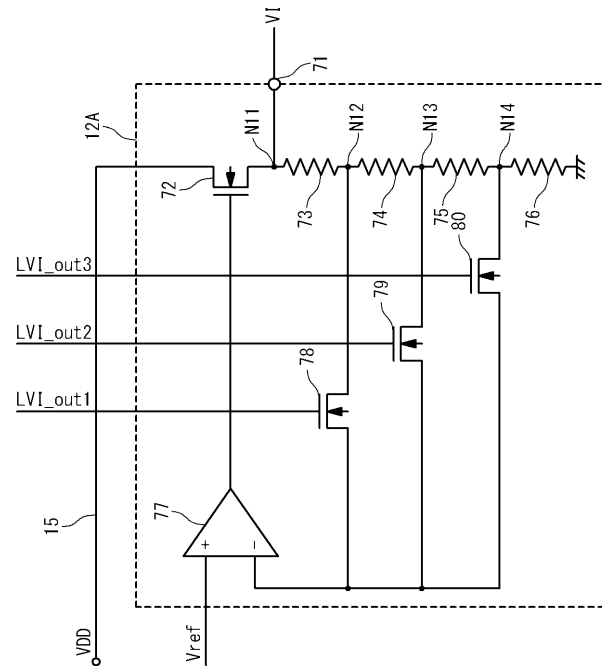
【図 11】



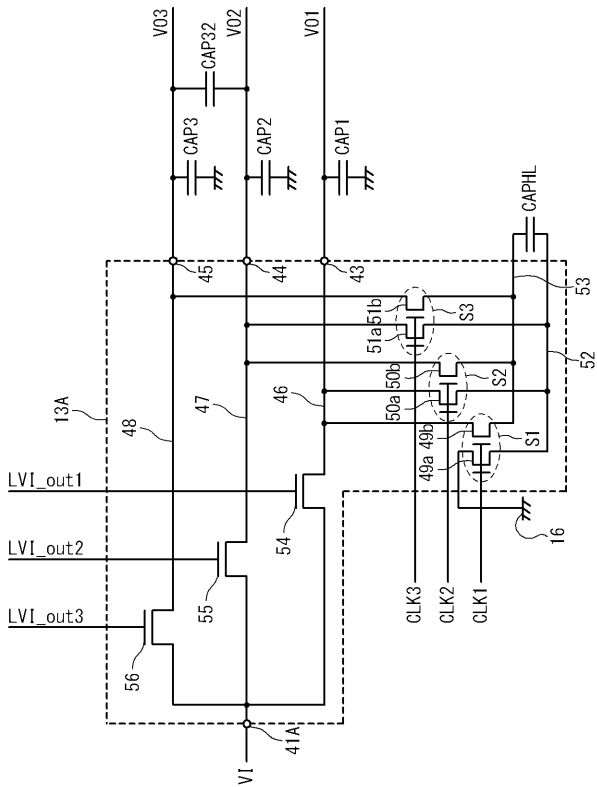
【図 12】



【図 13】



【図 1 4】



【図 1 5】

	フェーズ "1" (S1:ON)	フェーズ "2" (S2:ON)	フェーズ "3" (S3:ON)
$VDD < V02$ ($V1 = Va^*$)	CAPL + CAP1の電圧を CAP1に充電	CAPL + CAP1の電圧を CAP2に充電	CAPL + CAP2の電圧を CAP3, CAP32に充電
$VDD < V02 < V03$ ($V1 = 2Va^*$)	CAPLの電圧を CAP1に充電	CAP2にV1 (=2Va*)を充電 CAPLとCAP1の直列接続で CAPLとCAP1にそれぞれ V1/2を充電	CAPL + CAP2の電圧を CAP3, CAP32に充電
$V03 < VDD$ ($V1 = 3Va^*$)	CAPLの電圧を CAP1に充電	CAPL + CAP1の電圧を CAP2に充電	CAP3にV1 (=3Va*)を充電 CAPL + CAP2とCAP2の直列接続で CAPLにV1/3を充電

フロントページの続き

審査官 今井 貞雄

(56)参考文献 特開2003-348821 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00

H02M 3/07