

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 1 月 10 日 (10.01.2013)



(10) 国际公布号
WO 2013/004041 A1

- (51) 国际专利分类号:
G02F 1/133 (2006.01)
- (21) 国际申请号: PCT/CN2011/078957
- (22) 国际申请日: 2011 年 8 月 26 日 (26.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110185553.5 2011 年 7 月 4 日 (04.07.2011) CN
- (71) 申请人 (对除美国外的所有指定国): **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9—2 号王可心, Guangdong 518132 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): **陈政鸿 (CHEN, Chenghung)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9—2 号王可心, Guangdong 518132 (CN)。

(74) 代理人: **深圳冀盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY);** 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409 王可心, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

(54) Title: TEST CIRCUIT APPLICABLE TO PSVA AND ARRAY

(54) 发明名称: 一种适用于 PSVA 与阵列的测试电路

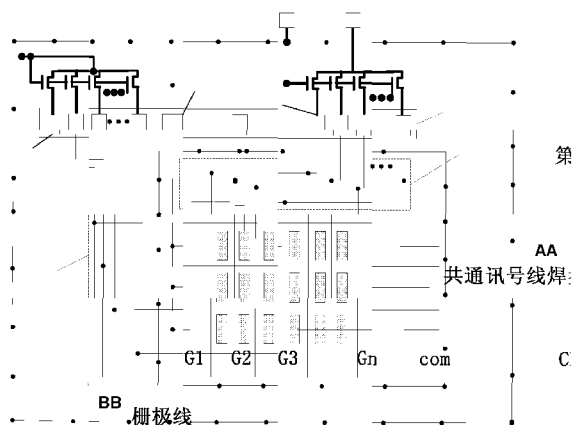


图 2 / FIG. 2

AA Common signal line soldering
BB Gate line

(57) Abstract: The present invention relates to the technical field of LCD, and more particularly to a test circuit applicable to PSVA and an array. The present invention is applicable to a test circuit for PSVA and an array, comprising a gate line signal line, a data line signal line, a first pad and a thin film transistor. Extension lines of the gate line signal line and the data line signal line are respectively connected with respective corresponding drains of thin film transistors thereof. Sources of the thin film transistors corresponding to the data line signal line are connected with each other, and are connected with the first pad. Gates of the thin film transistors corresponding to the data line signal line are connected with a coated structure on a substrate. The sources of the thin film transistors corresponding to the gate line signal line are connected with the gates and are connected with the coated structure on the substrate. Compared with the conventional test circuit applicable to PSVA and an array, the technical solution provided in the present invention can effectively reduce the number of glass edge pads and reduce the complexity of the whole line.

(57) 摘要:

[见续页]

WO 2013/004041 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

本发明涉及 LCD 技术领域，尤其涉及一种适用于 PSVA 与阵列的测试电路。本发明适用于 PSVA 与阵列的测试电路，包括栅极线讯号线路、数据线讯号线路、第一焊盘和薄膜晶体管，所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连，所述数据线讯号线路所对应的薄膜晶体管的栅极连接至基板上的涂布结构；所述栅极线讯号线路所对应的薄膜晶体管的源极与栅极彼此连接，并连接至基板上的涂布结构。相较于现有的适用于 PSVA 与阵列的测试电路，本发明提供的技术方案能有效的减少玻璃边缘焊盘的数目，简化整体线路的复杂度。

说明书

发明名称：一种适用于PSVA与阵列的测试电路

技术领域

[1] 本发明涉及LCD技术领域，尤其涉及一种适用于PSVA与阵列的测试电路。

[2]

背景技术

[3] 目前的PSVA（Polymer Stabilized Vertical Alignment, 聚合物稳定型垂直配向技术）制程中，为了在array（阵列）段制程之中进行电路测试，一般会使用所谓的shorting bar（短路棒）将所有的gate line（栅极线）与data line（数据线）并联成G1、G2、...、Gn以及D1、D2、...、Dm讯号，具体如图1所示，其中n与m值的设计必须要大于等于2，在测试之时才能拦截相邻data line或是相邻gate line互相短路的情况，所以每个chip（芯片）会有相对应的G1、G2、...、Gn及D1、D2、...、Dm与数个共通讯号pad C1、C2、...、Cx（统称为com）以作为阵列test时外加讯号之输入点。为了使这些线路也能够在PSVA制程中加电压使用，传统的方式是把玻璃上每个chip所对应的G1、G2、...、Gn以及D1、D2、...、Dm与数个共通讯号C1、C2、...、Cx皆连接至玻璃边上的Pad（焊盘），后续cell（晶元）段PSVA制程前会移除对向侧的边缘部分玻璃，使这些Pad裸露而得以顺利加上电压。但若是整片玻璃的chip数目较多，就会导致玻璃边缘的pad数目太多，将会增加PSVA制程加电压probe（探针）的数目以及整体周边线路的复杂度。

[4] 故，有必要提供一种更加优化的适用于PSVA与阵列的测试电路，以解决上述问题。

对发明的公开

技术问题

[5] 本发明的目的在于提供一种适用于PSVA与阵列的测试电路，以解决现有阵列测试电路中probe的数目太多以及整体周边线路复杂的问题。

技术解决方案

[6] 本发明是这样实现的:

[7] 一种适用于PSVA与阵列的测试电路, 包括栅极线讯号线路、数据线讯号线路、第一焊盘、第二焊盘和薄膜晶体管, 所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极, 所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接, 并与第一焊盘相连, 所述数据线讯号线路所对应的薄膜晶体管的栅极连接至基板上的涂布结构; 所述栅极线讯号线路所对应的薄膜晶体管的源极与栅极彼此连接, 并连接至基板上的涂布结构; 所述第二焊盘位于第一焊盘一侧, 且与基板上的涂布结构连接, 所述第一焊盘与第二焊盘相互独立。

[8] 在本发明的一较佳实施例中, 还包括共通讯号线焊盘, 所述共通讯号线焊盘彼此连接, 并与基板上的涂布结构相连。

[9] 在本发明的一较佳实施例中, 所述基板上的涂布结构涂有导电物质, 并与基板上板的导电层连接。

[10] 在本发明的一较佳实施例中, 所述栅极线讯号线路与数据线讯号线路的数量至少为一个。

[11] 本发明还提供了一种适用于PSVA与阵列的测试电路, 包括栅极线讯号线路、数据线讯号线路、第一焊盘和薄膜晶体管, 所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极, 所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接, 并与第一焊盘相连, 所述数据线讯号线路所对应的薄膜晶体管的栅极连接至基板上的涂布结构; 所述栅极线讯号线路所对应的薄膜晶体管的源极与栅极彼此连接, 并连接至基板上的涂布结构。

[12] 在本发明的一较佳实施例中, 还包括第二焊盘, 所述第二焊盘位于第一焊盘一侧, 且与基板上的涂布结构连接。

[13] 在本发明的一较佳实施例中, 还包括共通讯号线焊盘, 所述共通讯号线焊盘彼此连接, 并与基板上的涂布结构相连。

[14] 在本发明的一较佳实施例中, 所述共通讯号线焊盘与第一焊盘相连。

[15] 在本发明的一较佳实施例中, 所述基板上的涂布结构涂有导电物质, 并与基板上板的导电层连接。

- [16] 在本发明的一较佳实施例中，所述栅极线讯号线路与数据线讯号线路的数量至少为一个。
- [17] 本发明还提供了一种适用于PSVA与阵列的测试电路，包括栅极线讯号线路、数据线讯号线路、第一焊盘和薄膜晶体管，所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，所述栅极线讯号线路及所述数据线讯号线路各自对应的薄膜晶体管的栅极分别连接至基板上的涂布结构，所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连；所述栅极线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连。
- [18] 在本发明的一较佳实施例中，还包括第二焊盘和共通讯号线焊盘，所述第二焊盘与基板上的涂布结构相连，所述共通讯号线焊盘彼此连接，并接至基板上的涂布结构。
- [19] 在本发明的一较佳实施例中，所述基板上的涂布结构涂有导电物质，并与基板上板的导电层连接。
- [20] 在本发明的一较佳实施例中，所述栅极线讯号线路与数据线讯号线路的数量至少为一个。
- [21] 相较于现有的适用于PSVA与阵列的测试电路，本发明提供的技术方案，将栅极线和数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，数据线讯号线路对应的薄膜晶体管的源极彼此连接并延伸连接第一焊盘，薄膜晶体管的栅极连接基板上的涂布结构，栅极线讯号线路所对应的薄膜晶体管的源极与栅极彼此连接并一起连接在基板上的涂布结构，基板上的涂布结构涂有导电物质使其与上板的导电层连接，有效的减少玻璃边缘焊盘的数目，简化整体线路的复杂度。

有益效果

- [22] 相较于现有的适用于PSVA与阵列的测试电路，本发明提供的技术方案，将栅极线和数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，数据线讯号线路对应的薄膜晶体管的源极彼此连接并延伸连接第一焊盘，薄膜晶体管的栅极连接基板上的涂布结构，栅极线讯号线路所对应的薄膜晶体管的源极

与栅极彼此连接并一起连接在基板上的涂布结构，基板上的涂布结构涂有导电物质使其与上板的导电层连接，有效的减少玻璃边缘焊盘的数目，简化整体线路的复杂度。

附图说明

- [23] 图1为现有技术的适用于PSVA与阵列的测试电路的结构示意图；
- [24] 图2为本发明的第一较佳实施例的适用于PSVA与阵列的测试电路的结构示意图；
- [25] 图3为本发明的第二较佳实施例的适用于PSVA与阵列的测试电路的结构示意图；
- [26] 图4为本发明的第三较佳实施例的适用于PSVA与阵列的测试电路的结构示意图。

本发明的最佳实施方式

- [27] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。
- [28] 如图2所示，为本发明提供的第一较佳实施例的适用于PSVA与阵列的测试电路的结构示意图，在图2中，每个栅极线G1、G2、...、Gn以及数据线D1、D2、...、Dm讯号线路的延伸线连接到各自所对应的薄膜晶体管之漏极(drain)，数据线D1、D2、...、Dm所对应的薄膜晶体管的源极(Source)彼此连接在一起，并通过一条讯号线延伸至玻璃边缘的第一焊盘(Pad1)，薄膜晶体管的栅极连接至基板上的涂布结构(Transfer)；栅极线G1、G2、...、Gn所对应的薄膜晶体管的源极(Source)与栅极(Gate)彼此连接并一起连接在基板上的涂布结构，玻璃边缘的第二焊盘(Pad2)直接连接在基板上的涂布结构；共通讯号线焊盘Pad C1、C2、...、Cx（统称为com）彼此连接并一起连接在基板上的涂布结构；其中，涂布结构(Transfer)在cell对组制程时涂上导电的物质使其连接至上板的导电层。
- [29] 因此在阵列测试时，由于不具有对向侧玻璃，所有TFT之闸极（栅极）为floating 电位（悬浮电位），TFT关闭，源极(Source)与漏极(drain)间存在高阻抗，所

有的栅极线G1、G2、...、Gn以及数据线D1、D2、...、Dm对应的Pad等同于处于独立状态，因此不同的Pad可施加不同的讯号以检测阵列。在Cell上下玻璃对组的制程中，由于transfer中的导电物质导通上板的导电层，因此所有连接至transfer的线路皆相当于Pad2所加之讯号，于PSVA制程时Pad2相较于Pad1会施加较高电位的讯号，这样一来会导致所有transfer与对向侧玻璃的导电层为高电位，薄膜晶体管之闸极皆为高电位，因此源极(Source)与漏极(drain)间的阻值降低可视为导通状态，电晶体之源极(Source)所施加的讯号便可进入所有的G1、G2、...、Gn以及D1、D2、...、Dm线路，顺利供给画素固化(curing)时所需的电位。

[30] 如图3所示，为本发明提供的第二较佳实施例的适用于PSVA与阵列的测试电路的结构示意图，在图3中，每个栅极线G1、G2、...、Gn以及数据线D1、D2、...、Dm讯号线路的延伸线连接到各自所对应的薄膜晶体管之漏极(drain)，栅极线G1、G2、...、Gn以及数据线D1、D2、...、Dm讯号线路各自对应的薄膜晶体管的栅极分别连接至基板上的涂布结构(Transfer)，数据线D1、D2、...、Dm所对应的薄膜晶体管的源极(Source)彼此连接在一起，并通过一条讯号线延伸至玻璃边缘的第一焊盘(Pad1)；栅极线G1、G2、...、Gn所对应的薄膜晶体管的源极彼此连接，并通过一条讯号线与D1、D2、...、Dm对应的薄膜晶体管源极连接第一焊盘的讯号线连接并延伸至玻璃边缘的第一焊盘(Pad1)，玻璃边缘的第二焊盘(Pad2)直接连接至基板上的涂布结构；共通讯号线焊盘Pad C1、C2、...、Cx彼此连接并一起连接在基板上的涂布结构(Transfer)；其中，涂布结构(Transfer)在cell对组制程时涂上导电的物质使其连接至上板的导电层。

[31] 如图4所示，为本发明提供的第三较佳实施例的适用于PSVA与阵列的测试电路的结构示意图，在图4中，每个栅极线G1、G2、...、Gn以及数据线D1、D2、...、Dm讯号线路的延伸线连接到各自所对应的薄膜晶体管之漏极(drain)，数据线D1、D2、...、Dm所对应的薄膜晶体管的源极(Source)彼此连接在一起，并通过一条讯号线延伸至玻璃边缘的第一焊盘(Pad1)，薄膜晶体管的栅极皆连接至基板上的涂布结构(Transfer)；栅极线G1、G2、...、Gn所对应的薄膜晶体管的源极(Source)与栅极(Gate)彼此连接并一起连接在基板上的涂布结构(Transfer)，玻璃边缘的第二焊盘(Pad2)直接连接至基板上的涂布结构；共通讯号线焊盘Pad

C1、C2、...、Cx（统称为Cx）通过一条讯号线与D1、D2、...、Dm对应的薄膜晶体管源极连接第一焊盘的讯号线连接并延伸至玻璃边缘的第一焊盘 (Pad1)；其中，涂布结构（Transfer）在cell对组制程时涂上导电的物质使其连接至上板的导电层。

[32] 综上所述，虽然本发明已以较佳实施例揭露如上，但上述较佳实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

本发明的实施方式

[33]

工业实用性

[34]

序列表自由内容

[35]

权利要求书

- [权利要求 1] 一种适用于PSVA与阵列的测试电路，包括栅极线讯号线路和数据线讯号线路，其特征在于，还包括第一焊盘、第二焊盘和薄膜晶体管，所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连，所述数据线讯号线路所对应的薄膜晶体管的栅极连接至基板上的涂布结构；所述栅极线讯号线路所对应的薄膜晶体管的源极与栅极彼此连接，并连接至基板上的涂布结构；所述第二焊盘位于第一焊盘一侧，且与基板上的涂布结构连接，所述第一焊盘与第二焊盘相互独立。
- [权利要求 2] 根据权利要求1所述的适用于PSVA与阵列的测试电路，其特征在于，还包括共通讯号线焊盘，所述共通讯号线焊盘彼此连接，并与基板上的涂布结构相连。
- [权利要求 3] 根据权利要求1或2所述的适用于PSVA与阵列的测试电路，其特征在于，所述基板上的涂布结构涂有导电物质，并与基板上板的导电层连接。
- [权利要求 4] 根据权利要求1或2所述的适用于PSVA与阵列的测试电路，其特征在于，所述栅极线讯号线路与数据线讯号线路的数量至少为一个。
- [权利要求 5] 一种适用于PSVA与阵列的测试电路，包括栅极线讯号线路和数据线讯号线路，其特征在于，还包括第一焊盘和薄膜晶体管，所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连，所述数据线讯号线路所对应的薄膜晶体管的栅极连接至基板上的涂布结构；所述栅极线讯号线路所对应的薄膜晶体管的源极与栅极彼此连接，并连接至基板上的涂布结构。

- [权利要求 6] 根据权利要求5所述的适用于PSVA与阵列的测试电路，其特征在于，还包括第二焊盘，所述第二焊盘位于第一焊盘一侧，且与基板上的涂布结构连接。
- [权利要求 7] 根据权利要求5或6所述的适用于PSVA与阵列的测试电路，其特征在于，还包括共通讯号线焊盘，所述共通讯号线焊盘彼此连接，并与基板上的涂布结构相连。
- [权利要求 8] 根据权利要求5或6所述的适用于PSVA与阵列的测试电路，其特征在于，所述共通讯号线焊盘与第一焊盘相连。
- [权利要求 9] 根据权利要求5或6所述的适用于PSVA与阵列的测试电路，其特征在于，所述基板上的涂布结构涂有导电物质，并与基板上板的导电层连接。
- [权利要求 10] 根据权利要求5所述的适用于PSVA与阵列的测试电路，其特征在于，所述栅极线讯号线路与数据线讯号线路的数量至少为一个。
- [权利要求 11] 一种适用于PSVA与阵列的测试电路，包括栅极线讯号线路和数据线讯号线路，其特征在于，还包括第一焊盘和薄膜晶体管，所述栅极线讯号线路和所述数据线讯号线路的延伸线分别连接各自对应的薄膜晶体管的漏极，所述栅极线讯号线路及所述数据线讯号线路各自对应的薄膜晶体管的栅极分别连接至基板上的涂布结构，所述数据线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连；所述栅极线讯号线路所对应的薄膜晶体管的源极彼此连接，并与第一焊盘相连。
- [权利要求 12] 根据权利要求11所述的适用于PSVA与阵列的测试电路，其特征在于，还包括第二焊盘和共通讯号线焊盘，所述第二焊盘与基板上的涂布结构相连，所述共通讯号线焊盘彼此连接，并接至基板上的涂布结构。
- [权利要求 13] 根据权利要求11或12所述的适用于PSVA与阵列的测试电路，其特征在于，所述基板上的涂布结构涂有导电物质，并与基板上板的导电层连接。

[权利要求 14] 根据权利要求11或12所述的适用于PSVA与阵列的测试电路，其特征在于，所述栅极线讯号线路与数据线讯号线路的数量至少为一个。

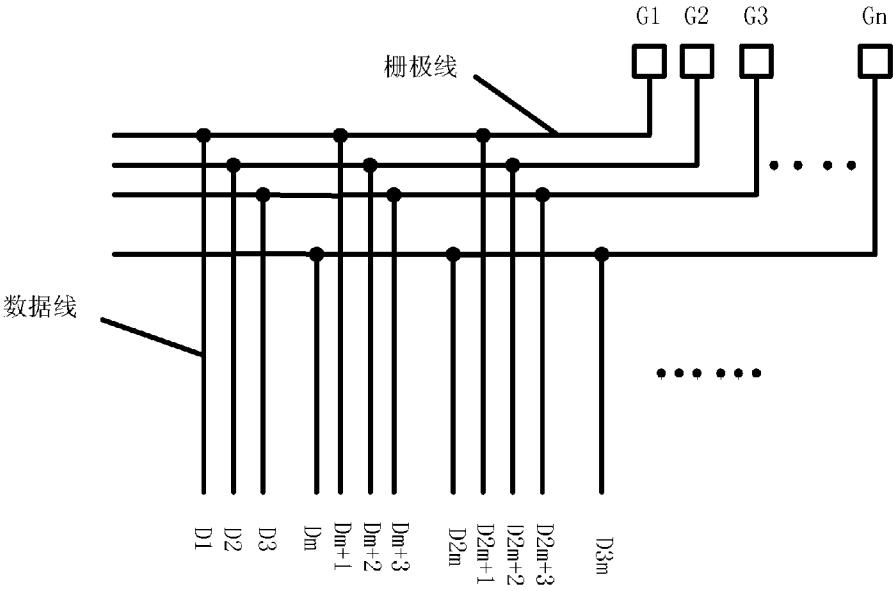


图 1

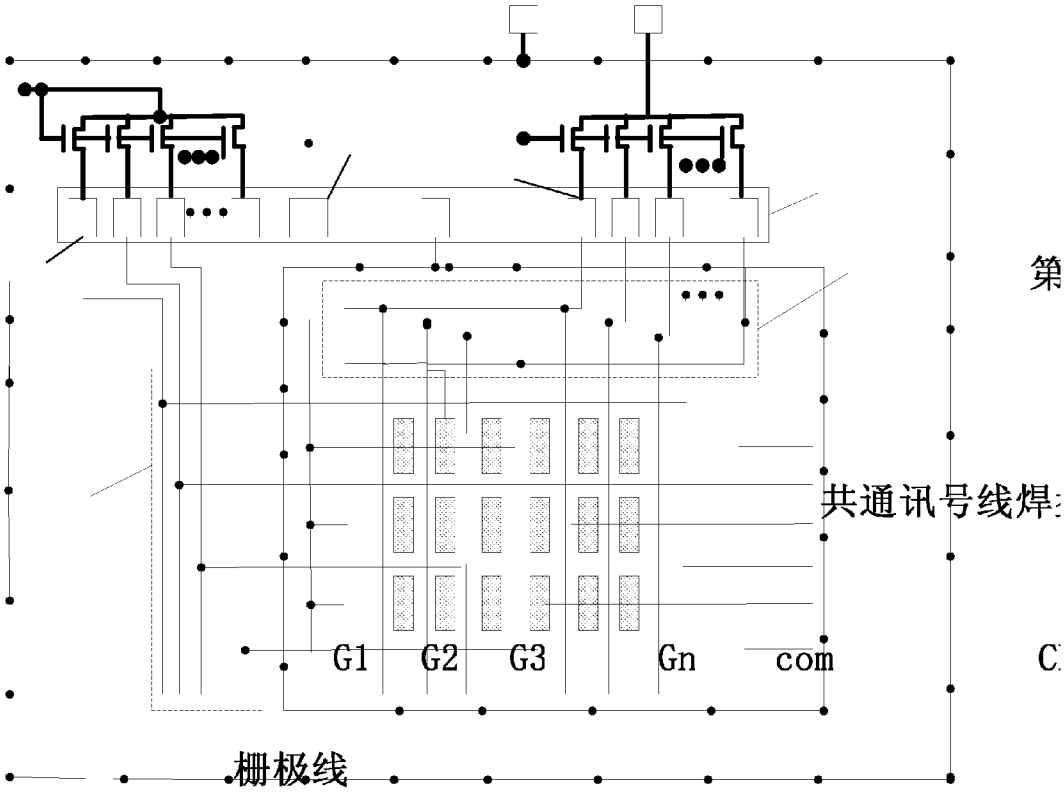


图 2

短路棒

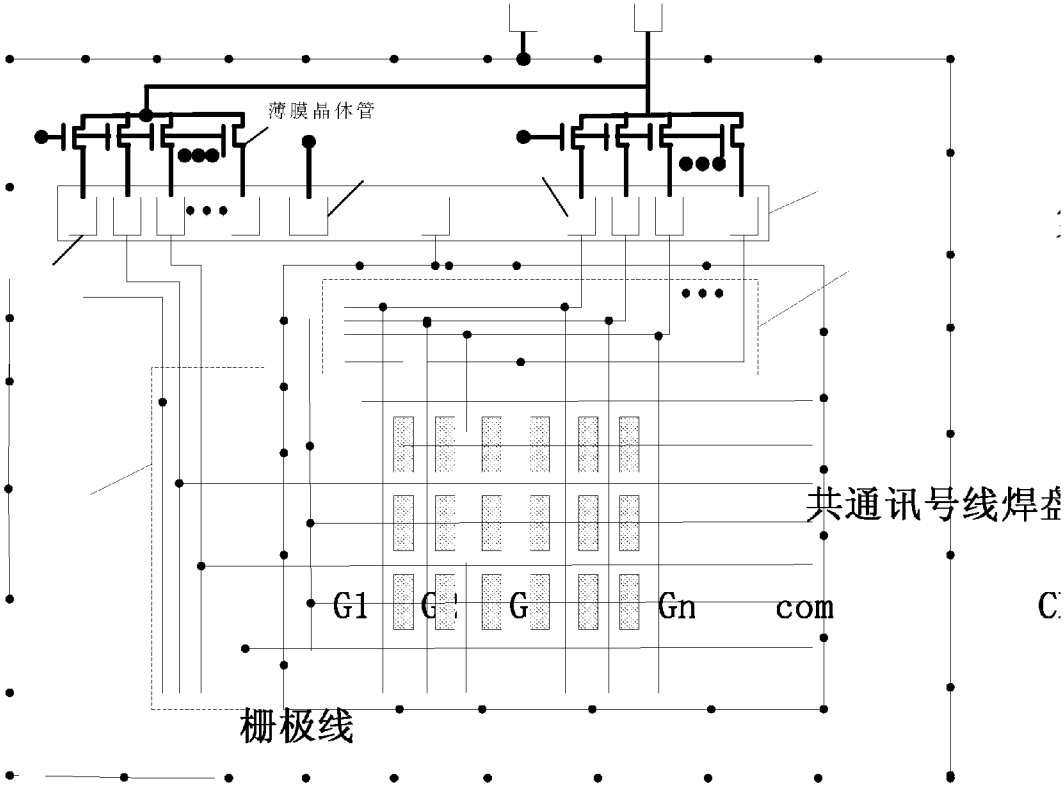


图 3

短路棒

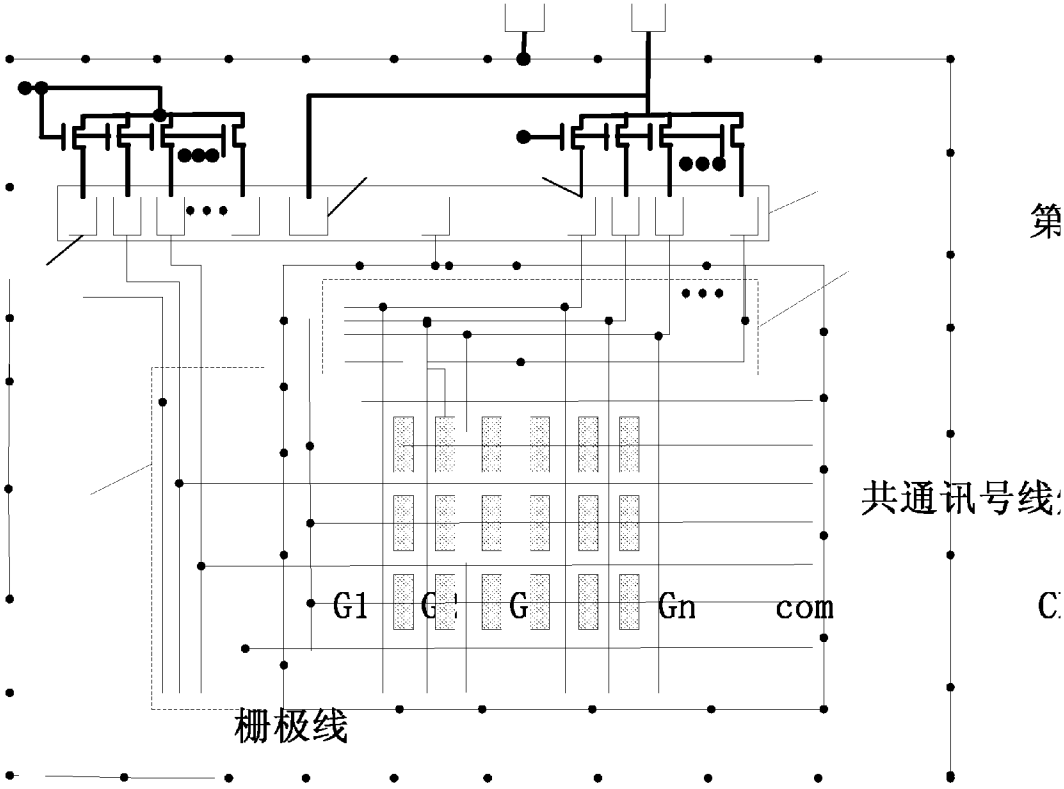


图 4

短路棒

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078957**A. CLASSIFICATION OF SUBJECT MATTER**

G02F 1/133 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F 1/-; G06F 17/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CJFD, WOTXT: coating PSVA macromolecule array gate line data line pad TFT thin film transistor vertical alignment polymer probe

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101078848 A (SAMSUNG ELECTRONICS CO., LTD.), 28 November 2007 (28.11.2007), the whole document	1-14
A	CN 101110443 A (SAMSUNG ELECTRONICS CO., LTD.), 23 January 2008 (23.01.2008), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
20 March 2012 (20.03.2012)Date of mailing of the international search report
12 April 2012 (12.04.2012)Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

LI, QiongTelephone No.: (86-10) **62411710**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/078957

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101078848 A	28.11.2007	JP 2007316642 A	06.12.2007
		US 2008067511 A1	20.03.2008
		KR 20070113605 A	29.11.2007
		TW 200807120 A	01.02.2008
		US 7982813 B2	19.07.2011
CN 101110443 A	23.01.2008	EP 1881359 A1	23.01.2008
		JP 2008026905 A	07.02.2008
		US 2008017855 A1	24.01.2008
		KR 20080008704 A	24.01.2008
		CN 101110443 B	11.05.2011
		US 8053293 B2	08.11.2011

国际检索报告

国际申请号
PCT/CN2011/078957

A. 主题的分类

G02F 1/133 (2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G02F1/-; G06F17/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNTXT,CJFD,WOTXT: 阵列 栅极线 数据线 焊盘 涂布 薄膜晶体管 PSVA 聚合物 高分子 垂直配向
探针 array gate line data line pad TFT thin film transistor vertical alignment polymer probe

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101078848A, (三星电子株式会社), 28.11 月 2007 (28.11.2007), 全文	1-14
A	CN101110443A, (三星电子株式会社), 23.1 月 2008 (23.01.2008), 全文	1-14

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
20.3 月 2012 (20.03.2012)

国际检索报告邮寄日期
12.4 月 2012 (12.04.2012)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员
李琼
电话号码: (86-10) **62411710**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/078957

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101078848A	28.11.2007	JP2007316642A	06.12.2007
		US2008067511A1	20.03.2008
		KR20070113605A	29.11.2007
		TW200807120A	01.02.2008
		US7982813B2	19.07.2011
CN101110443A	23.01.2008	EP1881359A1	23.01.2008
		JP2008026905A	07.02.2008
		US2008017855A1	24.01.2008
		KR20080008704A	24.01.2008
		CN101110443B	11.05.2011
		US8053293B2	08.11.2011