

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より詳しくは、有機ＥＬ表示装置などの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機ＥＬ（Electro Luminescence）素子が挙げられる。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれている。自発光型の電気光学素子である有機ＥＬ素子を使用した有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機ＥＬ表示装置の開発が進められている。

[0003] 有機ＥＬ表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機ＥＬ表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機ＥＬ表示装置（以下「アクティブマトリクス型の有機ＥＬ表示装置」という。）は、パッシブマトリクス方式を採用した有機ＥＬ表示装置に比べて大型化および高精細化を容易に実現できる。

[0004] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機ＥＬ表示装置の

画素回路は、典型的には、画素を選択する入力トランジスタと、有機EL素子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

[0005] ところで、アクティブマトリクス型の一般的な有機EL表示装置においては、1個の画素は3個のサブ画素（赤色を表示するRサブ画素，緑色を表示するGサブ画素，および青色を表示するBサブ画素）で構成されている。図37は、1個のサブ画素を構成する従来の一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ線DLと複数の走査信号線SLとの各交差点に対応して設けられている。図37に示すように、この画素回路91は、2個のトランジスタT1，T2と、1個のコンデンサCstと、1個の有機EL素子OLEDとを備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は入力トランジスタである。なお、図37に示す例では、トランジスタT1，T2は、nチャネル型のトランジスタ（TFET）である。

[0006] トランジスタT1は、有機EL素子OLEDと直列に設けられている。そのトランジスタT1に関し、ゲート端子はトランジスタT2のドレイン端子に接続され、ドレイン端子はハイレベル電源電圧ELVDDを供給する電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じ符号ELVDDを付す。）に接続され、ソース端子は有機EL素子OLEDのアノード端子に接続されている。トランジスタT2は、データ線DLとトランジスタT1のゲート端子との間に設けられている。そのトランジスタT2に関し、ゲート端子は走査信号線SLに接続され、ドレイン端子はトランジスタT1のゲート端子に接続され、ソース端子はデータ線DLに接続されている。コンデンサCstについては、トランジスタT1のゲート端子に一端が接続され、トランジスタT1のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源電圧ELVSSを供給する電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じ符号E

L V S Sを付す。)に接続されている。以下、トランジスタT 1のゲート端子と、コンデンサC s tの一端と、トランジスタT 2のドレイン端子との接続点のことを便宜上「ゲートノード」という。ゲートノードの電位には符合V Gを付す。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

[0007] 図3 8は、図3 7に示す画素回路9 1の動作を説明するためのタイミングチャートである。時刻t 9 1以前には、走査信号線S Lは非選択状態となっている。従って、時刻t 9 1以前には、トランジスタT 2がオフ状態になっており、ゲートノードの電位V Gは初期レベル（例えば、1つ前のフレームでの書き込みに応じたレベル）を維持している。時刻t 9 1になると、走査信号線S Lが選択状態となり、トランジスタT 2がターンオンする。これにより、データ線D LおよびトランジスタT 2を介して、この画素回路9 1が形成する画素（サブ画素）の輝度に対応するデータ電圧V d a t aがゲートノードに供給される。その後、時刻t 9 2までの期間に、ゲートノードの電位V Gがデータ電圧V d a t aに応じて変化する。このとき、コンデンサC s tは、ゲートノードの電位V GとトランジスタT 1のソース電位との差であるゲートーソース間電圧V g sに充電される。時刻t 9 2になると、走査信号線S Lが非選択状態となる。これにより、トランジスタT 2がターンオフし、コンデンサC s tが保持するゲートーソース間電圧V g sが確定する。トランジスタT 1は、コンデンサC s tが保持するゲートーソース間電圧V g sに応じて有機E L素子O L E Dに駆動電流を供給する。その結果、駆動電流に応じた輝度で有機E L素子O L E Dが発光する。

[0008] ところで、図3 7に示す画素回路9 1は、1個のサブ画素に対応する回路である。従って、3個のサブ画素からなる1個の画素に対応する画素回路9 1 0の構成は、図3 9に示すようなものとなる。図3 9に示すように、1個の画素を構成する画素回路9 1 0は、Rサブ画素用の画素回路9 1（R）と

Gサブ画素用の画素回路91 (G) とBサブ画素用の画素回路91 (B) とによって構成されている。図39に示す構成によれば、画素回路内に多くの回路素子が必要とされるので、高精細化が困難である。

[0009] そこで、日本の特開2005-148749号公報には、図40に示すように、1個の画素に必要とされるトランジスタおよびコンデンサの数を従来よりも少なくした構成の画素回路920が開示されている。この画素回路920は、駆動手段921と、順次制御手段922と、3個の有機EL素子OLED (R), OLED (G), およびOLED (B) とによって構成されている。駆動手段921は、駆動トランジスタT11と、入力トランジスタT12と、コンデンサCst1とによって構成されている。順次制御手段922は、赤色用の有機EL素子OLED (R) の発光を制御するためのトランジスタT13 (R) と、緑色用の有機EL素子OLED (G) の発光を制御するためのトランジスタT13 (G) と、青色用の有機EL素子OLED (B) の発光を制御するためのトランジスタT13 (B) とによって構成されている。また、トランジスタT13 (R), T13 (G), およびT13 (B) のオン／オフを制御するための配線としてエミッション線EM1, EM2, およびEM3が画素回路920を通過するように設けられている。

[0010] 以上のような構成において、1フレーム期間が3つのサブフレームに分割される。具体的には、1フレーム期間は、赤色の発光を行うための第1サブフレームと緑色の発光を行うための第2サブフレームと青色の発光を行うための第3サブフレームとに分割される。そして、順次制御手段922において、第1サブフレームにはトランジスタT13 (R) のみがオン状態とされ、第2サブフレームにはトランジスタT13 (G) のみがオン状態とされ、第3サブフレームにはトランジスタT13 (B) のみがオン状態とされる。これにより、1フレーム期間をかけて有機EL素子OLED (R), 有機EL素子OLED (G), および有機EL素子OLED (B) が順次に発光し、所望のカラー画像が表示される。日本の特開2005-148749号公報に開示された有機EL表示装置では、以上のようにして、1個の画素に必

要とされるトランジスタおよびコンデンサの数が削減されている。なお、日本の特開 2005-148750 号公報にも、各色用の有機 EL 素子の発光を制御するための複数のトランジスタを設けるとともに、それら複数のトランジスタのオン／オフを制御するための複数のエミッション線を設けた構成の画素回路が開示されている。

先行技術文献

特許文献

[0011] 特許文献1：日本の特開 2005-148749 号公報

特許文献2：日本の特開 2005-148750 号公報

発明の概要

発明が解決しようとする課題

[0012] ところが、図 40 に示す構成によれば、エミッション線 EM1, EM2, および EM3 を駆動するための構成要素として、3 系統分のエミッションドライバ（エミッション線を駆動する駆動回路）が必要となる。このため、エミッションドライバによる回路占有面積が大きくなる。従って、額縁サイズが大きくなる。しかしながら、表示装置の小型化や表示部の面積の拡大を図るために、額縁サイズを小さくすることが強く求められている。

[0013] そこで、本発明は、電流で駆動される自発光型表示素子を備えた表示装置の額縁サイズを従来よりも小さくすることを目的とする。

課題を解決するための手段

[0014] 本発明の第 1 の局面は、1 フレーム期間を j 個（ j は 3 以上の整数）のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置であって、

互いに異なる色で発光する j 個の電気光学素子と、前記 j 個の電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部と、前記 j 個の電気光学素子と 1 対 1 で対応するように設けられ対応する電気光学素子への前記駆動電流の供給を制御する j 個の発光制御トランジスタとを含み、複

数の行および複数の列を構成するようにマトリクス状に配置された画素回路と、

前記 j 個の発光制御トランジスタのオン／オフ状態を制御するための発光イネーブル信号を生成する発光イネーブル信号生成部と、

前記 j 個の発光制御トランジスタに前記発光イネーブル信号を供給するための、各行につき j 本設けられた発光制御線と、

サブフレーム毎に異なる発光制御線に前記発光イネーブル信号が供給されるよう、前記発光イネーブル信号生成部で生成された前記発光イネーブル信号の供給先を各行で前記 j 本の発光制御線の間で切り替える発光イネーブル信号切り替え部と

を備えることを特徴とする。

[0015] 本発明の第2の局面は、本発明の第1の局面において、

前記発光イネーブル信号切り替え部は、

第1の制御信号を生成する第1の制御信号生成部と、

前記 j 本の発光制御線と1対1で対応するように各行につき j 個設けられた発光イネーブル信号供給制御トランジスタと
からなり、

前記 j 個の発光イネーブル信号供給制御トランジスタの制御端子には、前記第1の制御信号が与えられ、

前記 j 個の発光イネーブル信号供給制御トランジスタの第1導通端子は、前記発光イネーブル信号生成部に接続され、

前記 j 個の発光イネーブル信号供給制御トランジスタの第2導通端子は、それぞれ対応する発光制御線に接続され、

前記第1の制御信号生成部は、各サブフレームには前記 j 個の発光イネーブル信号供給制御トランジスタのうちの1つがオン状態となり、かつ、1フレーム期間中に前記 j 個の発光イネーブル信号供給制御トランジスタがそれぞれ1回ずつオン状態となるように、前記第1の制御信号を生成することを特徴とする。

- [0016] 本発明の第3の局面は、本発明の第2の局面において、
前記j個の発光制御トランジスタおよび前記j個の発光イネーブル信号供給制御トランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴とする。
- [0017] 本発明の第4の局面は、本発明の第3の局面において、
前記酸化物半導体の主成分は、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）から成ることを特徴とする。
- [0018] 本発明の第5の局面は、本発明の第2の局面において、
前記発光イネーブル信号生成部は、複数の段からなるシフトレジスタを備え、
前記シフトレジスタは、外部から入力される複数のクロック信号に基づいて、前記複数の行に順次にオンレベルとなる前記発光イネーブル信号を出力し、
前記シフトレジスタの各段を構成する単位回路は、
第1ノードと、
異なる段の単位回路の動作を制御する他段制御信号を出力する第1出力ノードと、
前記発光イネーブル信号を出力する第2出力ノードと、
前段の単位回路から出力される前記他段制御信号が制御端子および第1導通端子に与えられ、前記第1ノードに第2導通端子が接続された第1のトランジスタと、
前記第1ノードに制御端子が接続され、前記複数のクロック信号の1つが前記第1導通端子に与えられ、前記第1出力ノードに第2導通端子が接続された第2のトランジスタと、
前記第1ノードに制御端子が接続され、オンレベルの直流電源電圧が第1導通端子に与えられ、前記第2出力ノードに第2導通端子が接続された第3のトランジスタと、
次段の単位回路から出力される前記他段制御信号が制御端子に与えられ

、前記第 1 出力ノードに第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 4 のトランジスタと、

次段の単位回路から出力される前記他段制御信号が制御端子に与えられ、前記第 1 ノードに第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 5 のトランジスタと、

各サブフレームの終了時点にオンレベルとなるサブフレームリセット信号が制御端子に与えられ、前記第 2 出力ノードに第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 6 のトランジスタと

を有することを特徴とする。

[0019] 本発明の第 6 の局面は、本発明の第 1 の局面において、

j 個の画素回路を 1 つのグループとして各グループに含まれる j 個の画素回路と当該 j 個の画素回路に対応する j 本の発光制御線とに着目したとき、着目した j 本の発光制御線の各々は、着目した j 個の画素回路において互いに異なる色で発光する電気光学素子に対応する発光制御トランジスタに接続されていることを特徴とする。

[0020] 本発明の第 7 の局面は、本発明の第 1 の局面において、

前記発光イネーブル信号切り替え部は、

第 2 の制御信号を生成する第 2 の制御信号生成部と、

前記 j 本の発光制御線にそれぞれ対応する少なくとも j 個の出力を有するデマルチプレクサと
からなり、

前記デマルチプレクサは、入力信号として与えられる前記発光イネーブル信号の出力を前記第 2 の制御信号に基づいて切り替え、

前記第 2 の制御信号生成部は、前記デマルチプレクサにおいてサブフレーム毎に異なる出力から前記発光イネーブル信号が出力されるように、かつ、前記デマルチプレクサにおいて 1 フレーム期間中に前記 j 個の出力からそれぞれ 1 回ずつ前記発光イネーブル信号が出力されるように、前記第 2 の制御

信号を生成することを特徴とする。

- [0021] 本発明の第 8 の局面は、本発明の第 7 の局面において、
連続する 2 つのサブフレームの間には、前記画素回路に含まれる前記 j 個の電気光学素子を消灯状態にするとともに前記画素回路に黒色に相当する画像データを書き込む黒色表示期間が設けられ、
前記デマルチプレクサは、CMOS 回路を用いて構成されていることを特徴とする。

- [0022] 本発明の第 9 の局面は、本発明の第 7 の局面において、
前記デマルチプレクサは行ごとに設けられ、
各行において、前記デマルチプレクサの j 個の出力は、それぞれ対応する発光制御線に接続されていることを特徴とする。

- [0023] 本発明の第 10 の局面は、本発明の第 7 の局面において、
前記デマルチプレクサは 1 つだけ設けられ、
前記デマルチプレクサの j 個の出力は、全ての行において、それぞれ対応する発光制御線に接続されていることを特徴とする。

- [0024] 本発明の第 11 の局面は、本発明の第 1 の局面において、
各行に対応するように設けられた走査信号線と、
各列に対応するように設けられたデータ線と、
前記画素回路にハイレベルの直流電源電圧を供給するための第 1 電源線と、
、
前記画素回路にローレベルの直流電源電圧を供給するための第 2 電源線とを更に備え、
前記駆動電流制御部は、
前記第 1 電源線と前記第 2 電源線との間に前記 j 個の発光制御トランジスタの各々と直列になるように設けられ、前記駆動電流を制御するための駆動トランジスタと、
前記駆動トランジスタの制御端子と前記データ線との間に設けられ、対応する走査信号線が選択状態にされたときに前記駆動トランジスタの制御端

子と前記データ線とを電氣的に接続する入力トランジスタと、

前記駆動トランジスタの制御端子と前記駆動トランジスタの一方の導通端子との間に設けられたコンデンサとを含むことを特徴とする。

[0025] 本発明の第12の局面は、本発明の第1の局面において、

連続する2つのサブフレームの間には、前記画素回路に含まれる前記j個の電気光学素子を消灯状態にするとともに前記画素回路に黒色に相当する画像データを書き込む黒色表示期間が設けられていることを特徴とする。

[0026] 本発明の第13の局面は、互いに異なる色で発光するj個の電気光学素子と、前記j個の電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部と、前記j個の電気光学素子と1対1で対応するように設けられ対応する電気光学素子への前記駆動電流の供給を制御するj個の発光制御トランジスタとを含み、複数の行および複数の列を構成するようにマトリクス状に配置された画素回路と、前記画素回路において前記j個の発光制御トランジスタと1対1で対応するように各行につきj本設けられた発光制御線とを備え、1フレーム期間をj個（jは3以上の整数）のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置の駆動方法であって、

前記j個の発光制御トランジスタのオン／オフ状態を制御するための信号であって前記j本の発光制御線に供給するための信号である発光イネーブル信号を生成する発光イネーブル信号生成ステップと、

サブフレーム毎に異なる発光制御線に前記発光イネーブル信号が供給されるよう、前記発光イネーブル信号生成ステップで生成された前記発光イネーブル信号の供給先を各行で前記j本の発光制御線の間で切り替える発光イネーブル信号切り替えステップとを含むことを特徴とする。

発明の効果

[0027] 本発明の第1の局面によれば、画素回路内のj個（jは3以上の整数）の

電気光学素子と1対1で対応するように設けられたj個の発光制御トランジスタのオン／オフ状態を制御するための発光イネーブル信号を生成する発光イネーブル信号生成部と、j個の発光制御トランジスタのそれぞれに発光イネーブル信号を供給するためのj本の発光制御線とが設けられた構成の表示装置において、発光イネーブル信号生成部で生成された発光イネーブル信号は発光イネーブル信号切り替え部によってサブフレーム毎に異なる発光制御線に供給される。このような発光イネーブル信号切り替え部が設けられているので、各行につき1つの発光イネーブル信号が生成されれば良い。従って、発光イネーブル信号を生成するための構成要素（典型的にはドライバ）の数を従来よりも少なくすることが可能となる。これにより、額縁サイズを従来よりも小さくすることが可能となり、表示装置の小型化が実現される。

[0028] 本発明の第2の局面によれば、画素回路に含まれるj個の発光制御トランジスタのオン／オフ状態を制御するための構成要素として、1系統分のみの発光イネーブル信号生成部と各行につきj個の発光イネーブル信号供給制御トランジスタとが必要とされる。これに対して、従来技術によれば、j系統分の発光イネーブル信号生成部が必要とされる。発光イネーブル信号生成部には少なくとも6個のトランジスタが含まれるので、本発明の第2の局面によれば、従来よりもトランジスタ占有面積が小さくなる。従って、額縁サイズを従来よりも小さくすることが可能となり、表示装置の小型化が実現される。

[0029] 本発明の第3の局面によれば、チャネル層が酸化物半導体により形成された薄膜トランジスタが用いられる。このため、トランジスタの小型化が可能となり、より容易に表示装置の小型化が可能となる。

[0030] 本発明の第4の局面によれば、チャネル層を形成する酸化物半導体として酸化インジウムガリウム亜鉛を用いることにより、本発明の第3の局面の効果を確実に達成することができる。

[0031] 本発明の第5の局面によれば、発光イネーブル信号生成部が6個のトランジスタを有する複数の段（単位回路）からなるシフトレジスタを備えた構成

の表示装置において、額縁サイズを従来よりも小さくすることが可能となる。

[0032] 本発明の第6の局面によれば、各サブフレームにおいて、各グループに含まれる j 個の画素回路において互いに異なる発光色の電気光学素子が発光状態となる。すなわち、各サブフレームにおいて、発光色が混在する。これにより、時分割駆動（フィールドシーケンシャル駆動）が採用されている場合に生じやすい色割れの発生が抑制される。以上より、色割れの発生を抑制しつつ従来よりも額縁サイズを小さくした表示装置が実現される。

[0033] 本発明の第7の局面によれば、画素回路に含まれる j 個の発光制御トランジスタのオン／オフ状態を制御するための構成要素として、1系統分のみの発光イネーブル信号生成部とデマルチプレクサとが必要とされる。これに対して、従来技術によれば、 j 系統分の発光イネーブル信号生成部が必要とされる。従って、本発明の第7の局面によれば、発光イネーブル信号生成部による回路占有面積を従来よりも小さくすることが可能となる。

[0034] 本発明の第8の局面によれば、各サブフレームの開始前には、黒色表示に相当するデータの書き込み（黒挿入）が行われる。ここで、デマルチプレクサはCMOS回路を用いて構成されている。このため、黒挿入を高速で行うことができ、動画表示の際の表示品位が向上する。

[0035] 本発明の第9の局面によれば、行ごとにデマルチプレクサが設けられた構成の表示装置において、本発明の第7の局面と同様の効果が得られる。

[0036] 本発明の第10の局面によれば、1つのみのデマルチプレクサによって全ての発光制御トランジスタのオン／オフ状態を制御することが可能となる。これにより、額縁サイズを従来よりも大幅に小さくすることが可能となる。

[0037] 本発明の第11の局面によれば、電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部が駆動トランジスタと入力トランジスタとコンデンサとによって構成されている表示装置において、本発明の第1の局面と同様の効果が得られる。

[0038] 本発明の第12の局面によれば、各サブフレームの開始前には、黒色表示

に相当するデータの書き込みが行われる。このため、前回の書き込みに応じた輝度で電気光学素子が発光することが防止される。

[0039] 本発明の第13の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

図面の簡単な説明

[0040] [図1]本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置の要部の構成（画素回路－エミッションドライバ間の構成）を示す回路図である。

[図2]上記第1の実施形態において、有機EL表示装置の全体構成を示すブロック図である。

[図3]上記第1の実施形態において、表示部の構成について説明するための図である。

[図4]上記第1の実施形態において、ソースドライバの一構成例を示すブロック図である。

[図5]上記第1の実施形態において、ゲートドライバの一構成例を示すブロック図である。

[図6]上記第1の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図7]上記第1の実施形態における画素回路の構成を示す回路図である。

[図8]上記第1の実施形態において、発光イネーブル信号切り替え部の構成を示す図である。

[図9]上記第1の実施形態において、第1～第3エミッション線とトランジスタT3～T5との接続関係について説明するための図である。

[図10]上記第1の実施形態において、エミッションドライバの一構成例を示すブロック図である。

[図11]上記第1の実施形態において、エミッションドライバに与えられるエミッションクロック信号の波形図である。

[図12]上記第1の実施形態において、エミッションドライバを構成するシフ

トレジスタ内の単位回路の構成（シフトレジスタの１段分の構成）を示す回路図である。

[図13]上記第１の実施形態において、単位回路の動作について説明するためのタイミングチャートである。

[図14]上記第１の実施形態における１フレーム期間の構成を示す図である。

[図15]上記第１の実施形態において、走査信号線に与えられる走査信号，エミッション線に与えられる発光イネーブル信号，および選択信号の波形を示すタイミングチャートである。

[図16]上記第１の実施形態における効果について説明するための図である。

[図17]上記第１の実施形態における効果について説明するための図である。

[図18]上記第１の実施形態の第１の変形例において、エミッションドライバを構成するシフトレジスタ内の単位回路の構成（シフトレジスタの１段分の構成）を示す回路図である。

[図19]上記第１の実施形態の第１の変形例における効果について説明するための図である。

[図20]上記第１の実施形態の第２の変形例における要部の構成（画素回路－エミッションドライバ間の構成）を示す回路図である。

[図21]本発明の第２の実施形態に係るアクティブマトリクス型の有機ＥＬ表示装置において、第１～第３エミッション線とトランジスタＴ３～Ｔ５との接続関係について説明するための図である。

[図22]上記第２の実施形態において、１つのグループに含まれる３つの画素回路内の有機ＥＬ素子についての１フレーム期間中の発光状態の推移を示す図である。

[図23]上記第２の実施形態において、第１サブフレームにおける発光状態を示す図である。

[図24]上記第２の実施形態において、第２サブフレームにおける発光状態を示す図である。

[図25]上記第２の実施形態において、第３サブフレームにおける発光状態を

示す図である。

[図26]本発明の第3の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図27]上記第3の実施形態におけるデマルチプレクサの入出力信号について説明するための図である。

[図28]上記第3の実施形態におけるデマルチプレクサの詳細な構成を示すブロック図である。

[図29]上記第3の実施形態において、デマルチプレクサにおける選択信号と出力との対応関係を示す図である。

[図30]上記第3の実施形態において、発光イネーブル信号切り替え部の構成を示す図である。

[図31]上記第3の実施形態において、走査信号線に与えられる走査信号，エミッション線に与えられる発光イネーブル信号，および選択信号の波形を示すタイミングチャートである。

[図32]上記第3の実施形態において、デマルチプレクサ内のAND回路の具体的な構成を示す回路図である。

[図33]上記第3の実施形態において、デマルチプレクサ内のNOT回路の具体的な構成を示す回路図である。

[図34]本発明の第4の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図35]上記第4の実施形態において、走査信号線に与えられる走査信号，エミッション線に与えられる発光イネーブル信号，選択信号，およびエミッション信号入力切り替え回路600から出力される発光イネーブル信号の波形を示すタイミングチャートである。

[図36]上記第4の実施形態における効果について説明するための図である。

[図37]1個のサブ画素を構成する従来の一般的な画素回路の構成を示す回路図である。

[図38]図37に示す画素回路の動作を説明するためのタイミングチャートで

ある。

[図39]従来例における1個の画素に対応する画素回路の構成を示す回路図である。

[図40]日本の特開2005-148749号公報に開示された例における1個の画素に対応する画素回路の構成を示す回路図である。

発明を実施するための形態

[0041] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、以下においては、 m および n は2以上の整数であると仮定する。また、各トランジスタに関し、ゲート端子は制御端子に相当し、ドレイン端子は第1導通端子に相当し、ソース端子は第2導通端子に相当する。

[0042] <1. 第1の実施形態>

<1. 1 全体構成および動作概要>

図2は、本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置1の全体構成を示すブロック図である。この有機EL表示装置1は、表示制御回路100、ソースドライバ（データ線駆動回路）200、ゲートドライバ（走査信号線駆動回路）300、エミッションドライバ400、表示部500、およびエミッション信号入力切り替え回路600を備えている。なお、本実施形態においては、表示部500を含む有機ELパネル7内にゲートドライバ300およびエミッションドライバ400が形成されている。すなわち、ゲートドライバ300およびエミッションドライバ400はモノリシック化されている。また、この有機EL表示装置1には、有機ELパネル7に各種電源電圧を供給するための構成要素として、ロジック電源390、ロジック電源490、有機EL用ハイレベル電源580、および有機EL用ローレベル電源590が設けられている。

[0043] ロジック電源390から有機ELパネル7には、ゲートドライバ300の動作に必要とされるハイレベル電源電圧VDDおよびローレベル電源電圧VSSが供給される。ロジック電源490から有機ELパネル7には、エミッションドライバ400の動作に必要とされるハイレベル電源電圧VDDおよ

びローレベル電源電圧 V_{SS} が供給される。有機EL用ハイレベル電源580から有機ELパネル7には、定電圧であるハイレベル電源電圧 ELV_{DD} が供給される。有機EL用ローレベル電源590から有機ELパネル7には、定電圧であるローレベル電源電圧 ELV_{SS} が供給される。

[0044] 図3は、本実施形態における表示部500の構成について説明するための図である。表示部500には、図3に示すように、 m 本のデータ線 $DL(1) \sim DL(m)$ と n 本の走査信号線 $SL(1) \sim SL(n)$ とが互いに交差するように配設されている。データ線 $DL(1) \sim DL(m)$ と走査信号線 $SL(1) \sim SL(n)$ との各交差点に対応して画素回路50が設けられている。すなわち、表示部500には、複数の行(n 行)および複数の列(m 列)を構成するように画素回路50がマトリクス状に配置されている。また、表示部500には、 n 本の走査信号線 $SL(1) \sim SL(n)$ と対応するように、 n 本の第1エミッション線 $EM1(1) \sim EM1(n)$ 、 n 本の第2エミッション線 $EM2(1) \sim EM2(n)$ 、および n 本の第3エミッション線 $EM3(1) \sim EM3(n)$ が配設されている。さらに、表示部500には、ハイレベル電源線 ELV_{DD} およびローレベル電源線 ELV_{SS} が配設されている。本実施形態においては、ハイレベル電源線 ELV_{DD} によって第1電源線が実現され、ローレベル電源線 ELV_{SS} によって第2電源線が実現されている。画素回路50の詳しい構成については後述する。

[0045] なお、以下においては、 m 本のデータ線 $DL(1) \sim DL(m)$ を互いに区別する必要がない場合にはデータ線を単に符号 DL で表す。同様に、走査信号線、第1エミッション線、第2エミッション線、および第3エミッション線を、それぞれ単に符号 SL 、 $EM1$ 、 $EM2$ 、および $EM3$ で表す。また、第1～第3エミッション線 $EM1 \sim EM3$ を総称して単に「エミッション線」ともいう。エミッション線には符号 EM を付す。本実施形態においては、エミッション線 EM によって発光制御線が実現されている。

[0046] 表示制御回路100は、表示データ DA と、ソースドライバ200の動作を制御するためのソーススタートパルス信号 SSP 、ソースクロック信号 S

CK, およびラッチストロープ信号LSと、ゲートドライバ300の動作を制御するためのゲートスタートパルス信号GSP, ゲートクロック信号GCK, および全オン信号ALL_ONと、エミッションドライバ400の動作を制御するためのエミッションスタートパルス信号ESP, エミッションクロック信号ECK, およびサブフレームリセット信号SUBF_RSTと、エミッション信号入力切り替え回路600の動作を制御するためのエミッション切り替え指示信号Semとを出力する。

[0047] ソースドライバ200は、表示制御回路100から送られる表示データDA, ソーススタートパルス信号SSP, ソースクロック信号SCK, およびラッチストロープ信号LSを受け取り、データ線DL(1)~DL(m)に駆動用映像信号を印加する。

[0048] 図4は、ソースドライバ200の一構成例を示すブロック図である。ソースドライバ200は、mビットのシフトレジスタ21, レジスタ22, ラッチ回路23, およびm個のD/A変換器(DAC)24を含んでいる。シフトレジスタ21は、縦続接続されたm個のレジスタ(不図示)を有している。シフトレジスタ21は、ソースクロック信号SCKに基づき、初段のレジスタに供給されるソーススタートパルス信号SSPのパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じて、シフトレジスタ21から各データ線DLに対応するタイミングパルスDLPが出力される。そのタイミングパルスDLPに基づいて、レジスタ22は、表示データDAを記憶する。ラッチ回路23は、レジスタ22に記憶された1行分の表示データDAをラッチストロープ信号LSに応じて取り込んで保持する。D/A変換器24は、各データ線DLに対応するように設けられている。D/A変換器24は、ラッチ回路23に保持された表示データDAをアナログ電圧に変換する。その変換されたアナログ電圧は、駆動用映像信号として全てのデータ線DL(1)~DL(m)に一斉に印加される。

[0049] ゲートドライバ300は、表示制御回路100から送られるゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、n本の走査

信号線SL(1)～SL(n)に順次にアクティブな走査信号を印加する。ゲートドライバ300は、また、表示制御回路100から送られる全オン信号ALL_ONに基づいて、n本の走査信号線SL(1)～SL(n)に対して一斉にアクティブな走査信号を印加する。なお、走査信号線SLに関し、アクティブな走査信号が印加されている状態のことを「選択状態」という。これについては、エミッション線EMについても同様である。走査信号線SLが選択状態になっている時に、当該走査信号線SLに対応して設けられている画素回路50でデータの書き込みが行われる。なお、本明細書においては、本来の映像データとは別に黒色表示に相当するデータを画素回路に書き込むことを「黒挿入」という。

[0050] 図5は、本実施形態におけるゲートドライバ300の一構成例を示すブロック図である。このゲートドライバ300は、n個のフリップフロップ回路31からなるシフトレジスタ310と黒挿入の制御を行うための黒挿入制御部320とによって構成されている。シフトレジスタ310については、ゲートスタートパルス信号GSPは1段目のフリップフロップ回路31に与えられ、ゲートクロック信号GCKは全てのフリップフロップ回路31に共通的に与えられるように構成されている。黒挿入制御部320には、シフトレジスタ310内のフリップフロップ回路31と1対1で対応するように、n個のOR回路32が設けられている。OR回路32には、フリップフロップ回路31からの出力信号と全オン信号ALL_ONとが入力される。また、OR回路32からの出力信号は、走査信号として走査信号線SLに与えられる。

[0051] 以上のような構成において、全オン信号ALL_ONがハイレベルになっているときには、全てのOR回路32にハイレベルの信号が与えられる。これにより、図6の時点t21～時点t22の期間のように、n本の走査信号線SL(1)～SL(n)が一斉に選択状態となる。全オン信号ALL_ONがローレベルになっているときにシフトレジスタ310の1段目のフリップフロップ回路31にゲートスタートパルス信号GSPのパルスが与えられ

ると、ゲートクロック信号GCKに基づき、ゲートスタートパルス信号GSPに含まれるパルスが1段目のフリップフロップ回路31からn段目のフリップフロップ回路31へと順次に転送される。そして、このパルスの転送に応じて、1～n段目のフリップフロップ回路31からの出力信号が順次にハイレベルとなる。これにより、図6の時点t22～時点t23の期間のように、n本の走査信号線SL(1)～SL(n)が所定期間ずつ順次に選択状態となる。

[0052] エミッションドライバ400は、表示制御回路100から送られるエミッションスタートパルス信号SSP、エミッションクロック信号ECK、およびサブフレームリセット信号SUBF_RSTに基づいて、エミッション線EMに供給するための発光イネーブル信号を出力する。エミッションドライバ400についての詳しい説明は後述する。なお、本実施形態においては、このエミッションドライバ400によって発光イネーブル信号生成部が実現されている。

[0053] エミッション信号入力切り替え回路600は、表示制御回路100から送られるエミッション切り替え指示信号Semに基づいて、選択信号SEL1, SEL2, およびSEL3を出力する。本実施形態においては、エミッション切り替え指示信号Semに基づいて、サブフレーム毎に、3つの選択信号SEL1, SEL2, およびSEL3のうちの1つがアクティブ（本実施形態ではハイレベル）にされる。なお、本実施形態においては、このエミッション信号入力切り替え回路600によって第1の制御信号生成部が実現され、選択信号SEL1, SEL2, およびSEL3によって第1の制御信号が実現されている。

[0054] <1. 2 画素回路の構成>

図7は、本実施形態における画素回路50の構成を示す回路図である。この画素回路50は、表示部500に配設されているm本のデータ線DL(1)～DL(m)とn本の走査信号線SL(1)～SL(n)との各交差点に対応して設けられている。図5に示すように、この画素回路50は、5個の

トランジスタT1～T5と、1個のコンデンサC_{s t}と、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)とを備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は入力トランジスタである。トランジスタT3、T4、およびT5は、それぞれ有機EL素子OLED(R)、OLED(G)、およびOLED(B)への駆動電流の供給を制御することによって発光の制御を行う発光制御トランジスタとして機能する。有機EL素子OLED(R)は、赤色光を発する電気光学素子として機能する。有機EL素子OLED(G)は、緑色光を発する電気光学素子として機能する。有機EL素子OLED(B)は、青色光を発する電気光学素子として機能する。以下においては、3個の有機EL素子OLED(R)、OLED(G)、およびOLED(B)を総称して単に「有機EL素子OLED」ともいう。

[0055] なお、本実施形態においては、トランジスタT1とトランジスタT2とコンデンサC_{s t}とによって、有機EL素子OLEDを発光状態にするための駆動電流を制御する駆動電流制御部510が実現されている。

[0056] 図7に示すように、トランジスタT1は、トランジスタT3～T5の各々と直列に、かつ、有機EL素子OLED(R)、OLED(G)、およびOLED(B)の各々と直列に設けられている。換言すれば、トランジスタT1と有機EL素子OLED(R)とはトランジスタT3を介して直列に接続され、トランジスタT1と有機EL素子OLED(G)とはトランジスタT4を介して直列に接続され、トランジスタT1と有機EL素子OLED(B)とはトランジスタT5を介して直列に接続されている。トランジスタT1に関し、ゲート端子はトランジスタT2のドレイン端子に接続され、ドレイン端子はハイレベル電源線ELVDDに接続され、ソース端子はトランジスタT3～T5のドレイン端子に接続されている。トランジスタT2は、データ線DLとトランジスタT1のゲート端子との間に設けられている。そのトランジスタT2に関し、ゲート端子は走査信号線SLに接続され、ドレイン端子はトランジスタT1のゲート端子に接続され、ソース端子はデータ線D

Lに接続されている。コンデンサC s tについては、トランジスタT 1のゲート端子に一端が接続され、トランジスタT 1のソース端子に他端が接続されている。トランジスタT 3については、ドレイン端子はトランジスタT 1のソース端子に接続され、ソース端子は有機EL素子OLED (R) のアノード端子に接続されている。トランジスタT 4については、ドレイン端子はトランジスタT 1のソース端子に接続され、ソース端子は有機EL素子OLED (G) のアノード端子に接続されている。トランジスタT 5については、ドレイン端子はトランジスタT 1のソース端子に接続され、ソース端子は有機EL素子OLED (B) のアノード端子に接続されている。トランジスタT 3～T 5のゲート端子はそれぞれ第1～第3エミッション線EM 1～EM 3に接続されている。有機EL素子OLED (R) , OLED (G) , およびOLED (B) のカソード端子は、有機EL用ローレベル電源線EL VSSに接続されている。

[0057] ところで、本実施形態においては、画素回路5 0内のトランジスタT 1～T 5はすべてnチャネル型である。また、本実施形態においては、トランジスタT 1～T 5には、酸化物TF T (酸化物半導体をチャネル層に用いた薄膜トランジスタ) が採用されている。後述するトランジスタT e m 1～T e m 3についても同様である。

[0058] 以下、酸化物TF Tに含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、In-Ga-Zn-O系の半導体層である。酸化物半導体層は、例えばIn-Ga-Zn-O系の半導体を含む。In-Ga-Zn-O系半導体は、In (インジウム)、Ga (ガリウム)、Zn (亜鉛) の三元系酸化物である。In、GaおよびZnの割合 (組成比) は、特に限定されない。例えばIn : Ga : Zn = 2 : 2 : 1、In : Ga : Zn = 1 : 1 : 1、In : Ga : Zn = 1 : 1 : 2 などでもよい。

[0059] In-Ga-Zn-O系半導体層を有するTF Tは、高い移動度 (アモルファスシリコンTF Tに比べて2 0倍を超える移動度) と低いリーク電流 (アモルファスシリコンTF Tに比べて1 0 0分の1未満のリーク電流) を有

するので、画素回路50内の駆動TFT（上記トランジスタT1）およびスイッチングTFT（上記トランジスタT2）として好適に用いられる。In-Ga-Zn-O系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することができる。

[0060] In-Ga-Zn-O系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質In-Ga-Zn-O系半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系半導体が好ましい。このようなIn-Ga-Zn-O系半導体の結晶構造は、例えば日本の特開2012-134475号公報に開示されている。

[0061] 酸化物半導体層は、In-Ga-Zn-O系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えばZn-O系半導体（ZnO）、In-Zn-O系半導体（IZO（登録商標））、Zn-Ti-O系半導体（ZTO）、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO（酸化カドニウム）、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体（例えばIn₂O₃-SnO₂-ZnO）、In-Ga-Sn-O系半導体などを含んでいてもよい。

[0062] <1. 3 要部の構成（画素回路－エミッションドライバ間の構成）>

図1は、本実施形態における要部の構成（画素回路50－エミッションドライバ400間の構成）を示す回路図である。図1および図2から把握されるように、本実施形態においては、各行につき3本のエミッション線EM（第1エミッション線EM1、第2エミッション線EM2、および第3エミッション線EM3）が設けられている。図1に示すように、エミッションドライバ400と第1～第3エミッション線EM1～EM3との間には、それぞれ選択信号SEL1～SEL3によってオン／オフ状態が制御されるトランジスタTem1～Tem3が設けられている。これらトランジスタTem1～Tem3によって、発光イネーブル信号供給制御トランジスタが実現されている。トランジスタTem1については、ゲート端子には選択信号SEL1が与えられ、ドレイン端子はエミッションドライバ400に接続され、ソ

ース端子は第1エミッション線EM1に接続されている。トランジスタTem2については、ゲート端子には選択信号SEL2が与えられ、ド레인端子はエミッションドライバ400に接続され、ソース端子は第2エミッション線EM2に接続されている。トランジスタTem3については、ゲート端子には選択信号SEL3が与えられ、ド레인端子はエミッションドライバ400に接続され、ソース端子は第3エミッション線EM3に接続されている。

[0063] 以上のような構成において、エミッション信号入力切り替え回路600は、サブフレーム毎に3つの選択信号SEL1, SEL2, およびSEL3のうちの1つをハイレベルにする。選択信号SEL1がハイレベルになっている時には、トランジスタTem1がオン状態となって、エミッションドライバ400から出力された発光イネーブル信号GGemは第1エミッション線EM1に供給される。選択信号SEL2がハイレベルになっている時には、トランジスタTem2がオン状態となって、エミッションドライバ400から出力された発光イネーブル信号GGemは第2エミッション線EM2に供給される。選択信号SEL3がハイレベルになっている時には、トランジスタTem3がオン状態となって、エミッションドライバ400から出力された発光イネーブル信号GGemは第3エミッション線EM3に供給される。

[0064] 以上のようにして、1つのエミッションドライバ400から出力された発光イネーブル信号GGemが、3本のエミッション線EM（第1エミッション線EM1, 第2エミッション線EM2, および第3エミッション線EM3）に1サブフレームずつ順次に供給される。以上のように、本実施形態においては、エミッション信号入力切り替え回路600と各行に設けられたトランジスタTem1～Tem3とによって発光イネーブル信号切り替え部610が実現されている（図8参照）。

[0065] なお、本実施形態においては、後述する第2の実施形態とは異なり、図9に示すように、全ての列の画素回路50において、第1エミッション線EM1はトランジスタT3のゲート端子に接続され、第2エミッション線EM2

はトランジスタT4のゲート端子に接続され、第3エミッション線EM3はトランジスタT5のゲート端子に接続されている。

[0066] <1. 4 エミSSIONドライバ>

<1. 4. 1 概略構成>

図10は、本実施形態におけるエミSSIONドライバ400の一構成例を示すブロック図である。このエミSSIONドライバ400は、 n 個の単位回路40からなる n 段のシフトレジスタ4によって構成されている。なお、図10には、 $(k-1)$ 段目から $(k+1)$ 段目までの単位回路40 $(k-1) \sim 40(k+1)$ を示している。ここで、 k は2以上で $(n-2)$ 以下の偶数とする。各単位回路40には、クロック信号VCLKを受け取るための入力端子と、セット信号Sを受け取るための入力端子と、第1のリセット信号R1を受け取るための入力端子と、第2のリセット信号R2を受け取るための入力端子と、第1の出力信号Q1を出力するための出力端子と、第2の出力信号Q2を出力するための出力端子とが設けられている。なお、各単位回路40には更にハイレベル電源電圧VDDを受け取るための入力端子およびローレベル電源電圧VSSを受け取るための入力端子が含まれているが、図10ではそれらの図示を省略している。

[0067] このエミSSIONドライバ400を構成するシフトレジスタ4には、エミSSIONクロック信号ECKとして、図11に示すような2相のクロック信号（第1クロック信号CK1および第2クロック信号CK2）が与えられる。第1クロック信号CK1と第2クロック信号CK2とは互いに1水平走査期間だけ位相がずれている。また、第1クロック信号CK1および第2クロック信号CK2のいずれも、2水平走査期間中の1水平走査期間だけハイレベルの状態となる。

[0068] シフトレジスタ4の各段（各単位回路）の入力端子に与えられる信号は次のようになっている。奇数段目については、第1クロック信号CK1がクロック信号VCLKとして与えられる。偶数段目については、第2クロック信号CK2がクロック信号VCLKとして与えられる。また、任意の段につい

て、前段から出力される第1の出力信号Q1がセット信号Sとして与えられ、次段から出力される第1の出力信号Q1が第1のリセット信号R1として与えられる。但し、1段目については、エミッションスタートパルス信号ESPがセット信号Sとして与えられる。さらに、サブフレームリセット信号SUBF_RSTが第2のリセット信号R2として全ての段に共通的に与えられる。

[0069] 以上のような構成において、シフトレジスタ4の1段目にセット信号Sとしてのエミッションスタートパルス信号ESPのパルスが与えられると、第1クロック信号CK1と第2クロック信号CK2とに基づいて、各段から出力される第1の出力信号Q1に含まれるシフトパルスが1段目からn段目へと順次に転送される。そして、このシフトパルスの転送に応じて、各段から出力される第1の出力信号Q1が順次にハイレベルとなるとともに、各段から出力される第2の出力信号Q2が順次にハイレベルとなる。なお、各段から出力される第2の出力信号Q2は、発光イネーブル信号GGenとしてエミッション線EMに与えられる。

[0070] <1. 4. 2 単位回路の構成>

図12は、エミッションドライバ400を構成するシフトレジスタ4内の単位回路40の構成（シフトレジスタ4の1段分の構成）を示す回路図である。図12に示すように、単位回路40は、6個のトランジスタM1～M6を備えている。また、単位回路40は、ハイレベル電源電圧VDD用の入力端子およびローレベル電源電圧VSS用の入力端子のほか、4個の入力端子41～44および2個の出力端子48、49を有している。ここで、セット信号Sを受け取る入力端子には符号41を付し、第1のリセット信号R1を受け取る入力端子には符号42を付し、クロック信号VCLKを受け取る入力端子には符号43を付し、第2のリセット信号R2を受け取る入力端子には符号44を付している。また、第1の出力信号Q1を出力する出力端子には符号48を付し、第2の出力信号Q2を出力する出力端子には符号49を付している。トランジスタM2のゲート端子ードレイン端子間には寄生容量

C_{gd}が形成され、トランジスタM₂のゲート端子ーソース端子間には寄生容量C_{gs}が形成されている。トランジスタM₁のソース端子，トランジスタM₂のゲート端子，トランジスタM₃のゲート端子，およびトランジスタM₅のドレイン端子は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを以下「第1ノード」という。第1ノードには、符号N₁を付す。

[0071] トランジスタM₁については、ゲート端子およびドレイン端子は入力端子4₁に接続され（すなわち、ダイオード接続となっている）、ソース端子は第1ノードN₁に接続されている。トランジスタM₂については、ゲート端子は第1ノードN₁に接続され、ドレイン端子は入力端子4₃に接続され、ソース端子は出力端子4₈に接続されている。トランジスタM₃については、ゲート端子は第1ノードN₁に接続され、ドレイン端子はハイレベル電源電圧V_{DD}用の入力端子に接続され、ソース端子は出力端子4₉に接続されている。トランジスタM₄については、ゲート端子は入力端子4₂に接続され、ドレイン端子は出力端子4₈に接続され、ソース端子はローレベル電源電圧V_{SS}用の入力端子に接続され。トランジスタM₅については、ゲート端子は入力端子4₂に接続され、ドレイン端子は第1ノードN₁に接続され、ソース端子はローレベル電源電圧V_{SS}用の入力端子に接続されている。トランジスタM₆については、ゲート端子は入力端子4₄に接続され、ドレイン端子は出力端子4₉に接続され、ソース端子はローレベル電源電圧V_{SS}用の入力端子に接続されている。

[0072] 次に、各構成要素のこの単位回路40における機能について説明する。トランジスタM₁は、セット信号Sがハイレベルになると、第1ノードN₁の電位をハイレベルに向けて変化させる。トランジスタM₂は、第1ノードN₁の電位がハイレベルになると、クロック信号V_{CLK}の電位を出力端子4₈に与える。トランジスタM₃は、第1ノードN₁の電位がハイレベルになると、ハイレベル電源電圧V_{DD}の電位を出力端子4₉に与える。トランジスタM₄は、第1のリセット信号R₁がハイレベルになると、出力端子4₈

の電位をローレベル電源電圧 V_{SS} の電位に向けて変化させる。トランジスタ $M5$ は、第1のリセット信号 $R1$ がハイレベルになると、第1ノード $N1$ の電位をローレベル電源電圧 V_{SS} の電位に向けて変化させる。トランジスタ $M6$ は、第2のリセット信号 $R2$ がハイレベルになると、出力端子49の電位をローレベル電源電圧 V_{SS} の電位に向けて変化させる。

[0073] なお、本実施形態においては、トランジスタ $M1$ によって第1のトランジスタが実現され、トランジスタ $M2$ によって第2のトランジスタが実現され、トランジスタ $M3$ によって第3のトランジスタが実現され、トランジスタ $M4$ によって第4のトランジスタが実現され、トランジスタ $M5$ によって第5のトランジスタが実現され、トランジスタ $M6$ によって第6のトランジスタが実現されている。また、出力端子48によって第1出力ノードが実現され、出力端子49によって第2出力ノードが実現されている。また、出力端子48から出力される第1の出力信号 $Q1$ によって他段制御信号が実現されている。

[0074] <1. 4. 3 単位回路の動作>

次に、図12および図13を参照しつつ、本実施形態における単位回路40の動作について説明する。図13に示すように、時点 $t10$ 以前の期間には、第1ノード $N1$ の電位、第1の出力信号 $Q1$ の電位（出力端子48の電位）、および第2の出力信号 $Q2$ の電位（出力端子49の電位）はローレベルとなっている。また、入力端子43には、所定期間おきにハイレベルとなるクロック信号 V_{CLK} が与えられている。なお、図13に関し、実際の波形にはいくらかの遅延が生じるが、ここでは理想的な波形を示している。

[0075] 時点 $t10$ になると、入力端子41にセット信号 S のパルスが与えられる。トランジスタ $M1$ は図12に示すようにダイオード接続となっているので、このセット信号 S のパルスによってトランジスタ $M1$ はオン状態となる。これにより、第1ノード $N1$ の電位が上昇する。

[0076] 時点 $t11$ になると、クロック信号 V_{CLK} がローレベルからハイレベルに変化する。このとき、第1のリセット信号 $R1$ はローレベルとなっている

ので、トランジスタM5はオフ状態となっている。従って、第1ノードN1はフローティング状態となる。上述したように、トランジスタM2のゲート端子ードレイン端子間には寄生容量 C_{gd} が形成され、トランジスタM2のゲート端子ーソース端子間には寄生容量 C_{gs} が形成されている。このため、ブートストラップ効果によって、第1ノードN1の電位は大きく上昇する。その結果、トランジスタM2およびトランジスタM3には大きな電圧が印加される。これにより、第1の出力信号Q1の電位（出力端子48の電位）はクロック信号VCLKのハイレベルの電位にまで上昇し、第2の出力信号Q2の電位（出力端子49の電位）はハイレベル電源電圧VDDの電位にまで上昇する。なお、時点 t_{11} ～時点 t_{12} の期間中、第1のリセット信号R1はローレベルとなっている。このため、トランジスタM4はオフ状態で維持されるので、この期間中に第1の出力信号Q1の電位が低下することはない。また、時点 t_{11} ～時点 t_{12} の期間中、第2のリセット信号R2はローレベルとなっている。このため、トランジスタM6はオフ状態で維持されるので、この期間中に第2の出力信号Q2の電位が低下することはない。

[0077] 時点 t_{12} になると、クロック信号VCLKがハイレベルからローレベルに変化する。これにより、入力端子43の電位の低下とともに第1の出力信号Q1の電位は低下し、更に寄生容量 C_{gd} 、 C_{gs} を介して第1ノードN1の電位も低下する。また、時点 t_{12} には、入力端子42に第1のリセット信号R1のパルスが与えられる。これにより、トランジスタM4およびトランジスタM5はオン状態となる。トランジスタM4がオン状態になることによって第1の出力信号Q1の電位がローレベルにまで低下し、トランジスタM5がオン状態になることによって第1ノードN1の電位がローレベルにまで低下する。なお、第1ノードN1の電位がローレベルにまで低下することによってトランジスタM3はオフ状態となるが、時点 t_{13} になるまでは、第2のリセット信号R2はローレベルで維持されている。従って、時点 t_{12} ～時点 t_{13} の期間には、出力端子49はフローティング状態で維持され、第2の出力信号Q2の電位はハイレベル電源電圧VDDの電位で維持さ

れる。

[0078] 時点 t_{13} になると、入力端子 44 に第 2 のリセット信号 R_2 のパルスが与えられる。これにより、トランジスタ M_6 はオン状態となる。その結果、第 2 の出力信号 Q_2 の電位がローレベルにまで低下する。なお、第 2 のリセット信号 R_2 としてのサブフレームリセット信号 SUB_RST のパルスは、各サブフレームの終了時点に各単位回路 40 に与えられる。すなわち、図 13 における時点 t_{13} は、各サブフレームの終了時点に相当する。

[0079] <1.5 駆動方法>

次に、上述した各構成要素の動作を踏まえ、本実施形態における駆動方法について説明する。図 14 は、本実施形態における 1 フレーム期間の構成を示す図である。図 14 に示すように、1 フレーム期間は 3 つのサブフレーム（第 1 ～第 3 サブフレーム）で構成されている。第 1 サブフレームは、赤色画面の表示を行うためのサブフレームである。すなわち、第 1 サブフレームには、有機 EL 素子 $OLED(R)$ が発光する。第 2 サブフレームは、緑色画面の表示を行うためのサブフレームである。すなわち、第 2 サブフレームには、有機 EL 素子 $OLED(G)$ が発光する。第 3 サブフレームは、青色画面の表示を行うためのサブフレームである。すなわち、第 3 サブフレームには、有機 EL 素子 $OLED(B)$ が発光する。有機 EL 表示装置 1 の動作中、これら第 1 ～第 3 サブフレームが繰り返される。これにより、赤色画面、緑色画面、および青色画面が繰り返して表示され、所望のカラー表示が行われる。

[0080] 図 15 は、走査信号線 SL に与えられる走査信号、エミッション線 EM に与えられる発光イネーブル信号、および選択信号 $SEL_1 \sim SEL_3$ の波形を示すタイミングチャートである。なお、図 15 では、第 1 サブフレーム～第 3 サブフレームをそれぞれ符号 $SF_1 \sim SF_3$ で表している。図 15 に示すように、連続する 2 つのサブフレームの間の帰線期間は黒色表示期間となっている。黒色表示期間には、全てのエミッション線 EM は非選択状態とされ、全ての走査信号線 $SL(1) \sim SL(n)$ は選択状態とされる。そのよ

うな状態で、ソースドライバ200は、黒色に相当するアナログ電圧を駆動用映像信号として全てのデータ線DL(1)~DL(m)に印加する。これにより、表示部500内の全ての画素回路50に、黒色に相当する画像データが書き込まれる。また、全てのエミッション線EMが非選択状態とされることによって表示部500内の全ての有機EL素子OLEDが消灯状態となるので、黒色の画面が表示部500に表示される。以上のように黒色表示期間(帰線期間)に黒色に相当する画像データの書き込みを行うことによって、各サブフレームにおいて1つ前のサブフレームでの書き込みに応じた輝度で有機EL素子OLEDが発光することが防止される。

[0081] 第1サブフレームSF1には、まず、エミッション信号入力切り替え回路600が、選択信号SEL1をハイレベルとし、選択信号SEL2および選択信号SEL3をローレベルとする。これにより、各行において、トランジスタTem1はオン状態となり、トランジスタTem2およびトランジスタTem3はオフ状態となる。次に、ゲートドライバ300が1行目の走査信号をハイレベルにし、エミッションドライバ400が1行目の発光イネーブル信号をハイレベルにする。トランジスタTem1~Tem3のうちトランジスタTem1のみがオン状態となっているので、1行目において、第1エミッション線EM1(1)が選択状態となる。これにより、1行目の各画素回路50では、トランジスタT3はオン状態かつトランジスタT4およびトランジスタT5はオフ状態となる。また、1行目の走査信号線SL(1)が選択状態となることによって、1行目の各画素回路50において、トランジスタT2がオン状態となる。その結果、1行目の各画素回路50において、データ線DLに印加されているデータ電圧に基づいてコンデンサCstが充電される。

[0082] ゲートドライバ300が1行目の走査信号線SL(1)を非選択状態にすると、1行目の各画素回路50において、トランジスタT2がオフ状態となる。これにより、コンデンサCstが保持するゲートソース間電圧Vgsが確定する。1行目の各画素回路50では、このゲートソース間電圧Vg

sの大きさに応じた駆動電流がトランジスタT1のドレインソース間を流れる。上述したように第1サブフレームSF1にはトランジスタT3がオン状態となっているので、1行目の各画素回路50では、トランジスタT3を介して有機EL素子OLED(R)に駆動電流が供給される。その結果、1行目の各画素回路50において、有機EL素子OLED(R)が発光する。ところで、上述したように、サブフレームリセット信号SUBF_RSTのパルスは、各サブフレームの終了時点にシフトレジスタ4内の単位回路40に与えられる。従って、1行目の第1エミッション線EM1(1)は、第1サブフレームSF1の終了時点まで選択状態で維持される。以上のような動作が2～n行目において順次に行われる。

[0083] 第2サブフレームSF2には、エミッション信号入力切り替え回路600は、選択信号SEL2をハイレベルとし、選択信号SEL1および選択信号SEL3をローレベルとする。このため、各行において、トランジスタTem2はオン状態となり、トランジスタTem1およびトランジスタTem3はオフ状態となる。このような状態で、第1サブフレームSF1と同様にして、各行の走査信号が順次にハイレベルとされるとともに、各行の発光イネーブル信号が順次にハイレベルとされる。各画素回路50では、トランジスタT4はオン状態かつトランジスタT3およびトランジスタT5はオフ状態となる。以上より、第2サブフレームSF2には、各画素回路50において有機EL素子OLED(G)が発光する。

[0084] 第3サブフレームSF2には、エミッション信号入力切り替え回路600は、選択信号SEL3をハイレベルとし、選択信号SEL1および選択信号SEL2をローレベルとする。このため、各行において、トランジスタTem3はオン状態となり、トランジスタTem1およびトランジスタTem2はオフ状態となる。このような状態で、第1サブフレームSF1と同様にして、各行の走査信号が順次にハイレベルとされるとともに、各行の発光イネーブル信号が順次にハイレベルとされる。各画素回路50では、トランジスタT5はオン状態かつトランジスタT3およびトランジスタT4はオフ状態

となる。以上より、第3サブフレームSF3には、各画素回路50において有機EL素子OLED(B)が発光する。

[0085] <1.6 効果>

本実施形態によれば、エミッションドライバ400とエミッション線EM(第1～第3エミッション線EM1～EM3)との間に、エミッションドライバ400から出力された発光イネーブル信号GGemのエミッション線EMへの供給を制御するトランジスタTem1～Tem3が設けられている。このような構成において、各サブフレームにはトランジスタTem1～Tem3のうちの1つがオン状態とされ、かつ、1フレーム期間中にトランジスタTem1～Tem3はそれぞれ1回ずつオン状態とされる。このため、エミッションドライバ400から出力された発光イネーブル信号GGemは、サブフレーム毎に異なるエミッション線EMに供給される。従って、従来技術とは異なり、発光イネーブル信号GGemを生成するためのドライバとして1系統のエミッションドライバ400を備えるだけで良い。これにより、有機EL素子OLEDの発光を制御するために必要とされるトランジスタの数が従来よりも削減される。

[0086] 次に、本実施形態における効果について定量的に説明する。例えば、1フレーム期間を3つのサブフレームに分割する時分割駆動を採用した有機EL表示装置に着目すると、従来技術によれば、3系統のエミッションドライバ400が必要とされる。1系統分のエミッションドライバ400に着目すると、図12から把握されるように、1行につき6個のトランジスタM1～M6が必要とされる。従って、従来技術によれば、1行につき18個のトランジスタが必要とされる。これに対して、本実施形態によれば、エミッションドライバ400とエミッション線EMとの間に3個のトランジスタTem1～Tem3が新たに必要とされるが、1系統分のエミッションドライバ400を備えるだけで良い。従って、本実施形態によれば、1行につき9個のトランジスタが必要とされる。ここで、図16に示すように、ゲート配線とソース／ドレイン領域とを含む矩形領域をTFT占有領域70とする。また、

TFT占有領域70の各辺の長さを図16に示すように x 、 y とする。そうすると、図17に示すように、従来技術におけるTFT占有面積は $18 \times y$ であるのに対し、本実施形態におけるTFT占有面積は $9 \times y$ となる。従って、従来技術におけるTFT占有面積に対する本実施形態におけるTFT占有面積の割合（TFT占有面積比）P1は、次のようになる。

$$\begin{aligned} P1 &= (9 \times y / 18 \times y) \times 100 \\ &= 50 (\%) \end{aligned}$$

このように、本実施形態によれば、TFT占有面積が従来技術と比較して50パーセントとなる。

[0087] 以上より、本実施形態によれば、有機EL表示装置の額縁サイズを従来よりも小さくすることができるので、有機EL表示装置の小型化が実現される。また、一定サイズのパネルに着目すると、HDパネルのFHD化やFHDのパネルのWQHD化などの高精細化（高解像度化）が可能となる。なお、ここではTFT占有面積のみに着目して効果を説明したが、実際には、エミッションドライバ400内のTFT間の接続配線やコンタクト部による占有面積も従来より小さくなる。

[0088] また、本実施形態においては、回路内のトランジスタには、In-Ga-Zn-O系半導体層を有するTFTなどの酸化物TFT（酸化物半導体をチャネル層に用いたトランジスタ）が採用されている。このため、回路内のTFTの小型化が可能となり、パネルの高精細化が容易になる。

[0089] <1.7 変形例>

以下、上記第1の実施形態の変形例について説明する。

[0090] <1.7.1 第1の変形例>

上記第1の実施形態においては、エミッションドライバ400を構成するシフトレジスタ4内の単位回路40には6個のトランジスタM1～M6が含まれていたが、本発明はこれに限定されない。一般的には、駆動性能の向上や信頼性の向上を図るため、単位回路40には9個以上のトランジスタが含まれている。そこで、第1の変形例として、9個のトランジスタが単位回路

40に含まれている例を説明する。なお、単位回路40の具体的な回路構成についても特に限定されない。

[0091] 図18は、本変形例における単位回路40の構成（シフトレジスタ4の1段分の構成）を示す回路図である。図18に示すように、単位回路40は、9個のトランジスタZ1～Z9と、2個のキャパシタCAP1, CAP2とを備えている。また、単位回路40は、ハイレベル電源電圧VDD用の入力端子およびローレベル電源電圧VSS用の入力端子のほか、4個の入力端子41～44および2個の出力端子48, 49を有している。トランジスタZ7のゲート端子ードレイン端子間には寄生容量Cgdが形成され、トランジスタZ7のゲート端子ーソース端子間には寄生容量Cgsが形成されている。

[0092] トランジスタZ1のソース端子、トランジスタZ5のドレイン端子、トランジスタZ7のゲート端子、トランジスタZ8のゲート端子、およびキャパシタCAP1の一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「第1ノード」という。第1ノードには、符号N1を付す。トランジスタZ2のソース端子、トランジスタZ3のドレイン端子、トランジスタZ4のドレイン端子、トランジスタZ5のゲート端子、トランジスタZ6のゲート端子、およびキャパシタCAP2の一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「第2ノード」という。第2ノードには符号N2を付す。

[0093] トランジスタZ1については、ゲート端子およびドレイン端子は入力端子41に接続され（すなわち、ダイオード接続となっている）、ソース端子は第1ノードN1に接続されている。トランジスタZ2については、ゲート端子およびドレイン端子は入力端子42に接続され（すなわち、ダイオード接続となっている）、ソース端子は第2ノードN2に接続されている。トランジスタZ3については、ゲート端子は入力端子41に接続され、ドレイン端子は第2ノードN2に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続されている。トランジスタZ4については、ゲート端子は

出力端子48に接続され、ドレイン端子は第2ノードN2に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続されている。トランジスタZ5については、ゲート端子は第2ノードN2に接続され、ドレイン端子は第1ノードN1に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続されている。トランジスタZ6については、ゲート端子は第2ノードN2に接続され、ドレイン端子は出力端子48に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続されている。トランジスタZ7については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子43に接続され、ソース端子は出力端子48に接続されている。トランジスタZ8については、ゲート端子は第1ノードN1に接続され、ドレイン端子はハイレベル電源電圧VDD用の入力端子に接続され、ソース端子は出力端子49に接続されている。トランジスタZ9については、ゲート端子は入力端子44に接続され、ドレイン端子は出力端子49に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続されている。キャパシタCAP1については、一端は第1ノードN1に接続され、他端は出力端子48に接続されている。キャパシタCAP2については、一端は第2ノードN2に接続され、他端は入力端子41に接続されている。

[0094] 次に、各構成要素のこの単位回路40における機能について説明する。トランジスタZ1は、セット信号Sがハイレベルになると、第1ノードN1の電位をハイレベルに向けて変化させる。トランジスタZ2は、第1のリセット信号R1がハイレベルになると、第2ノードN2の電位をハイレベルに向けて変化させる。トランジスタZ3は、セット信号Sがハイレベルになると、第2ノードN2の電位をローレベル電源電圧VSSの電位に向けて変化させる。トランジスタZ4は、出力端子48の電位がハイレベルになると、第2ノードN2の電位をローレベル電源電圧VSSの電位に向けて変化させる。トランジスタZ5は、第2ノードN2の電位がハイレベルになると、第1ノードN1の電位をローレベル電源電圧VSSの電位に向けて変化させる。トランジスタZ6は、第2ノードN2の電位がハイレベルになると、出力端

子48の電位をローレベル電源電圧VSSの電位に向けて変化させる。トランジスタZ7は、第1ノードN1の電位がハイレベルになると、クロック信号VCLKの電位を出力端子48に与える。トランジスタZ8は、第1ノードN1の電位がハイレベルになると、ハイレベル電源電圧VDDの電位を出力端子49に与える。トランジスタZ9は、第2のリセット信号R2がハイレベルになると、出力端子49の電位をローレベル電源電圧VSSの電位に向けて変化させる。キャパシタCAP1は、出力端子48の電位がハイレベルになっている期間中に第1ノードN1の電位をハイレベルで維持するための補償容量として機能する。キャパシタCAP2は、出力端子48の電位がハイレベルとなる時に第2ノードN2の電位を低下させて回路動作を安定化させるために機能する。

[0095] 次に、図13および図18を参照しつつ、本変形例における単位回路40の動作について説明する。時点t10になると、入力端子41にセット信号Sのパルスが与えられる。トランジスタZ1は図18に示すようにダイオード接続となっているので、このセット信号SのパルスによってトランジスタZ1はオン状態となる。これにより、キャパシタCAP1が充電（ここではプリチャージ）され、第1ノードN1の電位が上昇する。また、セット信号SのパルスによってトランジスタZ3はオン状態となり、第2ノードN2の電位はローレベルとなる。これにより、トランジスタZ5およびトランジスタZ6はオフ状態となる。以上より、時点t10～時点t11の間には、セット信号Sのパルスが入力されている状態で第2ノードN2の電位がローレベルとなるので、入力端子41と第2ノードN2との電位差に基づいてキャパシタCAP2が充電される。

[0096] 時点t11になると、クロック信号VCLKがローレベルからハイレベルに変化する。このとき、第2ノードN2の電位はローレベルとなっているので、トランジスタZ5はオフ状態となっている。従って、第1ノードN1はフローティング状態となる。また、上述したように、トランジスタZ7のゲート端子ードレイン端子間には寄生容量Cgdが形成され、トランジスタZ

7のゲート端子ーソース端子間には寄生容量 C_{gs} が形成されている。以上より、ブートストラップ効果によって、第1ノードN1の電位は大きく上昇する。その結果、トランジスタZ7およびトランジスタZ8には大きな電圧が印加される。これにより、第1の出力信号Q1の電位（出力端子48の電位）はクロック信号VCLKのハイレベルの電位にまで上昇し、第2の出力信号Q2の電位（出力端子49の電位）はハイレベル電源電圧VDDの電位にまで上昇する。ところで、トランジスタZ5およびトランジスタZ6についてもゲート端子ードレイン端子間に寄生容量が存在するので、第1ノードN1の電位および第1の出力信号Q1の電位の上昇に伴って、第2ノードN2の電位は上昇しようとする。しかしながら、時点 t_{10} ～時点 t_{11} の期間に入力端子41と第2ノードN2との電位差に基づいてキャパシタCAP2が充電されていること、および、時点 t_{11} にセット信号Sがハイレベルからローレベルに変化することによって、第2ノードN2の電位はローレベルで維持される。また、第1の出力信号Q1の電位がクロック信号VCLKのハイレベルの電位にまで上昇することによって、トランジスタZ4がオン状態となる。このことによっても第2ノードN2の電位はローレベルで維持される。

[0097] 時点 t_{12} になると、クロック信号VCLKがハイレベルからローレベルに変化する。これにより、入力端子43の電位の低下とともに第1の出力信号Q1の電位は低下し、更に寄生容量 C_{gd} 、 C_{gs} を介して第1ノードN1の電位も低下する。また、時点 t_{12} には、入力端子42に第1のリセット信号R1のパルスが与えられる。このため、トランジスタZ2はオン状態となり、第2ノードN2の電位はハイレベルとなる。これにより、トランジスタZ5およびトランジスタZ6はオン状態となる。その結果、第1ノードN1の電位および第1の出力信号Q1の電位はローレベルにまで低下する。なお、第1ノードN1の電位がローレベルにまで低下することによってトランジスタZ8はオフ状態となるが、時点 t_{13} になるまでは、第2のリセット信号R2はローレベルで維持されている。従って、時点 t_{12} ～時点 t_{13}

3の期間には、出力端子49はフローティング状態で維持され、第2の出力信号Q2の電位はハイレベル電源電圧VDDの電位で維持される。

[0098] 以上のように、本変形例においては、9個のトランジスタZ1～Z9を含む単位回路40によってエミッションドライバ400内のシフトレジスタ4が構成されている。以下、このような単位回路40が採用されていることを前提とした場合の本変形例における効果について定量的に説明する。例えば、1フレーム期間を3つのサブフレームに分割する時分割駆動を採用した有機EL表示装置に着目すると、従来技術によれば、3系統のエミッションドライバ400が必要とされる。1系統分のエミッションドライバ400に着目すると、図18から把握されるように、1行につき9個のトランジスタZ1～Z9が必要とされる。従って、従来技術によれば、1行につき27個のトランジスタが必要とされる。これに対して、本変形例によれば、エミッションドライバ400とエミッション線EMとの間に3個のトランジスタTem1～Tem3が新たに必要とされるが、1系統分のエミッションドライバ400を備えるだけで良い。従って、本実施形態によれば、1行につき12個のトランジスタが必要とされる。以上より、図19に示すように、従来技術におけるTF T占有面積は $27 \times y$ であるのに対し、本変形例におけるTF T占有面積は $12 \times y$ となる。従って、従来技術におけるTF T占有面積に対する本変形例におけるTF T占有面積の割合（TF T占有面積比）P2は、次のようになる。

$$\begin{aligned} P2 &= (12 \times y / 27 \times y) \times 100 \\ &= 44 (\%) \end{aligned}$$

すなわち、本変形例によれば、TF T占有面積が従来技術と比較して44パーセントとなる。このように、エミッションドライバ400内のシフトレジスタ4を構成するトランジスタの数が多くなるほど、TF T占有面積の削減効果が大きくなる。

[0099] <1. 7. 2 第2の変形例>

上記第1の実施形態においては、各画素回路50には3個の有機EL素子

OLED (R), OLED (G), およびOLED (B) が含まれ、1フレーム期間は3つのサブフレームに分割されていた。しかしながら、本発明はこれに限定されず、1フレーム期間が4つ以上のサブフレームに分割されていても良い。例えば、図20に示すように各画素回路50に4個の有機EL素子OLED (R), OLED (G), OLED (B), およびOLED (W) が含まれ、1フレーム期間が4つのサブフレームに分割される場合にも、本発明を適用することができる。これについては、後述する第2～第4の実施形態についても同様である。なお、有機EL素子OLED (W) は、白色光を発する電気光学素子として機能する。

[0100] 図20に示すように、本変形例においては、各画素回路50には、有機EL素子OLED (W) への駆動電流の供給を制御することによって発光の制御を行う発光制御トランジスタとしてトランジスタT6が設けられている。また、第1～第3エミッション線EM1～EM3に加えて第4エミッション線EM4が表示部500に配設されている。この第4エミッション線EM4とエミッションドライバ400との間には、選択信号SEL4によってオン／オフ状態が制御されるトランジスタTem4が設けられている。

[0101] 以上のような構成において、各サブフレームにはトランジスタTem1～Tem4のうちの1つがオン状態とされ、かつ、1フレーム期間中にトランジスタTem1～Tem4はそれぞれ1回ずつオン状態とされる。例えば、第1サブフレームにはトランジスタTem1がオン状態とされ、第2サブフレームにはトランジスタTem2がオン状態とされ、第3サブフレームにはトランジスタTem3がオン状態とされ、第4サブフレームにはトランジスタTem4がオン状態とされる。これにより、赤色画面、緑色画面、青色画面、および白色画面が繰り返して表示され、所望のカラー表示が行われる。

[0102] 以上のようにして、各画素回路50に4個の有機EL素子OLED (R), OLED (G), OLED (B), およびOLED (W) が含まれる構成の有機EL表示装置においても、従来よりもTFT占有面積を削減することができる。

[0103] <2. 第2の実施形態>

本発明の第2の実施形態について説明する。なお、上記第1の実施形態と異なる点についてのみ説明し、上記第1の実施形態と同様の点については説明を省略する。これについては、後述する第3の実施形態および第4の実施形態においても同様である。

[0104] <2. 1 画素回路の構成>

本実施形態においては、走査信号線SLが延びる方向に並んで配置されている3つの画素回路50が1つのグループとされる。列の数はmであるので、各行につき $(m/3)$ 個のグループが形成される。図21は、1つのグループに含まれる3つの画素回路50(1)～50(3)の構成を示す回路図である。各々の画素回路50の構成は、上記第1の実施形態と同様である(図7参照)。ここでは、第1～第3エミッション線EM1～EM3と3つの画素回路50(1)～50(3)に含まれるトランジスタT3～T5のゲート端子との接続関係について説明する。第1エミッション線EM1は、画素回路50(1)内のトランジスタT3のゲート端子、画素回路50(2)内のトランジスタT4のゲート端子、および画素回路50(3)内のトランジスタT5のゲート端子に接続されている。第2エミッション線EM2は、画素回路50(1)内のトランジスタT4のゲート端子、画素回路50(2)内のトランジスタT5のゲート端子、および画素回路50(3)内のトランジスタT3のゲート端子に接続されている。第3エミッション線EM3は、画素回路50(1)内のトランジスタT5のゲート端子、画素回路50(2)内のトランジスタT3のゲート端子、および画素回路50(3)内のトランジスタT4のゲート端子に接続されている。このように、第1～第3エミッション線EM1～EM3の各々は、3つの画素回路50(1)～50(3)において互いに異なる色で発光する有機EL素子OLEDに対応するトランジスタのゲート端子に接続されている。

[0105] <2. 2 駆動方法>

以上のような構成において、上記第1の実施形態と同様、第1～第3サブ

フレームSF1～SF3が繰り返される（図14参照）。第1サブフレームSF1には、まず、エミッション信号入力切り替え回路600が、選択信号SEL1をハイレベルとし、選択信号SEL2および選択信号SEL3をローレベルとする。これにより、各行において、トランジスタTem1はオン状態となり、トランジスタTem2およびトランジスタTem3はオフ状態となる。次に、ゲートドライバ300が1行目の走査信号をハイレベルにし、エミッションドライバ400が1行目の発光イネーブル信号をハイレベルにする。トランジスタTem1～Tem3のうちトランジスタTem1のみがオン状態となっているので、1行目において、第1エミッション線EM1（1）が選択状態となる。これにより、1行目において、画素回路50（1）ではトランジスタT3はオン状態かつトランジスタT4およびトランジスタT5はオフ状態となり、画素回路50（2）ではトランジスタT4はオン状態かつトランジスタT3およびトランジスタT5はオフ状態となり、画素回路50（3）ではトランジスタT5はオン状態かつトランジスタT3およびトランジスタT4はオフ状態となる（図21参照）。また、1行目の走査信号線SL（1）が選択状態となることによって、1行目の各画素回路50において、トランジスタT2がオン状態となる。その結果、1行目の各画素回路50において、データ線DLに印加されているデータ電圧に基づいてコンデンサCstが充電される。

- [0106] ゲートドライバ300が1行目の走査信号線SL（1）を非選択状態にすると、1行目の各画素回路50において、トランジスタT2がオフ状態となる。これにより、コンデンサCstが保持するゲートソース間電圧Vgsが確定する。1行目の各画素回路50では、このゲートソース間電圧Vgsの大きさに応じた駆動電流がトランジスタT1のドレインソース間を流れる。上述したように、第1エミッション線EM1（1）は、画素回路50（1）内のトランジスタT3のゲート端子、画素回路50（2）内のトランジスタT4のゲート端子、および画素回路50（3）内のトランジスタT5のゲート端子に接続されている。従って、画素回路50（1）ではトランジ

スタ T 3 を介して有機 E L 素子 O L E D (R) に駆動電流が供給され、画素回路 5 0 (2) ではトランジスタ T 4 を介して有機 E L 素子 O L E D (G) に駆動電流が供給され、画素回路 5 0 (3) ではトランジスタ T 5 を介して有機 E L 素子 O L E D (B) に駆動電流が供給される。その結果、画素回路 5 0 (1) では有機 E L 素子 O L E D (R) が発光し、画素回路 5 0 (2) では有機 E L 素子 O L E D (G) が発光し、画素回路 5 0 (3) では有機 E L 素子 O L E D (B) が発光する。ところで、上述したように、サブフレームリセット信号 S U B F _ R S T のパルスは、各サブフレームの終了時点にシフトレジスタ 4 内の単位回路 4 0 に与えられる。従って、1 行目の第 1 エミッション線 E M 1 (1) は、第 1 サブフレーム S F 1 の終了時点まで選択状態で維持される。

[0107] 以上のような動作が 2 ~ n 行目において順次に行われる。更に、第 2 サブフレーム S F 2 および第 3 サブフレーム S F 3 においても、第 1 サブフレーム S F 1 と同様の動作が行われる。但し、第 2 サブフレーム S F 2 には、エミッション信号入力切り替え回路 6 0 0 は、選択信号 S E L 2 をハイレベルとし、第 3 サブフレーム S F 3 には、エミッション信号入力切り替え回路 6 0 0 は、選択信号 S E L 3 をハイレベルとする。従って、第 2 サブフレーム S F 2 には第 2 エミッション線 E M 2 が選択状態となり、第 3 サブフレーム S F 3 には第 3 エミッション線 E M 3 が選択状態となる。

[0108] 以上より、1 つのグループに含まれる 3 つの画素回路 5 0 (1) ~ 5 0 (3) 内の有機 E L 素子 O L E D についての 1 フレーム期間中の発光状態の推移は次のようになる (図 2 2 参照) 。画素回路 5 0 (1) では、第 1 サブフレーム S F 1 には赤色用の有機 E L 素子 O L E D (R) のみが発光状態となり、第 2 サブフレーム S F 2 には緑色用の有機 E L 素子 O L E D (G) のみが発光状態となり、第 3 サブフレーム S F 3 には青色用の有機 E L 素子 O L E D (B) のみが発光状態となる。画素回路 5 0 (2) では、第 1 サブフレーム S F 1 には緑色用の有機 E L 素子 O L E D (G) のみが発光状態となり、第 2 サブフレーム S F 2 には青色用の有機 E L 素子 O L E D (B) のみが

発光状態となり、第3サブフレームSF3には赤色用の有機EL素子OLED(R)のみが発光状態となる。画素回路50(3)では、第1サブフレームSF1には青色用の有機EL素子OLED(B)のみが発光状態となり、第2サブフレームSF2には赤色用の有機EL素子OLED(R)のみが発光状態となり、第3サブフレームSF3には緑色用の有機EL素子OLED(G)のみが発光状態となる。

[0109] <2. 3 効果>

本実施形態によれば、3行×3列の画素回路50に着目すると、第1サブフレームSF1には図23に示すような発光状態となり、第2サブフレームSF2には図24に示すような発光状態となり、第3サブフレームSF3には図25に示すような発光状態となる。すなわち、各サブフレームにおいて、発光色が混在している。これにより、時分割駆動（フィールドシーケンシャル駆動）が採用されている場合に生じやすい色割れの発生が抑制される。また、上記第1の実施形態と同様、従来よりもTFT占有面積を削減することができる。以上より、色割れの発生を抑制しつつ従来よりも額縁サイズを小さくした有機EL表示装置が実現される。

[0110] <3. 第3の実施形態>

<3. 1 全体構成>

図26は、本発明の第3の実施形態に係るアクティブマトリクス型の有機EL表示装置2の全体構成を示すブロック図である。本実施形態においては、上記第1の実施形態（図2参照）とは異なり、エミッションドライバ400とエミッション線EMとの間には、各行につき1個のデマルチプレクサDMが設けられている。すなわち、全体ではn個のデマルチプレクサDM(1)～DM(n)が設けられている。各デマルチプレクサDMには、エミッション信号入力切り替え回路600から2つの選択信号（選択信号CTL1および選択信号CTL2）が与えられる。本実施形態においては、エミッション信号入力切り替え回路600によって第2の制御信号生成部が実現され、選択信号CTL1および選択信号CTL2によって第2の制御信号が実現さ

れている。なお、本実施形態においては、LTPS（低温ポリシリコン）あるいはC-Si（結晶シリコン）を用いた高移動度のトランジスタが用いられる。

[0111] <3. 2 デマルチプレクサの構成および動作>

図27は、本実施形態におけるデマルチプレクサDMの入出力信号について説明するための図である。図27から把握されるように、本実施形態におけるデマルチプレクサDMは、1入力4出力のデマルチプレクサDMである。このデマルチプレクサDMには、エミッションドライバ400から出力された発光イネーブル信号GGemが入力信号として与えられる。そして、その発光イネーブル信号GGemは、選択信号CTL1、CTL2に基づいて、4つの出力先のいずれかに出力される。それら4つの出力先のうちの3つは、第1～第3エミッション線EM1～EM3である。残りの1つは、本実施形態においては、不使用（オープン端子）となっている。

[0112] 図28は、本実施形態におけるデマルチプレクサDMの詳細な構成を示すブロック図である。なお、このデマルチプレクサDMはCOMS回路で構成されている。図28に示すように、このデマルチプレクサDMは、2個のNOT回路811、812および8個のAND回路821～824、831～834によって構成されている。NOT回路811は、選択信号CTL1の論理反転信号を出力する。NOT回路812は、選択信号CTL2の論理反転信号を出力する。AND回路821は、NOT回路811からの出力信号とNOT回路812からの出力信号との論理積を示す信号を出力する。AND回路822は、選択信号CTL1とNOT回路812からの出力信号との論理積を示す信号を出力する。AND回路823は、NOT回路811からの出力信号と選択信号CTL2との論理積を示す信号を出力する。AND回路824は、選択信号CTL1と選択信号CTL2との論理積を示す信号を出力する。AND回路831は、AND回路821からの出力信号と発光イネーブル信号GGemとの論理積を示す信号を出力する。AND回路832は、AND回路822からの出力信号と発光イネーブル信号GGemとの論

理積を示す信号を出力する。AND回路833は、AND回路823からの出力信号と発光イネーブル信号GGemとの論理積を示す信号を出力する。AND回路834は、AND回路824からの出力信号と発光イネーブル信号GGemとの論理積を示す信号を出力する。

[0113] 以上のようにデマルチプレクサDMが構成されているので、選択信号と出力との対応関係は図29に示すようなものとなる。従って、発光イネーブル信号GGemの値が1になっているとき、選択信号CTL1の値が0であって、かつ、選択信号CTL2の値が0であれば、第1エミッション線EM1が選択状態となる。また、発光イネーブル信号GGemの値が1になっているとき、選択信号CTL1の値が1であって、かつ、選択信号CTL2の値が0であれば、第2エミッション線EM2が選択状態となる。さらに、発光イネーブル信号GGemの値が1になっているとき、選択信号CTL1の値が0であって、かつ、選択信号CTL2の値が1であれば、第3エミッション線EM3が選択状態となる。

[0114] ところで、選択信号CTL1の値が1であって、かつ、選択信号CTL2の値が1であれば、発光イネーブル信号GGemはいずれのエミッション線EMにも出力されない。従って、仮にエミッションドライバ400から出力された発光イネーブル信号GGemの値が1になっていても、選択信号CTL1の値および選択信号CTL2の値の双方を1にすることによって、第1～第3エミッション線EM1～EM3を非選択状態にすることができる。

[0115] なお、本実施形態においては、エミッション信号入力切り替え回路600とデマルチプレクサDM(1)～DM(n)とによって発光イネーブル信号切り替え部620が実現されている(図30参照)。

[0116] <3.3 駆動方法>

次に、上述したデマルチプレクサDMの動作を踏まえ、本実施形態における駆動方法について説明する。図31は、走査信号線SLに与えられる走査信号、エミッション線EMに与えられる発光イネーブル信号、および選択信号CTL1、CTL2の波形を示すタイミングチャートである。上記第1の

実施形態と同様、連続する2つのサブフレームの間の帰線期間は黒色表示期間となっている。この黒色表示期間には、選択信号CTL1の値は1とされ、かつ、選択信号CTL2の値は1とされる。これにより、黒色表示期間には、全てのエミッション線EMが非選択状態となり、表示部500内の全ての有機EL素子OLEDが消灯状態となる。なお、各サブフレームの終了時点には、サブフレームリセット信号SUBF_RSTに基づいて、エミッションドライバ400から出力される発光イネーブル信号GGemの値は0となる。従って、必ずしも黒色表示期間に選択信号CTL1の値および選択信号CTL2の値の双方を1にする必要はない。しかしながら、選択信号CTL1の値および選択信号CTL2の値の双方を1にすることによって、黒色表示期間に確実に全てのエミッション線EMを非選択状態にすることができる。

[0117] 第1サブフレームSF1には、まず、エミッション信号入力切り替え回路600が、選択信号CTL1の値を0とし、選択信号CTL2の値を0とする。これにより、デマルチプレクサDMに入力される発光イネーブル信号GGemの出力先が第1エミッション線EM1となる。次に、ゲートドライバ300が1行目の走査信号をハイレベルにし、エミッションドライバ400が1行目の発光イネーブル信号をハイレベルにする。発光イネーブル信号GGemの出力先が第1エミッション線EM1となっているので、1行目において、第1エミッション線EM1(1)が選択状態となる。これにより、1行目の各画素回路50では、トランジスタT3はオン状態かつトランジスタT4およびトランジスタT5はオフ状態となる。また、1行目の走査信号線SL(1)が選択状態となることによって、1行目の各画素回路50において、トランジスタT2がオン状態となる。その結果、1行目の各画素回路50において、データ線DLに印加されているデータ電圧に基づいてコンデンサCstが充電される。

[0118] ゲートドライバ300が1行目の走査信号線SL(1)を非選択状態にすると、1行目の各画素回路50において、トランジスタT2がオフ状態とな

る。これにより、コンデンサ C_{st} が保持するゲートソース間電圧 V_{gs} が確定する。1行目の各画素回路50では、このゲートソース間電圧 V_{gs} の大きさに応じた駆動電流がトランジスタ T_1 のドレインソース間を流れる。上述したように第1サブフレーム SF_1 にはトランジスタ T_3 がオン状態となっているので、1行目の各画素回路50では、トランジスタ T_3 を介して有機EL素子 $OLED(R)$ に駆動電流が供給される。その結果、1行目の各画素回路50において、有機EL素子 $OLED(R)$ が発光する。ところで、上述したように、サブフレームリセット信号 $SUBF_RST$ のパルスは、各サブフレームの終了時点にシフトレジスタ4内の単位回路40に与えられる。従って、1行目の第1エミッション線 $EM_1(1)$ は、第1サブフレーム SF_1 の終了時点まで選択状態で維持される。

[0119] 以上のような動作が2～ n 行目において順次に行われる。更に、第2サブフレーム SF_2 および第3サブフレーム SF_3 においても、第1サブフレーム SF_1 と同様の動作が行われる。但し、第2サブフレーム SF_2 には、エミッション信号入力切り替え回路600は、選択信号 CTL_1 の値を1とし、選択信号 CTL_2 の値を0とする。また、第3サブフレーム SF_3 には、エミッション信号入力切り替え回路600は、選択信号 CTL_1 の値を0とし、選択信号 CTL_2 の値を1とする。従って、第2サブフレーム SF_2 には第2エミッション線 EM_2 が選択状態となり、第3サブフレーム SF_3 には第3エミッション線 EM_3 が選択状態となる。

[0120] <3. 4 効果>

本実施形態によれば、エミッションドライバ400とエミッション線 EM （第1～第3エミッション線 $EM_1 \sim EM_3$ ）との間に、エミッションドライバ400から出力された発光イネーブル信号 $GGem$ の出力先を第1～第3エミッション線 $EM_1 \sim EM_3$ の間で切り替えるデマルチプレクサ DM が設けられている。このような構成において、サブフレーム毎に出力先の切り替えが行われる。このため、エミッションドライバ400から出力された発光イネーブル信号 $GGem$ は、サブフレーム毎に異なるエミッション線 EM

に供給される。従って、従来技術とは異なり、発光イネーブル信号を生成するためのドライバとして1系統のエミッションドライバ400を備えるだけで良い。

[0121] ところで、上述したように、本実施形態におけるデマルチプレクサDMは、2個のNOT回路811, 812および8個のAND回路821~824, 831~834によって構成されている。AND回路は、CMOS回路を用いた場合、図32に示すように6個のトランジスタ（3個のNMOSトランジスタおよび3個のPMOSトランジスタ）で構成される。また、NOT回路は、CMOS回路を用いた場合、図33に示すように2個のトランジスタ（1個のNMOSトランジスタおよび1個のPMOSトランジスタ）で構成される。以上より、1つのデマルチプレクサDMに必要とされるトランジスタの数をPとすると、Pは以下のように求められる。

$$\begin{aligned} P &= 6 \times 8 + 2 \times 2 \\ &= 52 \end{aligned}$$

[0122] ここで、エミッションドライバ400を構成するシフトレジスタ4の1つの段に含まれるトランジスタの数をXとする。そうすると、従来技術では3系統分のエミッションドライバ400が必要とされるので、従来技術における1行分のトランジスタ数は「3X」となる。これに対して、本実施形態における1行分のトランジスタ数は「X+52」となる。以上より、「3X>X+52」を満たせば、必要とされるトランジスタの数が従来技術よりも本実施形態の方が少なくなる。従って、シフトレジスタ4の1つの段に含まれるトランジスタの数が26個よりも多ければ、従来技術におけるTF T占有面積よりも本実施形態におけるTF T占有面積の方が小さくなる。

[0123] TF T占有面積以外の観点については、本実施形態によれば以下のような効果が得られる。本実施形態におけるデマルチプレクサDMはCOMS回路で構成されている。このため、エミッションドライバ400から出力された発光イネーブル信号GGemの値が1になっていても、デマルチプレクサDMに与える選択信号CTL1, CTL2の値を制御することによって、全て

のエミッション線EMを速やかに強制的に非選択状態にすることができる。
これにより、連続する2つのサブフレームの間に黒挿入を高速で行うことが可能となる。その結果、動画表示の際の表示品位が向上する。

[0124] <4. 第4の実施形態>

<4. 1 全体構成>

図34は、本発明の第4の実施形態に係るアクティブマトリクス型の有機EL表示装置3の全体構成を示すブロック図である。上記第3の実施形態においては、各行につき1個のデマルチプレクサDMが設けられていたが、本実施形態においては、全体で1個のデマルチプレクサDMが設けられている。また、本実施形態においては、上記第1～第3の実施形態とは異なり、エミッションドライバが設けられていない。エミッション信号入力切り替え回路600は、2つの選択信号（選択信号CTL1および選択信号CTL2）をデマルチプレクサDMに与えると同時に、発光イネーブル信号GGemをデマルチプレクサDMに与える。なお、本実施形態においては、エミッション信号入力切り替え回路600によって発光イネーブル信号生成部が実現されている。

[0125] <4. 2 デマルチプレクサの構成および動作>

デマルチプレクサDMについては、上記第3の実施形態と同様の構成となっている（図27～図29を参照）。従って、デマルチプレクサDMの4つの出力のうちの1つは不使用である。但し、本実施形態においては、残りの3つは、図34に示すように、それぞれn本のエミッション線EMに接続されている。以上より、発光イネーブル信号GGemの値が1になっているとき、選択信号CTL1の値が0であって、かつ、選択信号CTL2の値が0であれば、1～n行目の第1エミッション線EM1(1)～EM1(n)が選択状態となる。また、発光イネーブル信号GGemの値が1になっているとき、選択信号CTL1の値が1であって、かつ、選択信号CTL2の値が0であれば、1～n行目の第2エミッション線EM2(1)～EM2(n)が選択状態となる。さらに、発光イネーブル信号GGemの値が1になって

いるとき、選択信号C T L 1の値が0であって、かつ、選択信号C T L 2の値が1であれば、1～n行目の第3エミッション線E M 3 (1)～E M 3 (n)が選択状態となる。選択信号C T L 1の値が1であって、かつ、選択信号C T L 2の値が1であれば、発光イネーブル信号G G e mの値に関わらず、全てのエミッション線E Mが非選択状態となる。なお、本実施形態においては、エミッション信号入力切り替え回路6 0 0とデマルチプレクサD Mとによって発光イネーブル信号切り替え部が実現されている。

[0126] <4. 3 駆動方法>

次に、本実施形態における駆動方法について説明する。図3 5は、走査信号線S Lに与えられる走査信号、エミッション線E Mに与えられる発光イネーブル信号、選択信号C T L 1、C T L 2、およびエミッション信号入力切り替え回路6 0 0から出力される発光イネーブル信号の波形を示すタイミングチャートである。図3 5から把握されるように、エミッション信号入力切り替え回路6 0 0から出力される発光イネーブル信号の値は、黒色表示期間には0とされ、それ以外の期間には1とされる。

[0127] 上記第1の実施形態と同様、連続する2つのサブフレームの間の帰線期間は黒色表示期間となっている。この黒色表示期間には、選択信号C T L 1の値は1とされ、かつ、選択信号C T L 2の値は1とされる。これにより、黒色表示期間には、全てのエミッション線E Mが非選択状態となり、表示部5 0 0内の全ての有機E L素子O L E Dが消灯状態となる。なお、黒色表示期間にはエミッション信号入力切り替え回路6 0 0から出力される発光イネーブル信号G G e mの値が0とされるので、必ずしも黒色表示期間に選択信号C T L 1の値および選択信号C T L 2の値の双方を1にする必要はない。しかしながら、選択信号C T L 1の値および選択信号C T L 2の値の双方を1にすることによって、黒色表示期間に確実に全てのエミッション線E Mを非選択状態にすることができる。

[0128] 第1サブフレームS F 1には、まず、エミッション信号入力切り替え回路6 0 0が、選択信号C T L 1の値を0とし、選択信号C T L 2の値を0とす

る。これにより、デマルチプレクサDMに入力される発光イネーブル信号G G e mの出力先が第1エミッション線E M 1となる。また、第1サブフレームS F 1の期間を通じて、エミッション信号入力切り替え回路600から出力される発光イネーブル信号G G e mの値は1とされる。これにより、第1サブフレームS F 1の期間を通じて、1～n行目の第1エミッション線E M 1(1)～E M 1(n)が選択状態となる。これにより、全ての行の各画素回路50では、トランジスタT3はオン状態かつトランジスタT4およびトランジスタT5はオフ状態となる。このような状態において、ゲートドライバ300は、まず1行目の走査信号をハイレベルにする。これにより、1行目の各画素回路50において、トランジスタT2がオン状態となる。その結果、1行目の各画素回路50において、データ線D Lに印加されているデータ電圧に基づいてコンデンサC s tが充電される。

[0129] ゲートドライバ300が1行目の走査信号線S L(1)を非選択状態にすると、1行目の各画素回路50において、トランジスタT2がオフ状態となる。これにより、コンデンサC s tが保持するゲートソース間電圧V g sが確定する。1行目の各画素回路50では、このゲートソース間電圧V g sの大きさに応じた駆動電流がトランジスタT1のドレインソース間を流れる。上述したように、第1サブフレームS F 1にはトランジスタT3がオン状態となっている。その結果、1行目の各画素回路50において、トランジスタT3を介して有機E L素子O L E D(R)に駆動電流が供給され、当該有機E L素子O L E D(R)が発光する。

[0130] 以上のような動作が2～n行目において順次に行われる。更に、第2サブフレームS F 2および第3サブフレームS F 3においても、第1サブフレームS F 1と同様の動作が行われる。但し、第2サブフレームS F 2には、エミッション信号入力切り替え回路600は、選択信号C T L 1の値を1とし、選択信号C T L 2の値を0とする。また、第3サブフレームS F 3には、エミッション信号入力切り替え回路600は、選択信号C T L 1の値を0とし、選択信号C T L 2の値を1とする。従って、第2サブフレームS F 2に

は第2エミッション線E M 2が選択状態となり、第3サブフレームS F 3には第3エミッション線E M 3が選択状態となる。

[0131] なお、本実施形態においては、各サブフレームの開始時点から終了時点までの期間を通じてn本のエミッション線E Mが選択状態で維持される。しかしながら、上述したように黒色表示期間（帰線期間）に黒色に相当する画像データの書き込みが行われているので、各サブフレームにおいて1つ前のサブフレームでの書き込みに応じた輝度で有機E L素子O L E Dが発光することはない。

[0132] <4. 4 効果>

本実施形態によれば、4つの出力のうちの3つがそれぞれ全ての第1エミッション線E M 1，全ての第2エミッション線E M 2，および全ての第3エミッション線E M 3に接続されたデマルチプレクサD Mが設けられている。このような構成において、サブフレーム毎に出力の切り替えが行われる。このため、デマルチプレクサD Mに入力された発光イネーブル信号G G e mは、サブフレーム毎に異なるエミッション線E Mに供給される。このようにして、1つの発光イネーブル信号G G e mに基づいて全てのエミッション線E Mの状態（選択状態／非選択状態）を制御することが可能となる。このようにして、C M O S ロジック I Cを用いて有機E Lパネル7の外部から全てのエミッション線E Mの状態を制御することにより、有機E Lパネル7内にシフトレジスタを用いて構成されるエミッションドライバが不要となる。以上より、有機E L素子O L E Dの発光を制御するために必要とされるトランジスタの数が従来よりも大幅に削減される。

[0133] 次に、本実施形態における効果について定量的に説明する。なお、ここでは、1080行×1920列のF H Dの表示装置について考える。従来技術によれば、3系統分のエミッションドライバ400が必要とされ、また、図12から把握されるように、1系統分のエミッションドライバ400につき6個のトランジスタM 1～M 6が必要とされる。従って、1行につき18個のトランジスタが必要とされる。よって、従来技術によれば、F H Dの表示

装置の場合、34560個のトランジスタが必要とされる。これに対して、本実施形態によれば、1個のデマルチプレクサDMを備えるだけで良い。上述したように1つのデマルチプレクサDMには52個のトランジスタが必要とされる。よって、本実施形態によれば、52個のトランジスタが必要とされる。

[0134] 以上より、FHDの表示装置の場合、図36に示すように、従来技術におけるTF T占有面積は $34560 \times y$ であるのに対し、本実施形態におけるTF T占有面積は $52 \times y$ となる。従って、従来技術におけるTF T占有面積に対する本実施形態におけるTF T占有面積の割合（TF T占有面積比）P3は、次のようになる。

$$\begin{aligned} P3 &= (52 \times y / 34560 \times y) \times 100 \\ &= 0.15 (\%) \end{aligned}$$

すなわち、本実施形態によれば、例えばFHDの表示装置の場合、TF T占有面積が従来技術と比較して0.15パーセントとなる。このように、本実施形態によれば、従来技術と比較してTF T占有面積が大幅に削減される。従って、有機EL表示装置の額縁サイズを従来よりも小さくできるので、有機EL表示装置の小型化が実現される。

[0135] <5. その他>

本発明は、上述の実施形態および変形例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上述の実施形態および変形例においては有機EL表示装置を例に挙げて説明したが、電流で駆動される自発光型表示素子を備えた表示装置であれば、有機EL表示装置以外の表示装置にも本発明を適用することができる。

[0136] また、上述の実施形態および変形例では、画素回路50（図7参照）などのトランジスタとしてnチャネル型のトランジスタを使用しているが、pチャネル型のトランジスタを使用しても良い。

符号の説明

[0137] 1～3…有機EL表示装置

4 …シフトレジスタ
7 …有機ELパネル
50 …画素回路
100 …表示制御回路
200 …ソースドライバ
300 …ゲートドライバ
400 …エミッションドライバ
500 …表示部
510 …駆動電流制御部
600 …エミッション信号入力切り替え回路
610, 620 …発光イネーブル信号切り替え部
DM, DM (1) ~ DM (n) …デマルチプレクサ
T1 …駆動トランジスタ
T2 …入力トランジスタ
T3 ~ T6 …発光制御トランジスタ
Tem1 ~ Tem4 …発光イネーブル信号供給制御トランジスタ
Cst …コンデンサ
OLED (R) …赤色用の有機EL素子 (電気光学素子)
OLED (G) …緑色用の有機EL素子 (電気光学素子)
OLED (B) …青色用の有機EL素子 (電気光学素子)
DL, DL (1) ~ DL (m) …データ線
SL, SL (1) ~ SL (n) …走査信号線
EM …エミッション線
EM1, EM1 (1) ~ EM1 (n) …第1エミッション線
EM2, EM2 (1) ~ EM2 (n) …第2エミッション線
EM3, EM3 (1) ~ EM3 (n) …第3エミッション線
ELVDD …ハイレベル電源電圧、ハイレベル電源線
ELVSS …ローレベル電源電圧、ローレベル電源線

請求の範囲

[請求項1]

1 フレーム期間を j 個 (j は 3 以上の整数) のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置であって、

互いに異なる色で発光する j 個の電気光学素子と、前記 j 個の電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部と、前記 j 個の電気光学素子と 1 対 1 で対応するように設けられ対応する電気光学素子への前記駆動電流の供給を制御する j 個の発光制御トランジスタとを含み、複数の行および複数の列を構成するようにマトリクス状に配置された画素回路と、

前記 j 個の発光制御トランジスタのオン／オフ状態を制御するための発光イネーブル信号を生成する発光イネーブル信号生成部と、

前記 j 個の発光制御トランジスタに前記発光イネーブル信号を供給するための、各行につき j 本設けられた発光制御線と、

サブフレーム毎に異なる発光制御線に前記発光イネーブル信号が供給されるよう、前記発光イネーブル信号生成部で生成された前記発光イネーブル信号の供給先を各行で前記 j 本の発光制御線の間で切り替える発光イネーブル信号切り替え部とを備えることを特徴とする、表示装置。

[請求項2]

前記発光イネーブル信号切り替え部は、

第 1 の制御信号を生成する第 1 の制御信号生成部と、

前記 j 本の発光制御線と 1 対 1 で対応するように各行につき j 個設けられた発光イネーブル信号供給制御トランジスタとからなり、

前記 j 個の発光イネーブル信号供給制御トランジスタの制御端子には、前記第 1 の制御信号が与えられ、

前記 j 個の発光イネーブル信号供給制御トランジスタの第 1 導通端子は、前記発光イネーブル信号生成部に接続され、

前記 j 個の発光イネーブル信号供給制御トランジスタの第2導通端子は、それぞれ対応する発光制御線に接続され、

前記第1の制御信号生成部は、各サブフレームには前記 j 個の発光イネーブル信号供給制御トランジスタのうちの1つがオン状態となり、かつ、1フレーム期間中に前記 j 個の発光イネーブル信号供給制御トランジスタがそれぞれ1回ずつオン状態となるように、前記第1の制御信号を生成することを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記 j 個の発光制御トランジスタおよび前記 j 個の発光イネーブル信号供給制御トランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記酸化物半導体の主成分は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) から成ることを特徴とする、請求項3に記載の表示装置。

[請求項5] 前記発光イネーブル信号生成部は、複数の段からなるシフトレジスタを備え、

前記シフトレジスタは、外部から入力される複数のクロック信号に基づいて、前記複数の行に順次にオンレベルとなる前記発光イネーブル信号を出力し、

前記シフトレジスタの各段を構成する単位回路は、

第1ノードと、

異なる段の単位回路の動作を制御する他段制御信号を出力する第1出力ノードと、

前記発光イネーブル信号を出力する第2出力ノードと、

前段の単位回路から出力される前記他段制御信号が制御端子および第1導通端子に与えられ、前記第1ノードに第2導通端子が接続された第1のトランジスタと、

前記第1ノードに制御端子が接続され、前記複数のクロック信号

の1つが前記第1導通端子に与えられ、前記第1出力ノードに第2導通端子が接続された第2のトランジスタと、

前記第1ノードに制御端子が接続され、オンレベルの直流電源電圧が第1導通端子に与えられ、前記第2出力ノードに第2導通端子が接続された第3のトランジスタと、

次段の単位回路から出力される前記他段制御信号が制御端子に与えられ、前記第1出力ノードに第1導通端子が接続され、オフレベルの直流電源電圧が第2導通端子に与えられた第4のトランジスタと、

次段の単位回路から出力される前記他段制御信号が制御端子に与えられ、前記第1ノードに第1導通端子が接続され、オフレベルの直流電源電圧が第2導通端子に与えられた第5のトランジスタと、

各サブフレームの終了時点にオンレベルとなるサブフレームリセット信号が制御端子に与えられ、前記第2出力ノードに第1導通端子が接続され、オフレベルの直流電源電圧が第2導通端子に与えられた第6のトランジスタと

を有することを特徴とする、請求項2に記載の表示装置。

[請求項6] j 個の画素回路を1つのグループとして各グループに含まれる j 個の画素回路と当該 j 個の画素回路に対応する j 本の発光制御線とに着目したとき、着目した j 本の発光制御線の各々は、着目した j 個の画素回路において互いに異なる色で発光する電気光学素子に対応する発光制御トランジスタに接続されていることを特徴とする、請求項1に記載の表示装置。

[請求項7] 前記発光イネーブル信号切り替え部は、
第2の制御信号を生成する第2の制御信号生成部と、
前記 j 本の発光制御線にそれぞれ対応する少なくとも j 個の出力を有するデマルチプレクサと
からなり、

前記デマルチプレクサは、入力信号として与えられる前記発光イネ

ーブル信号の出力を前記第2の制御信号に基づいて切り替え、

前記第2の制御信号生成部は、前記デマルチプレクサにおいてサブフレーム毎に異なる出力から前記発光イネーブル信号が出力されるように、かつ、前記デマルチプレクサにおいて1フレーム期間中に前記j個の出力からそれぞれ1回ずつ前記発光イネーブル信号が出力されるように、前記第2の制御信号を生成することを特徴とする、請求項1に記載の表示装置。

[請求項8] 連続する2つのサブフレームの間には、前記画素回路に含まれる前記j個の電気光学素子を消灯状態にするとともに前記画素回路に黒色に相当する画像データを書き込む黒色表示期間が設けられ、

前記デマルチプレクサは、CMOS回路を用いて構成されていることを特徴とする、請求項7に記載の表示装置。

[請求項9] 前記デマルチプレクサは行ごとに設けられ、

各行において、前記デマルチプレクサのj個の出力は、それぞれ対応する発光制御線に接続されていることを特徴とする、請求項7に記載の表示装置。

[請求項10] 前記デマルチプレクサは1つだけ設けられ、

前記デマルチプレクサのj個の出力は、全ての行において、それぞれ対応する発光制御線に接続されていることを特徴とする、請求項7に記載の表示装置。

[請求項11] 各行に対応するように設けられた走査信号線と、

各列に対応するように設けられたデータ線と、

前記画素回路にハイレベルの直流電源電圧を供給するための第1電源線と、

前記画素回路にローレベルの直流電源電圧を供給するための第2電源線と

を更に備え、

前記駆動電流制御部は、

前記第 1 電源線と前記第 2 電源線との間に前記 j 個の発光制御トランジスタの各々と直列になるように設けられ、前記駆動電流を制御するための駆動トランジスタと、

前記駆動トランジスタの制御端子と前記データ線との間に設けられ、対応する走査信号線が選択状態にされたときに前記駆動トランジスタの制御端子と前記データ線とを電氣的に接続する入力トランジスタと、

前記駆動トランジスタの制御端子と前記駆動トランジスタの一方の導通端子との間に設けられたコンデンサとを含むことを特徴とする、請求項 1 に記載の表示装置。

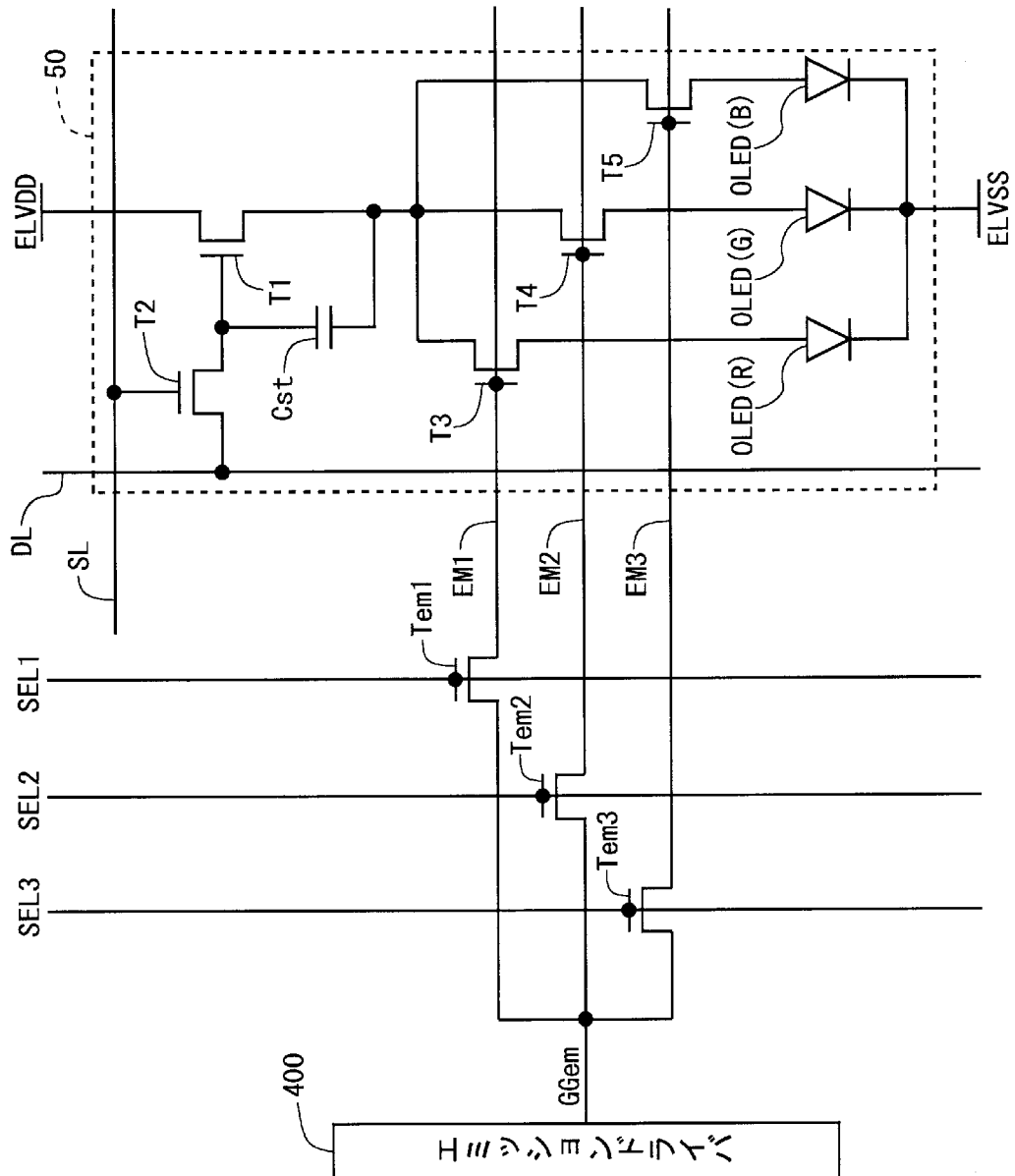
[請求項12] 連続する 2 つのサブフレームの間には、前記画素回路に含まれる前記 j 個の電気光学素子を消灯状態にするとともに前記画素回路に黒色に相当する画像データを書き込む黒色表示期間が設けられていることを特徴とする、請求項 1 に記載の表示装置。

[請求項13] 互いに異なる色で発光する j 個の電気光学素子と、前記 j 個の電気光学素子を発光状態にするための駆動電流を制御する駆動電流制御部と、前記 j 個の電気光学素子と 1 対 1 で対応するように設けられ対応する電気光学素子への前記駆動電流の供給を制御する j 個の発光制御トランジスタとを含み、複数の行および複数の列を構成するようにマトリクス状に配置された画素回路と、前記画素回路において前記 j 個の発光制御トランジスタと 1 対 1 で対応するように各行につき j 本設けられた発光制御線とを備え、1 フレーム期間を j 個（ j は 3 以上の整数）のサブフレームに分割してサブフレーム毎に異なる色の画面を表示することによってカラー画像の表示を行うアクティブマトリクス型の表示装置の駆動方法であって、

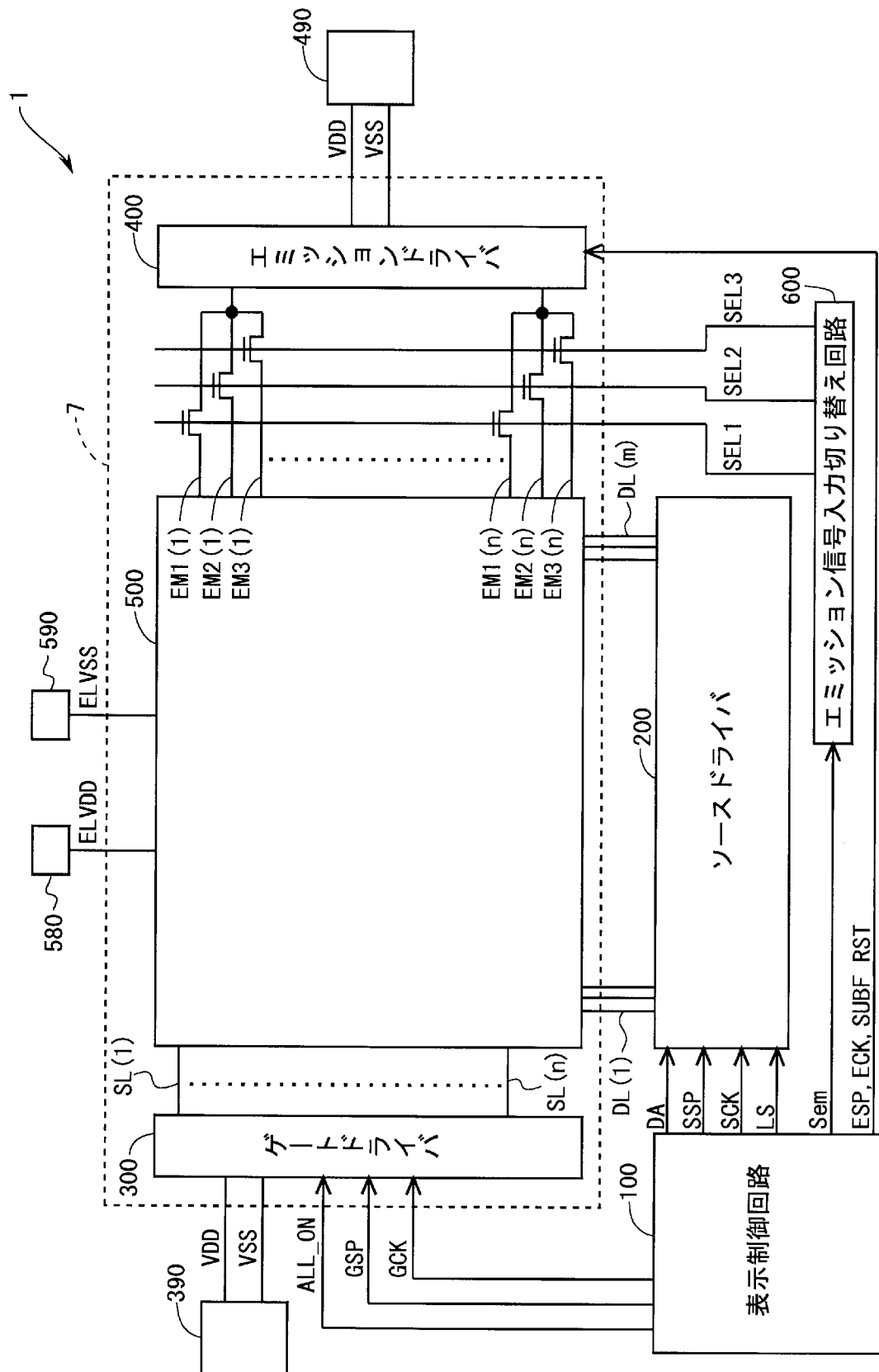
前記 j 個の発光制御トランジスタのオン／オフ状態を制御するための信号であって前記 j 本の発光制御線に供給するための信号である発光イネーブル信号を生成する発光イネーブル信号生成ステップと、

サブフレーム毎に異なる発光制御線に前記発光イネーブル信号が供給されるよう、前記発光イネーブル信号生成ステップで生成された前記発光イネーブル信号の供給先を各行で前記 j 本の発光制御線の間で切り替える発光イネーブル信号切り替えステップとを含むことを特徴とする、駆動方法。

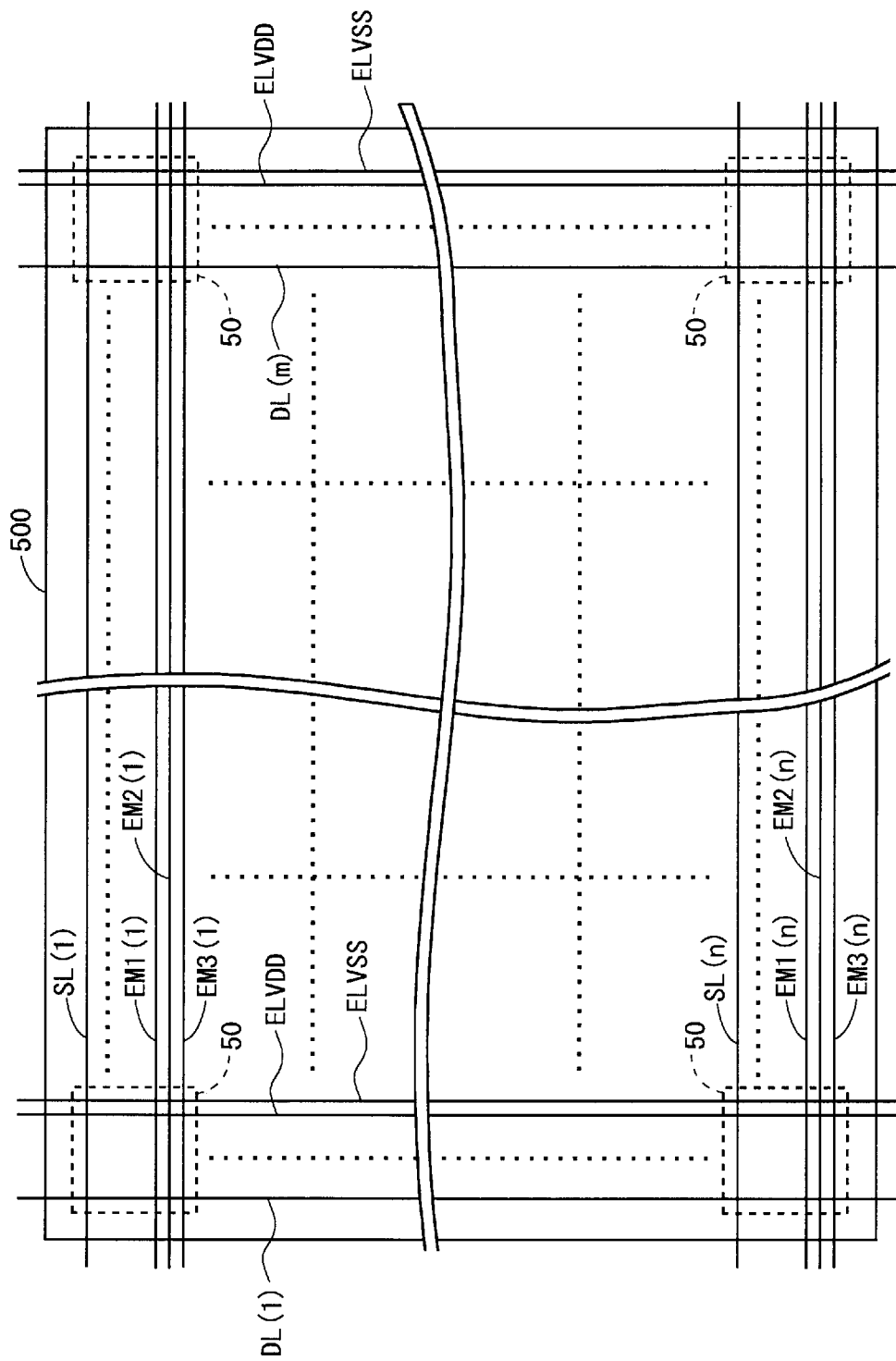
[図1]



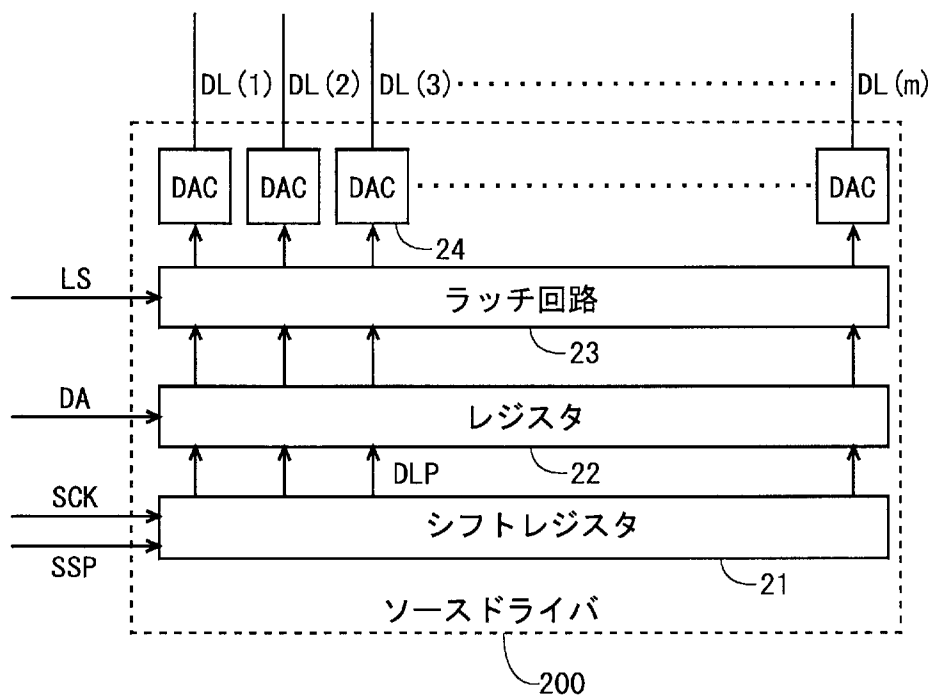
[図2]



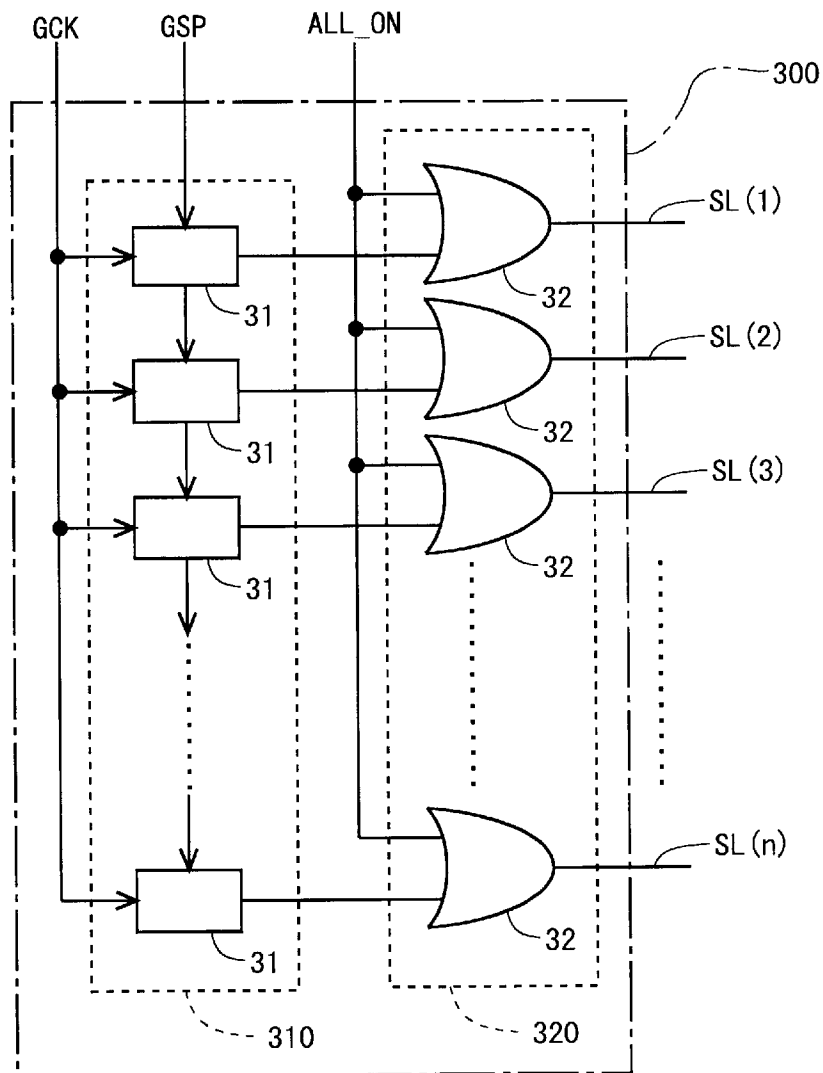
[図3]



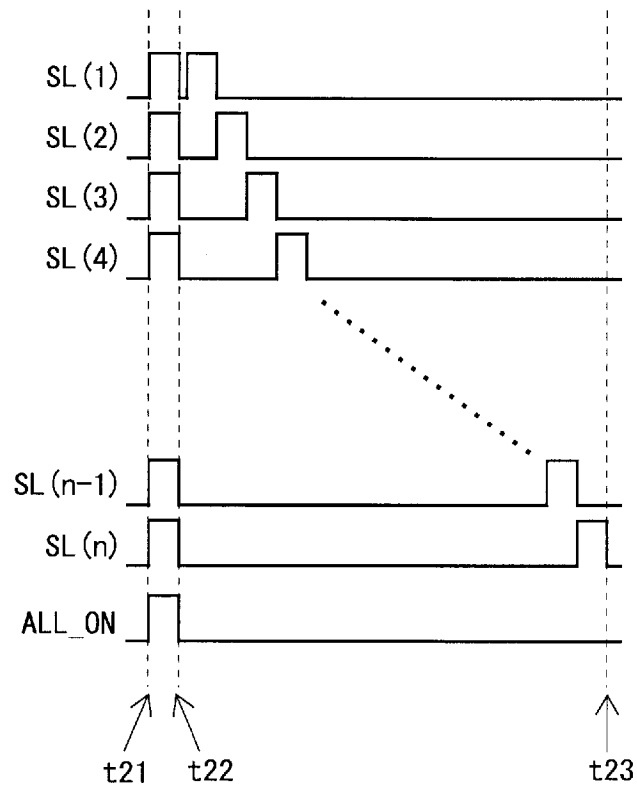
[図4]



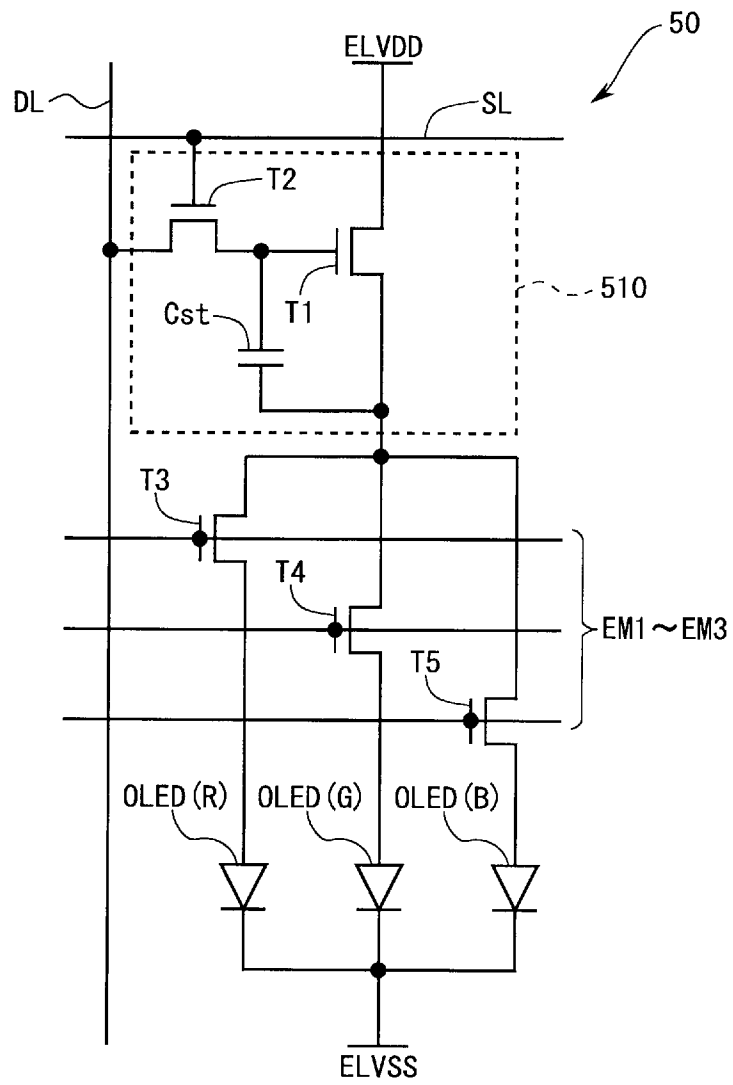
[図5]



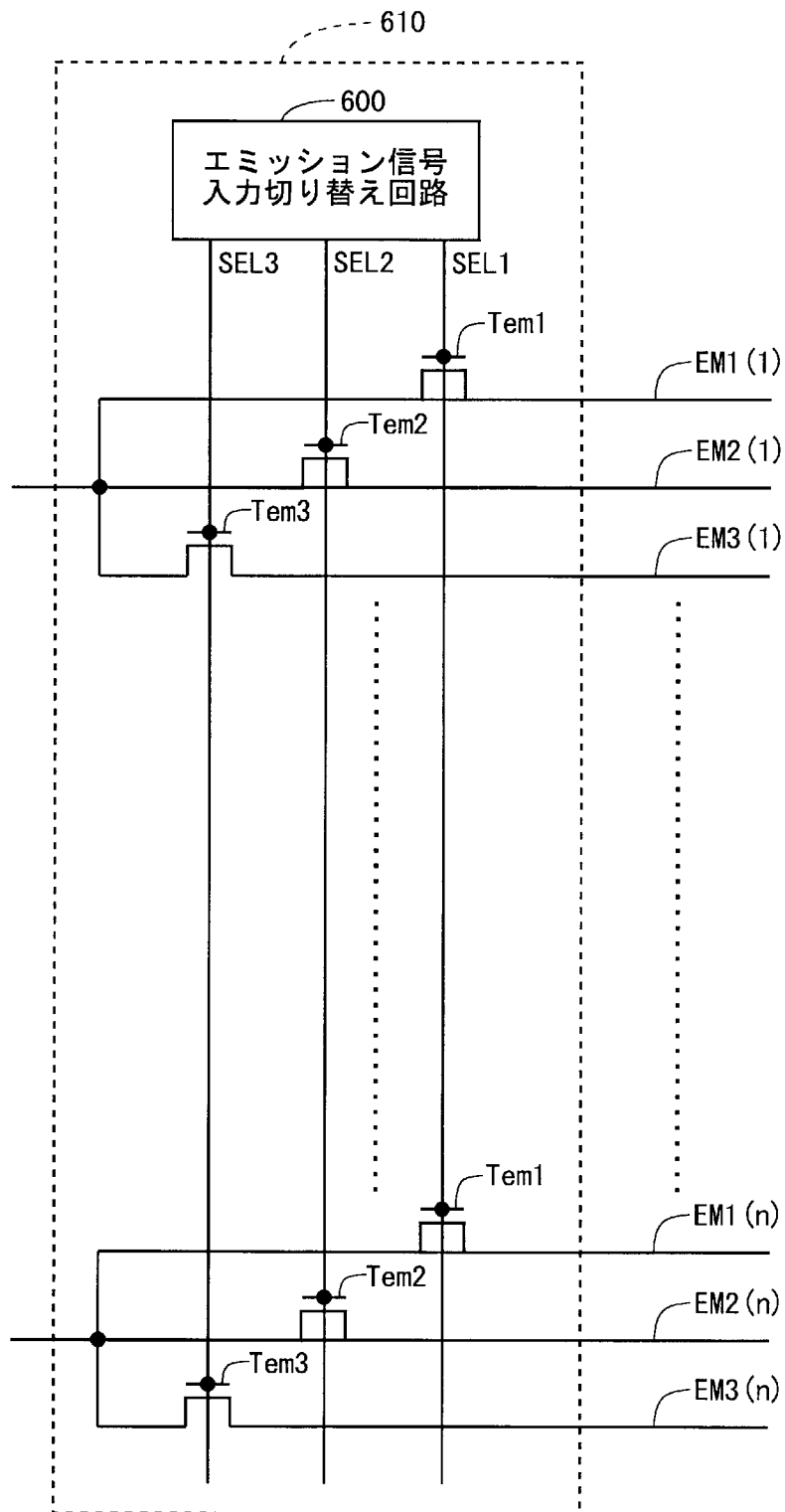
[図6]



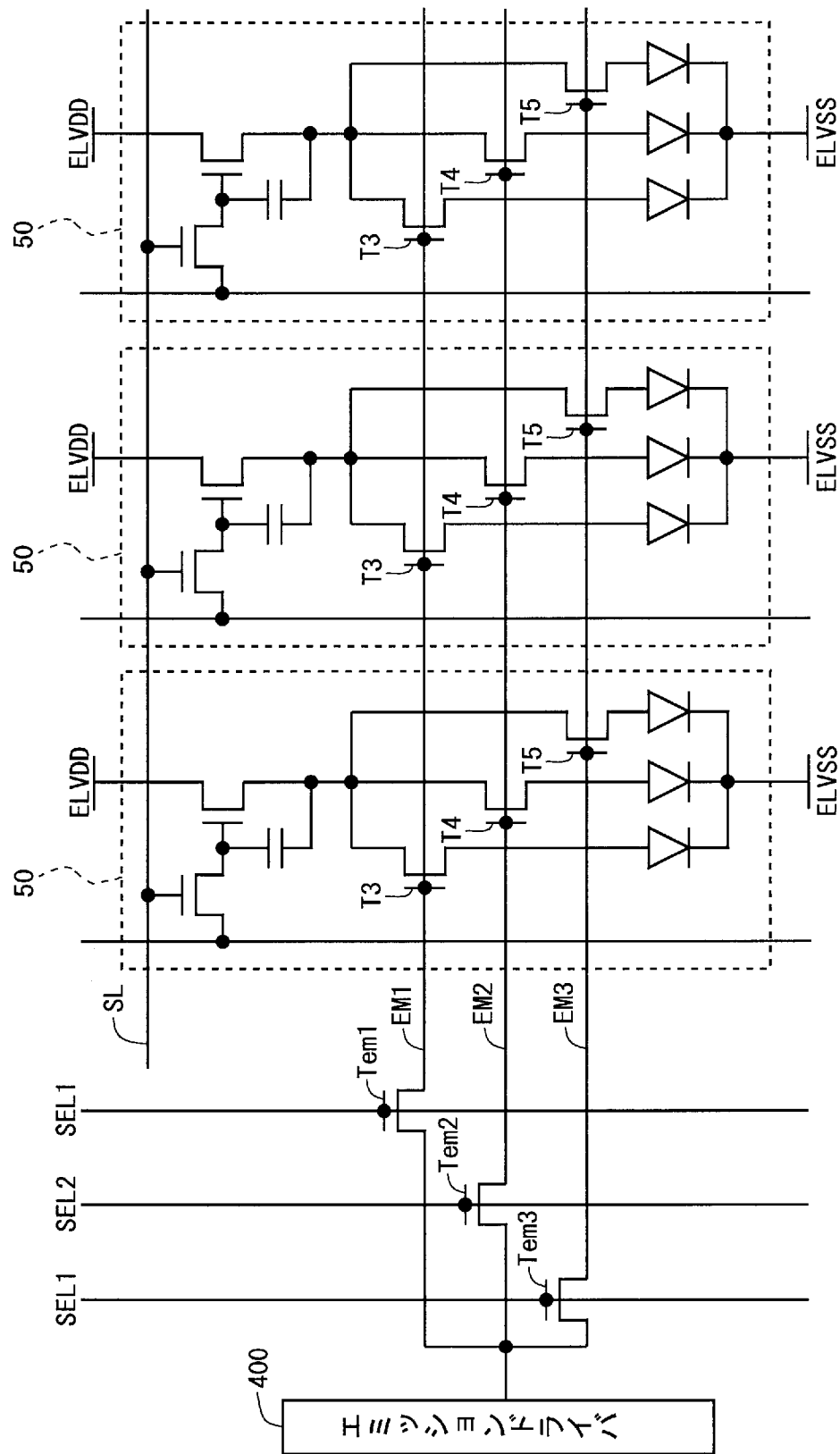
[図7]



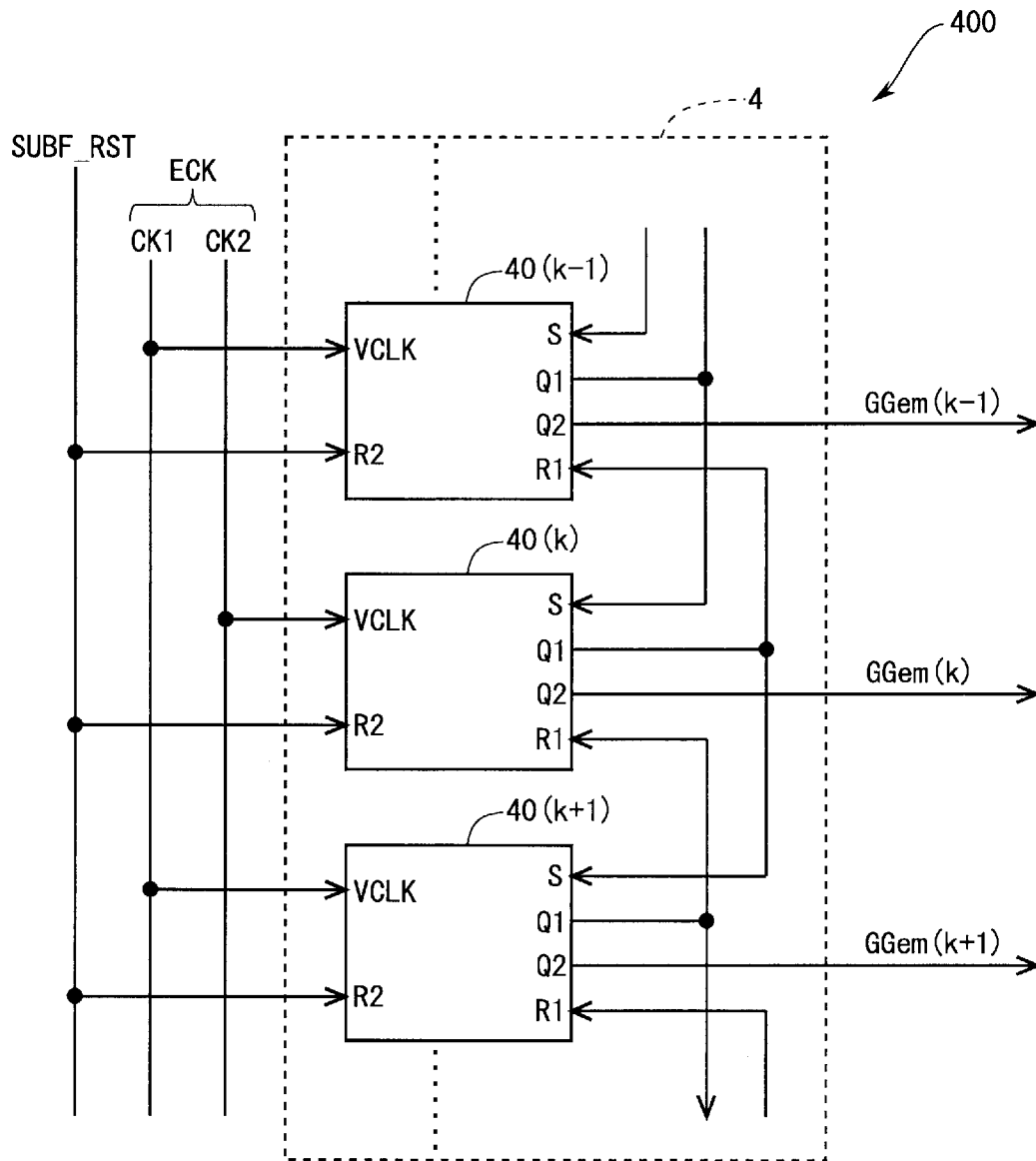
[図8]



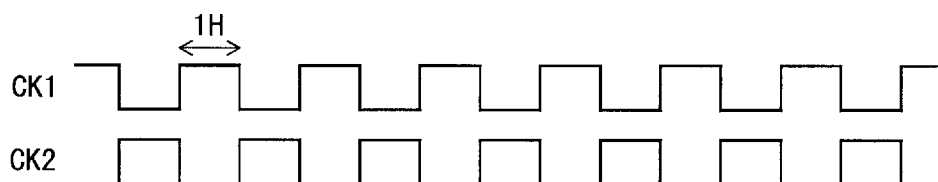
[図9]



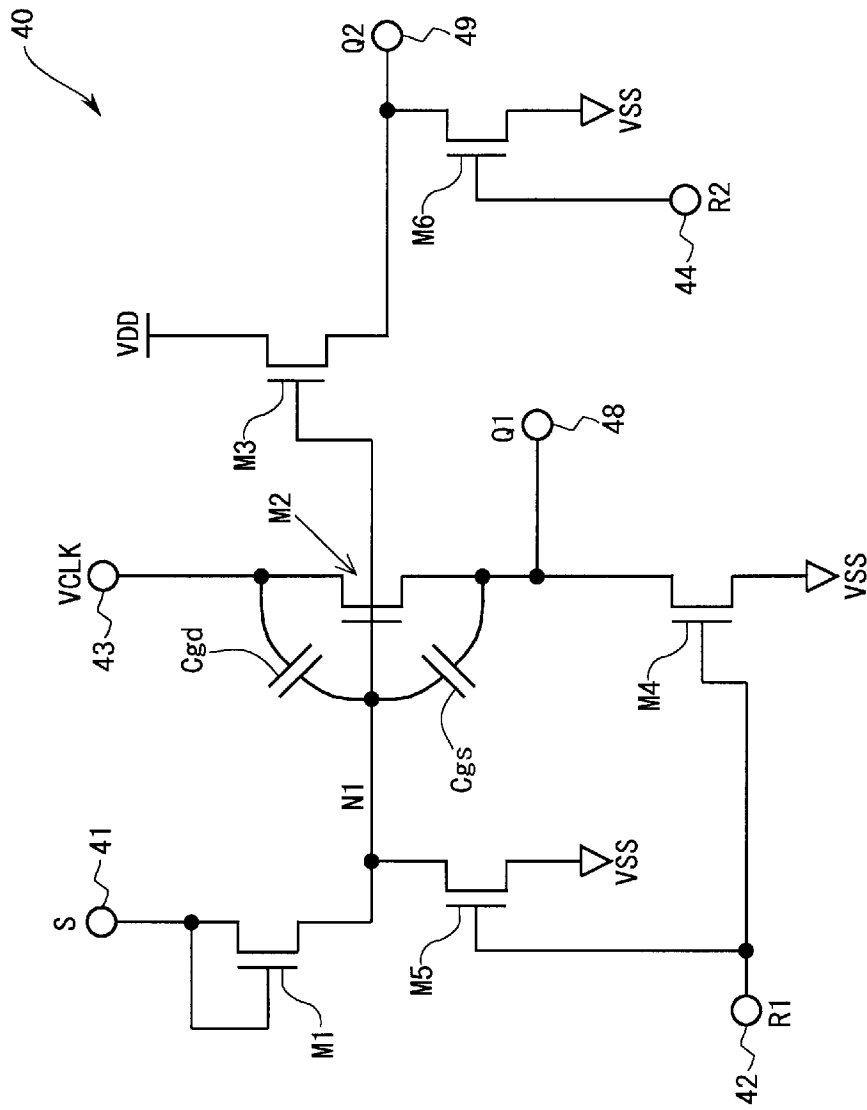
[図10]



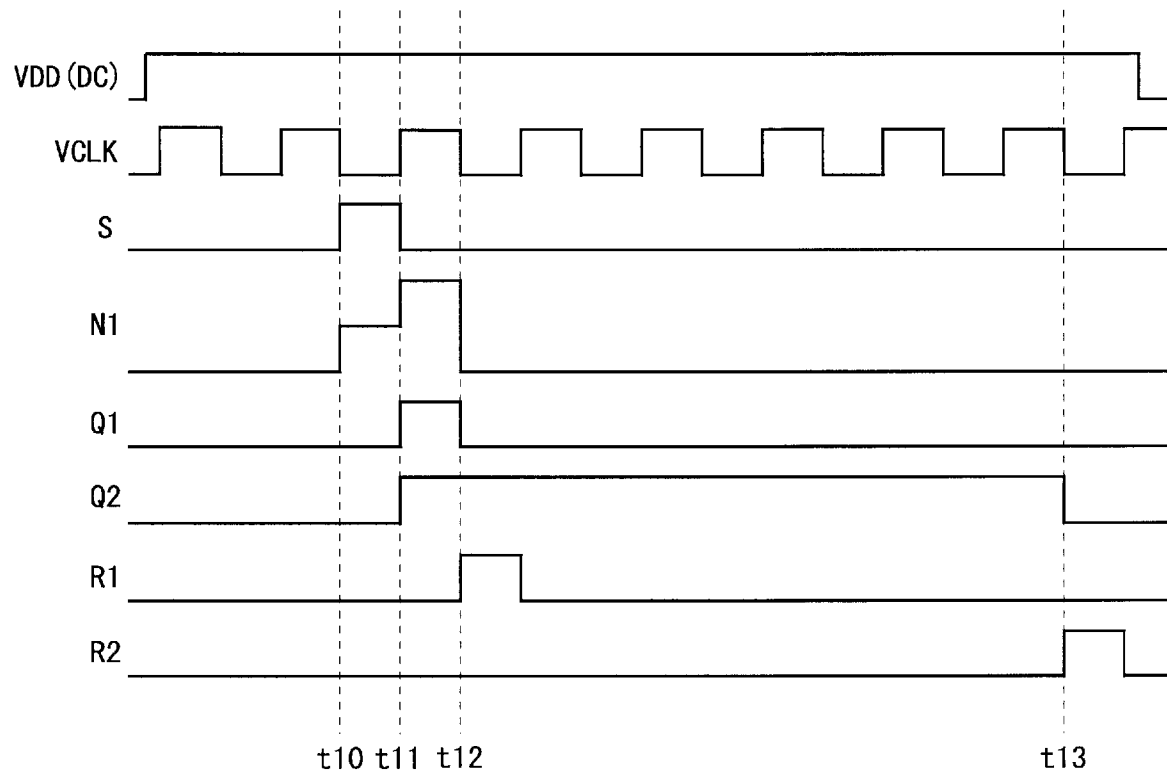
[図11]



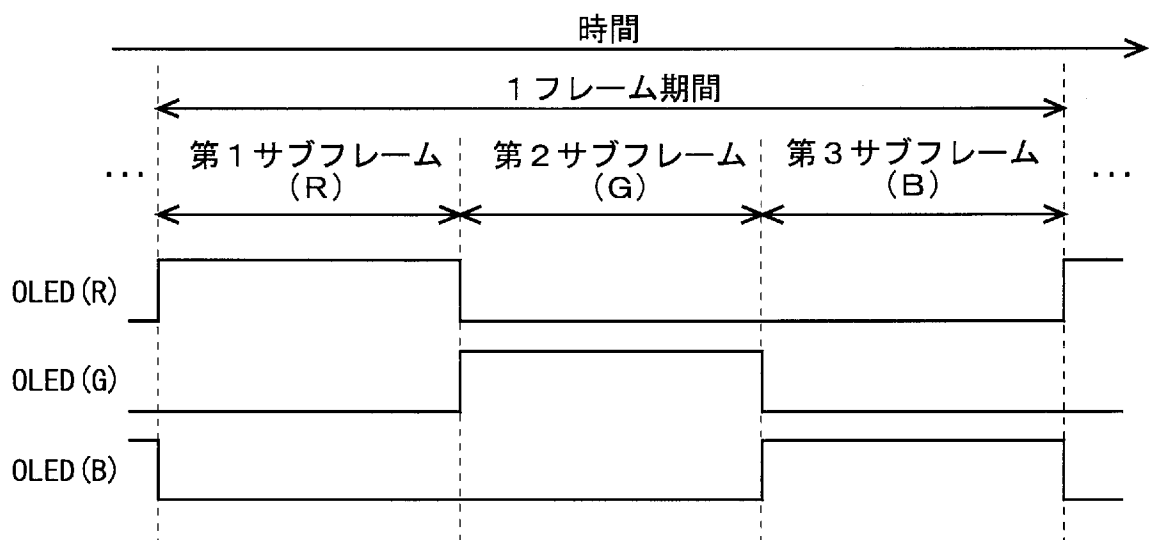
[図12]



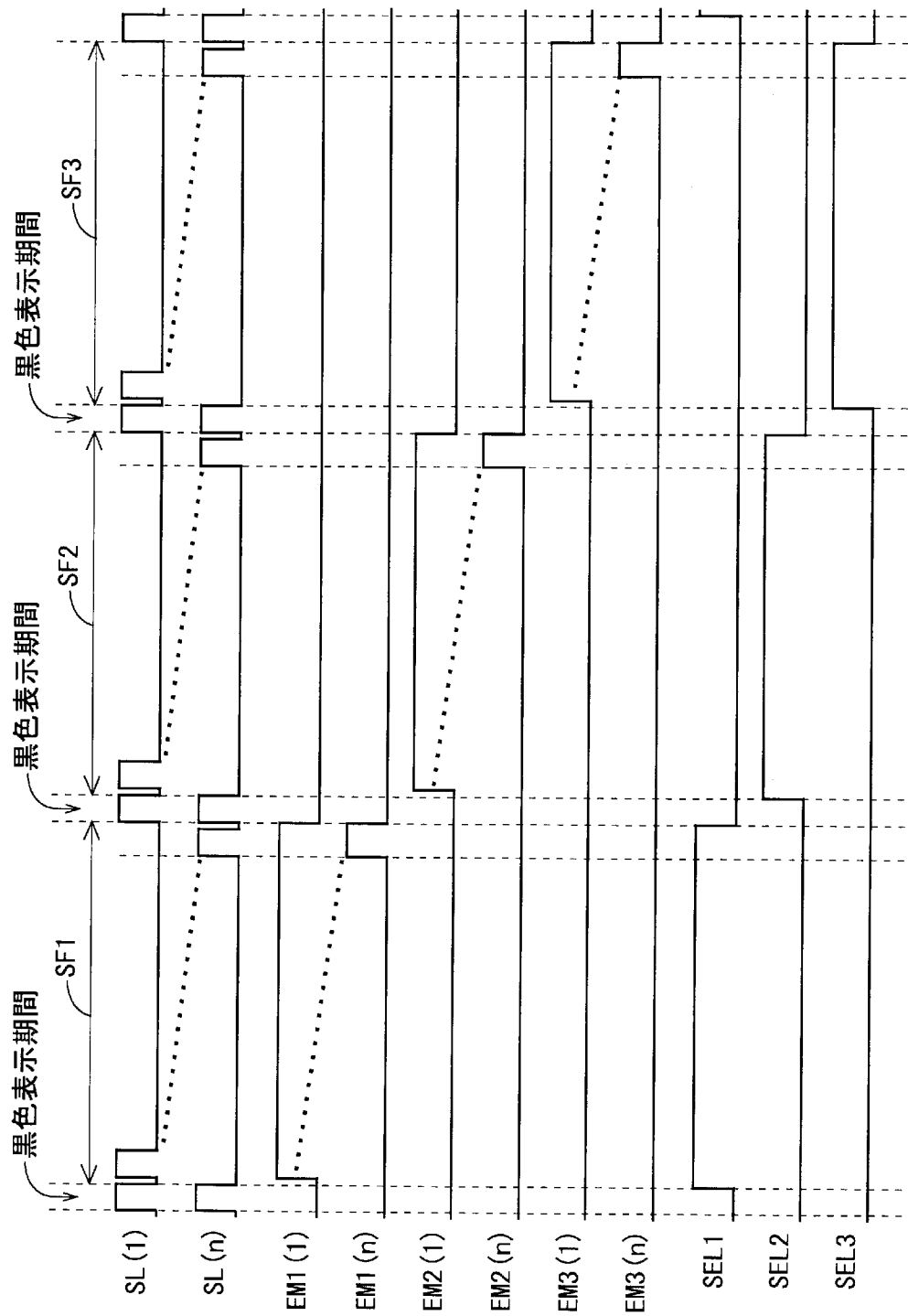
[図13]



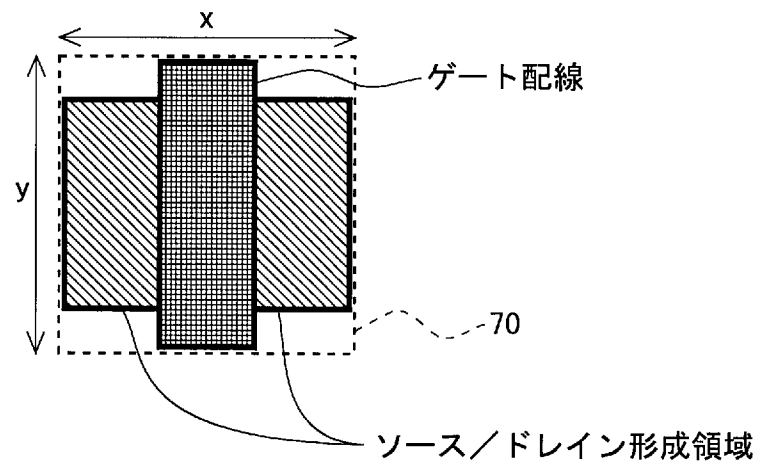
[図14]



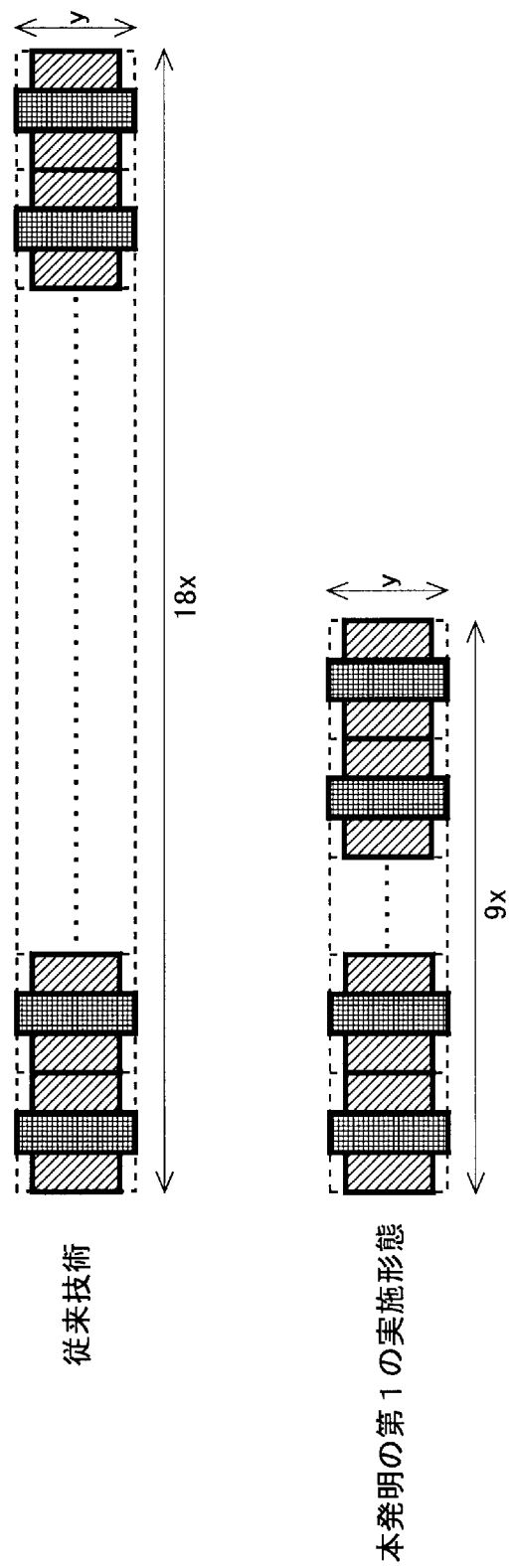
[図15]



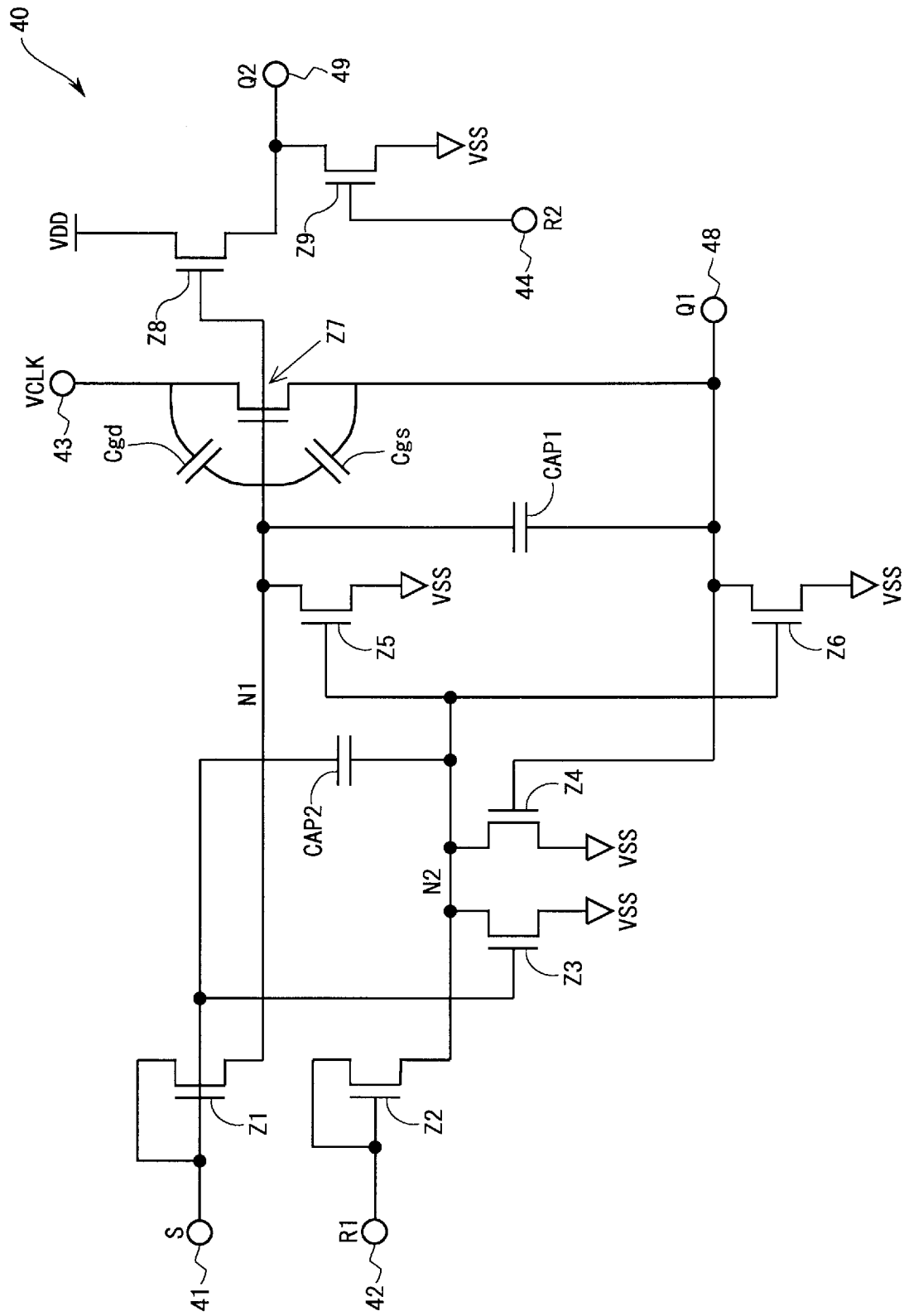
[図16]



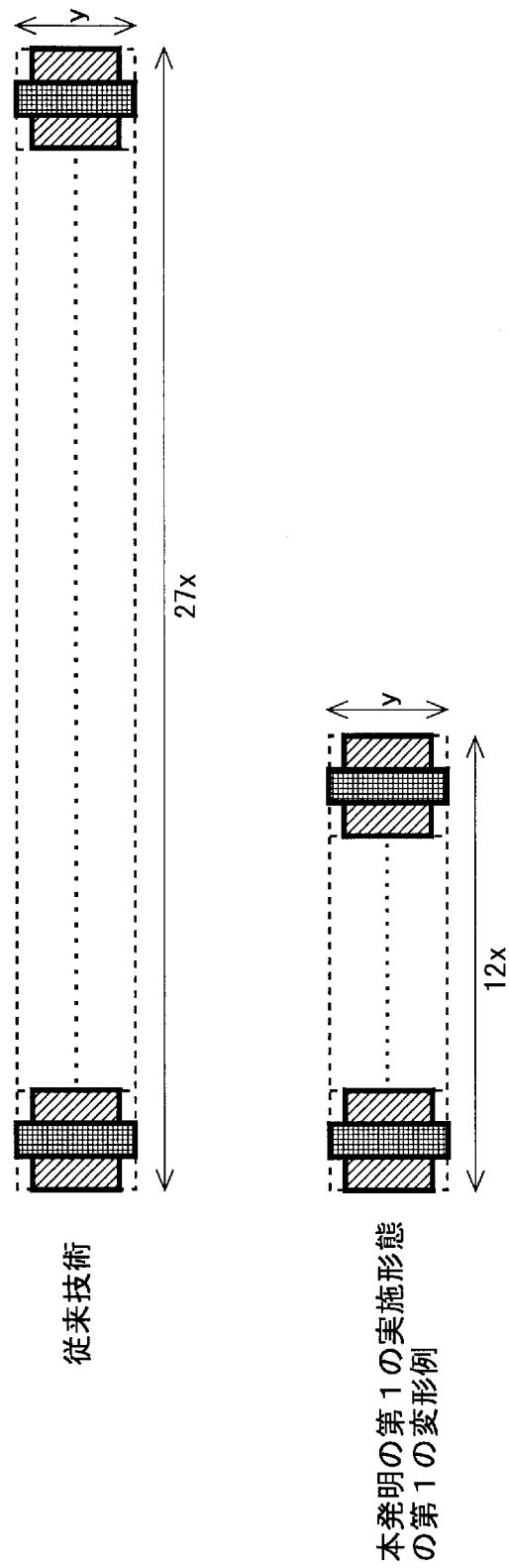
[図17]



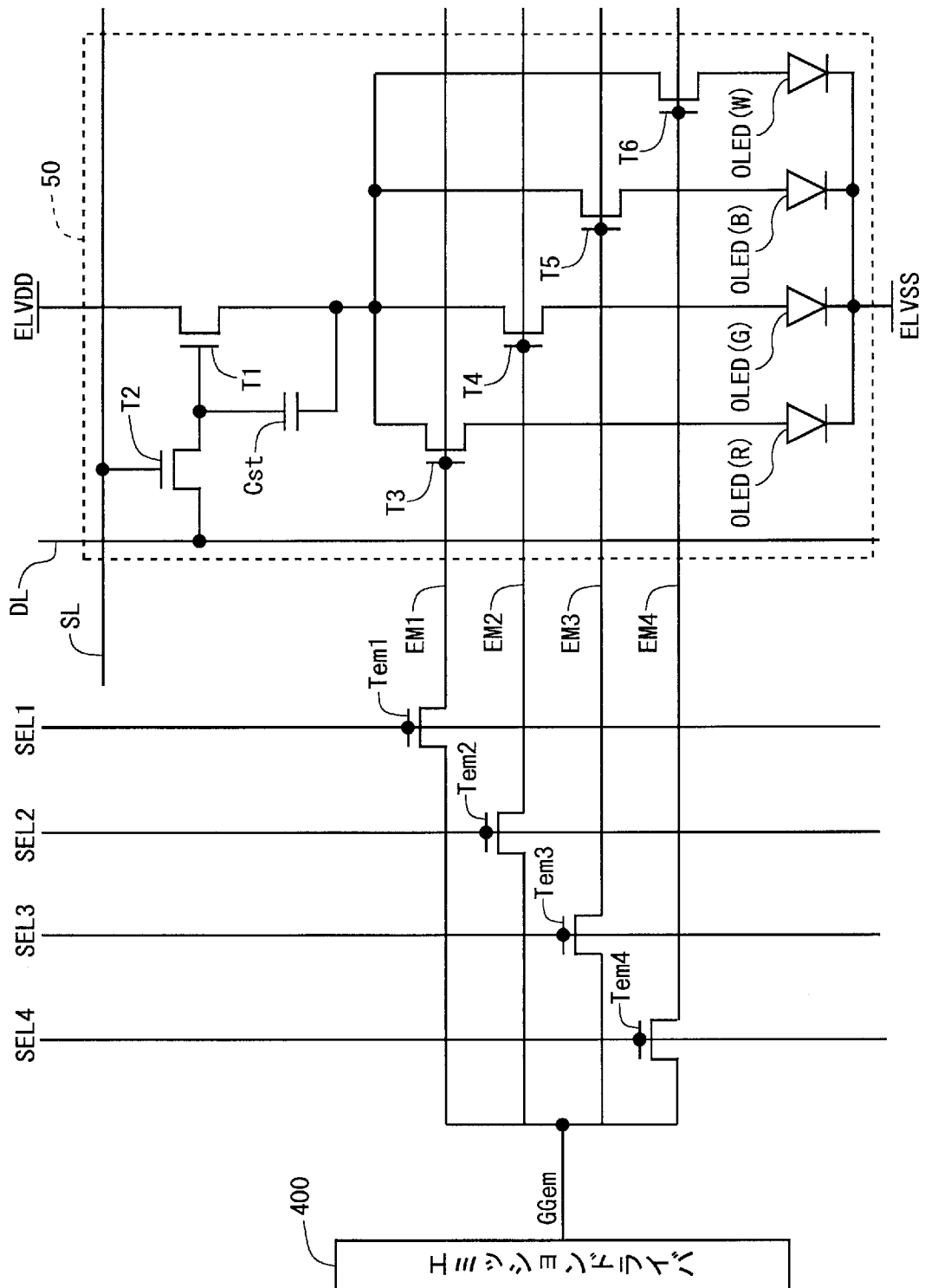
[図18]



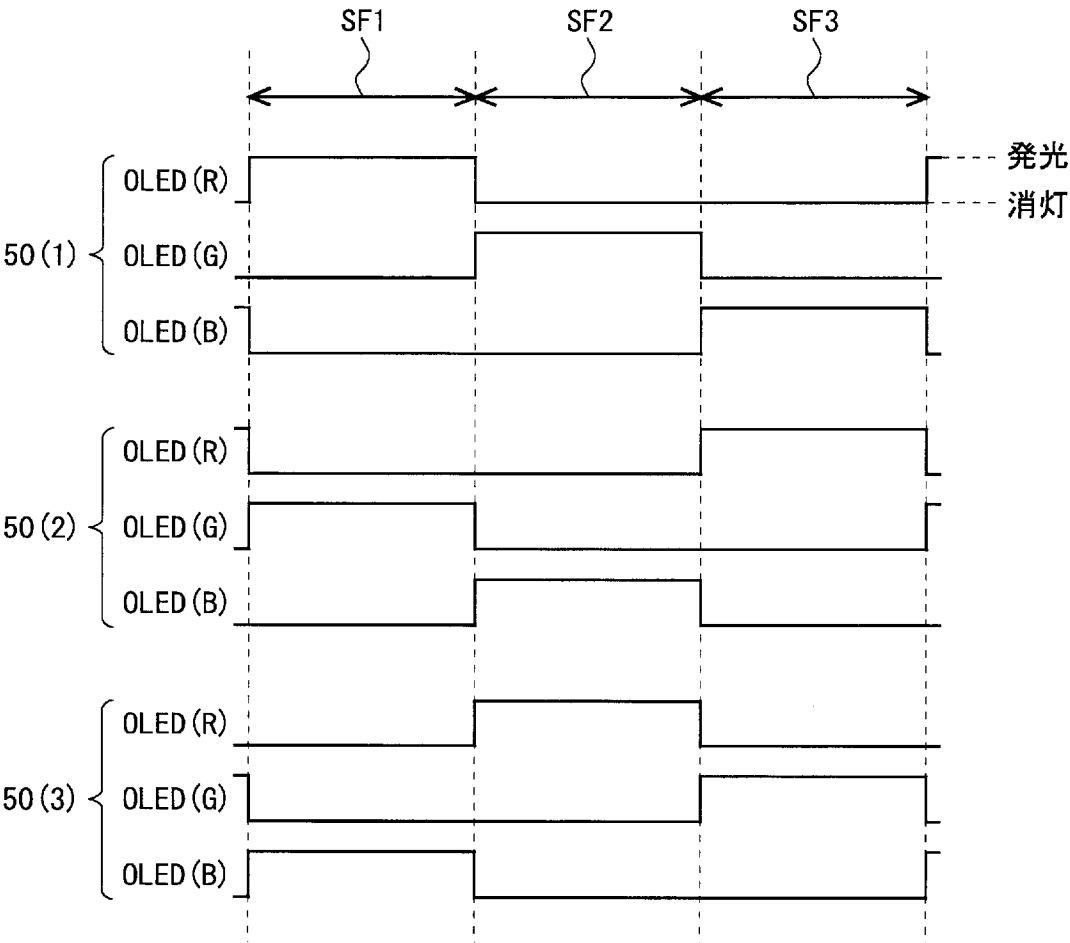
[図19]



[図20]



[図22]



[図23]

R			G		B
R			G		B
R			G		B

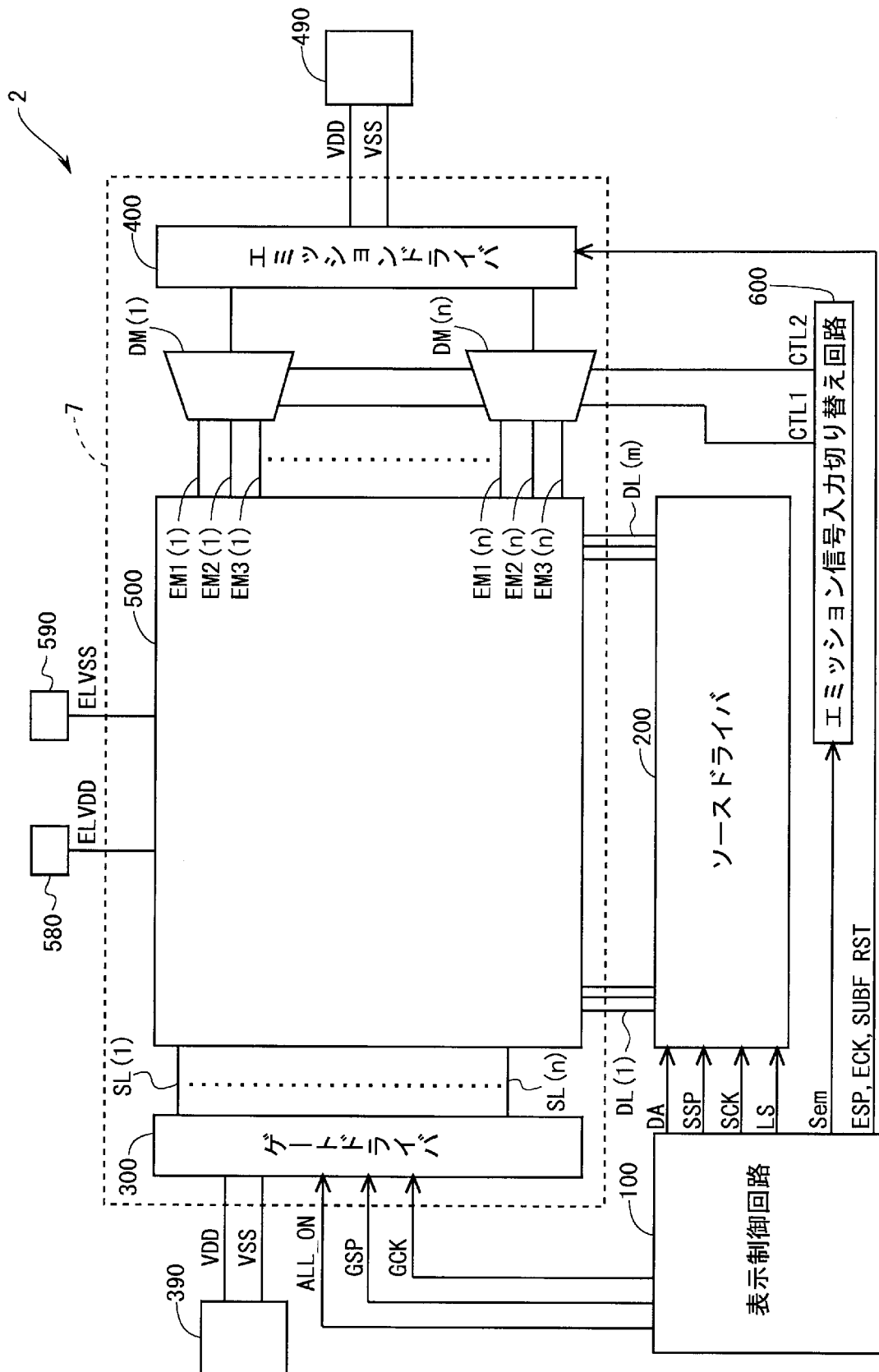
[図24]

	G				B	R		
	G				B	R		
	G				B	R		

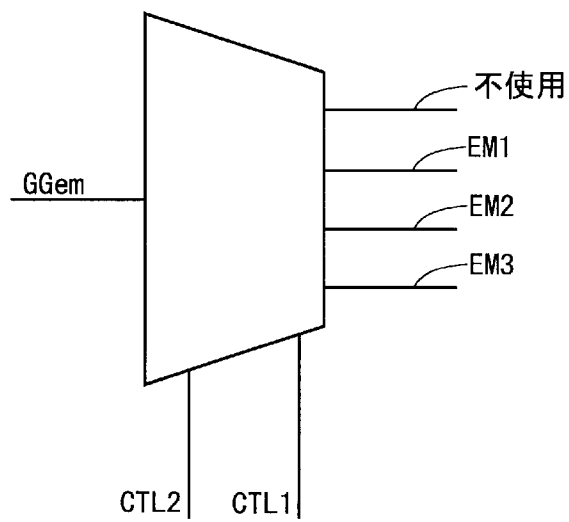
[図25]

		B	R				G	
		B	R				G	
		B	R				G	

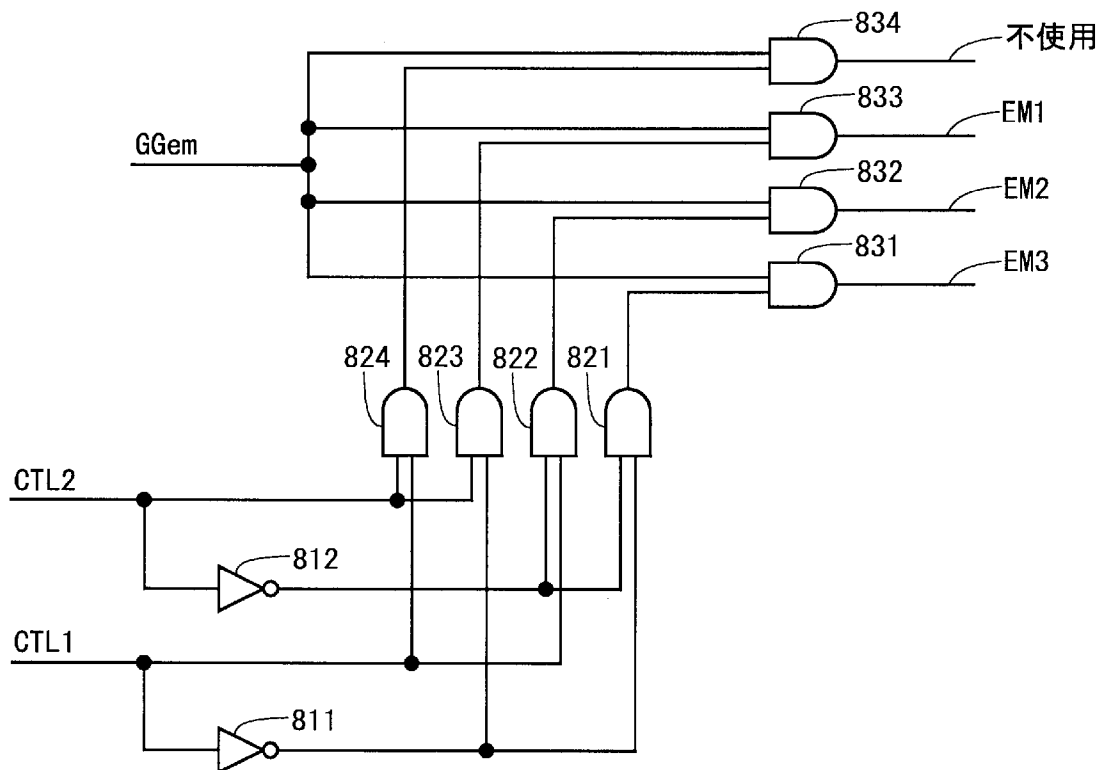
[図26]



[図27]



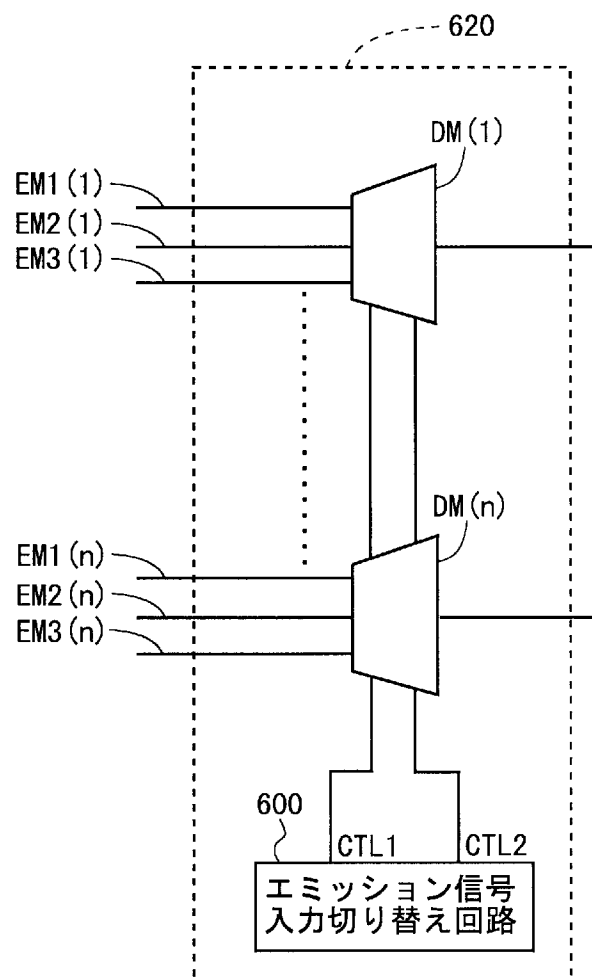
[図28]



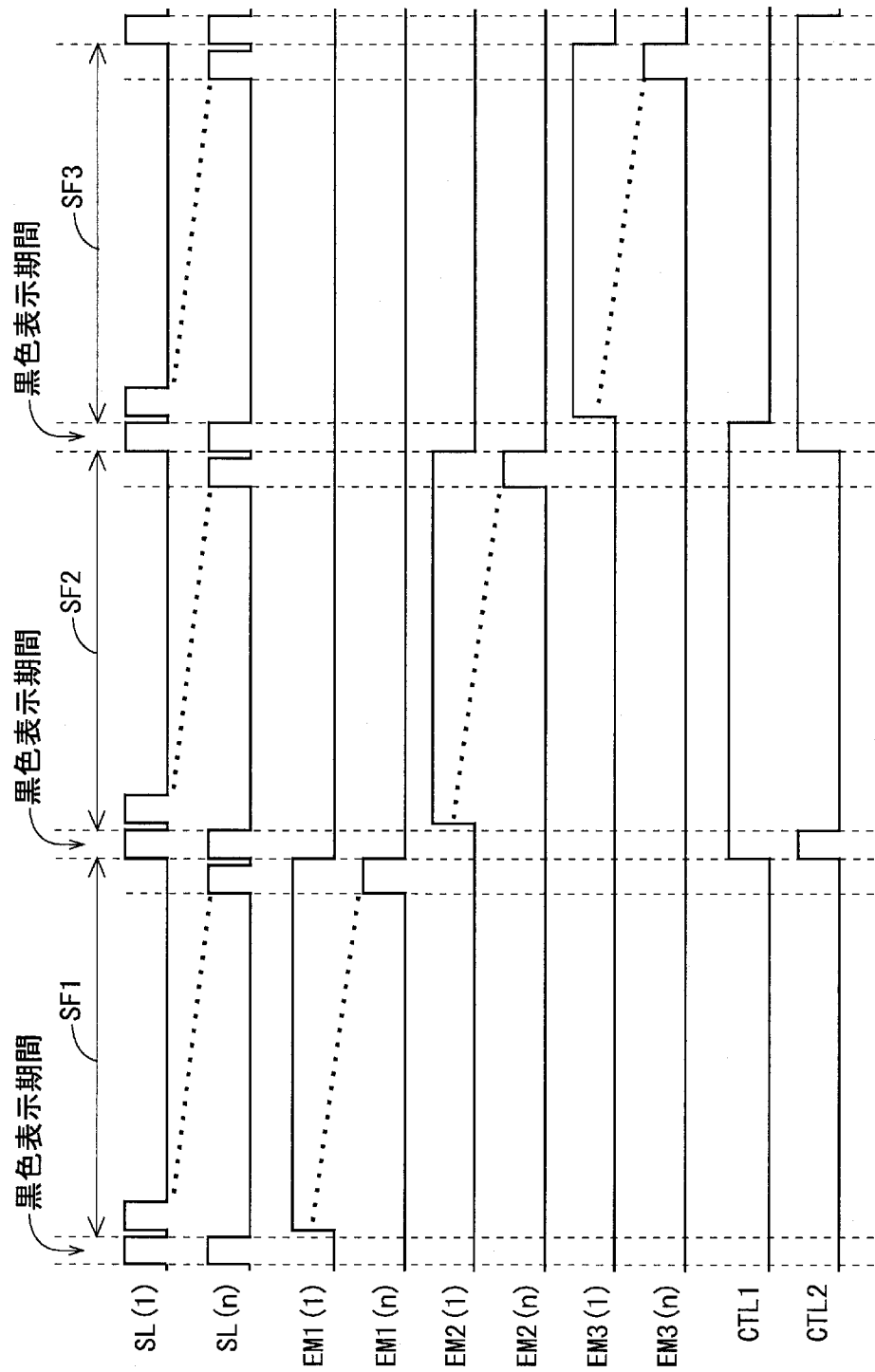
[図29]

入力		出力
CTL2	CTL1	
0	0	EM1
0	1	EM2
1	0	EM3
1	1	不使用

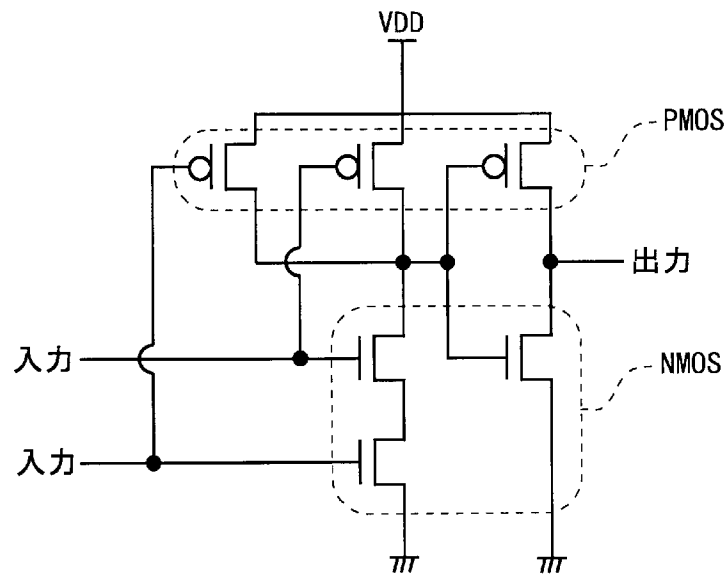
[図30]



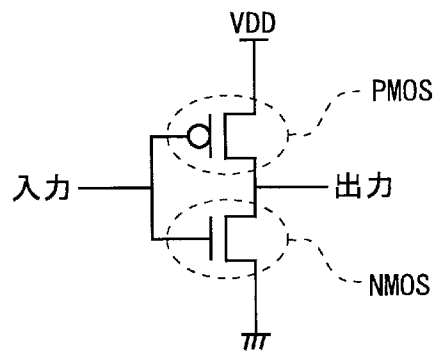
[図31]



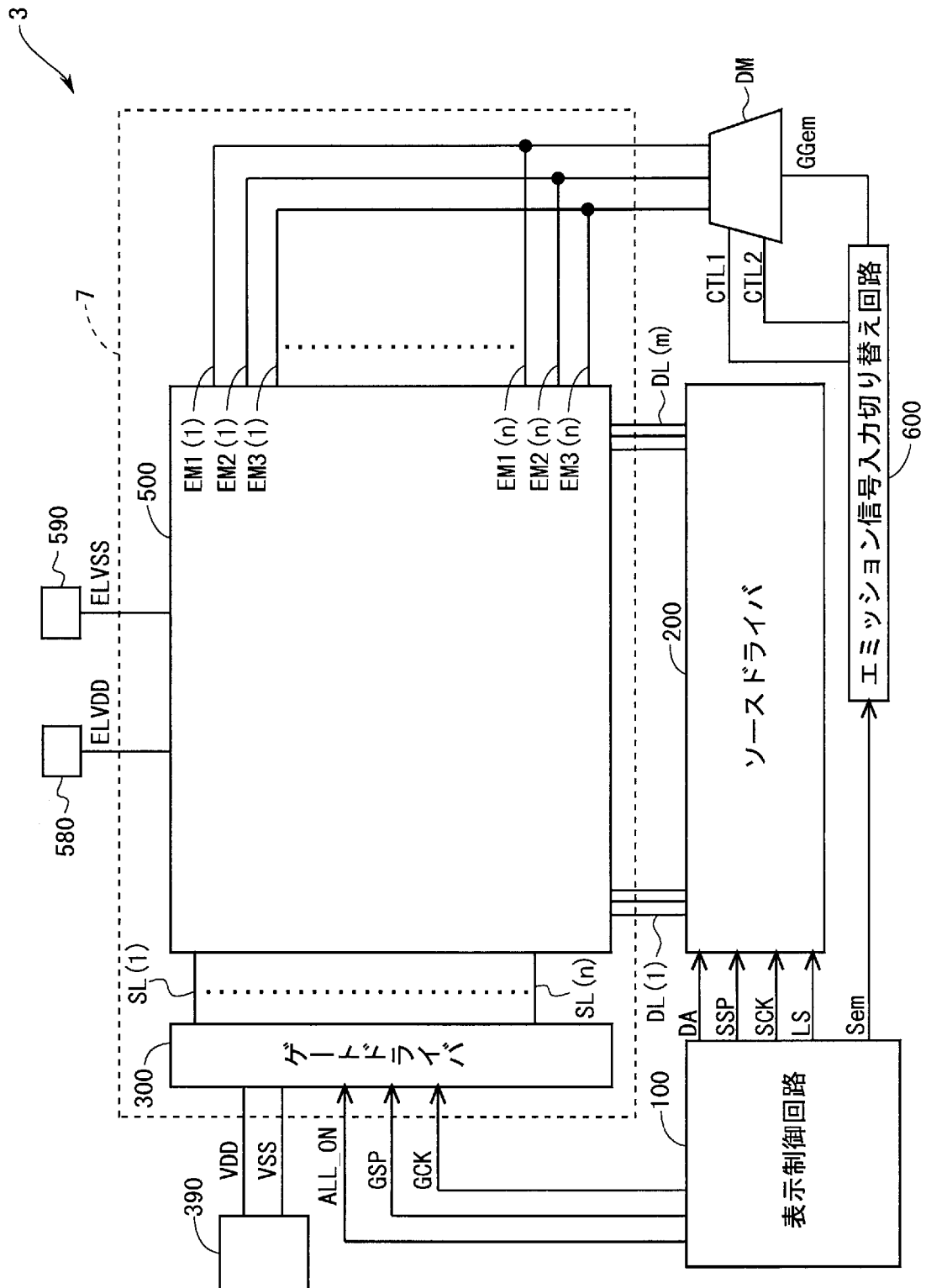
[図32]



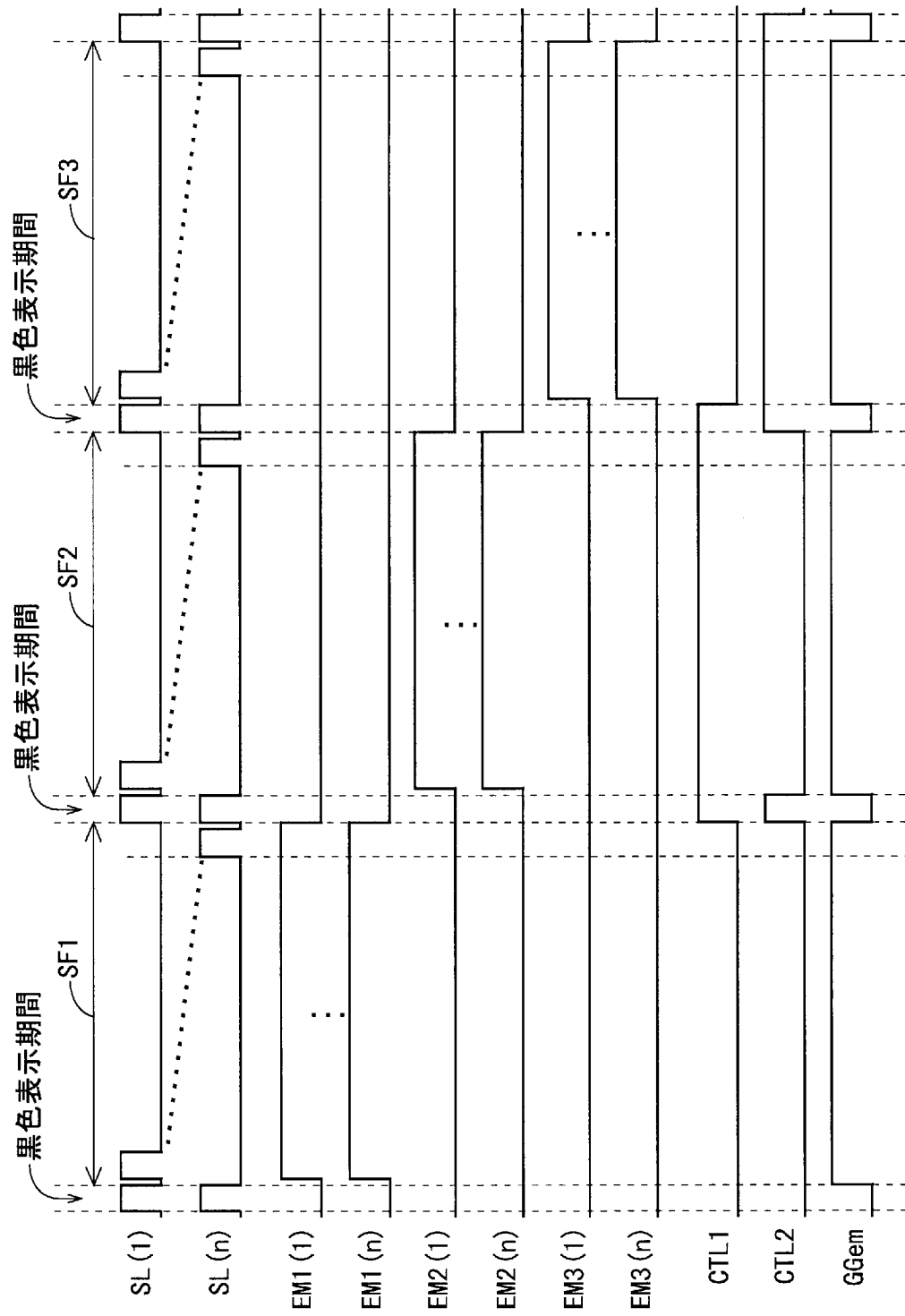
[図33]



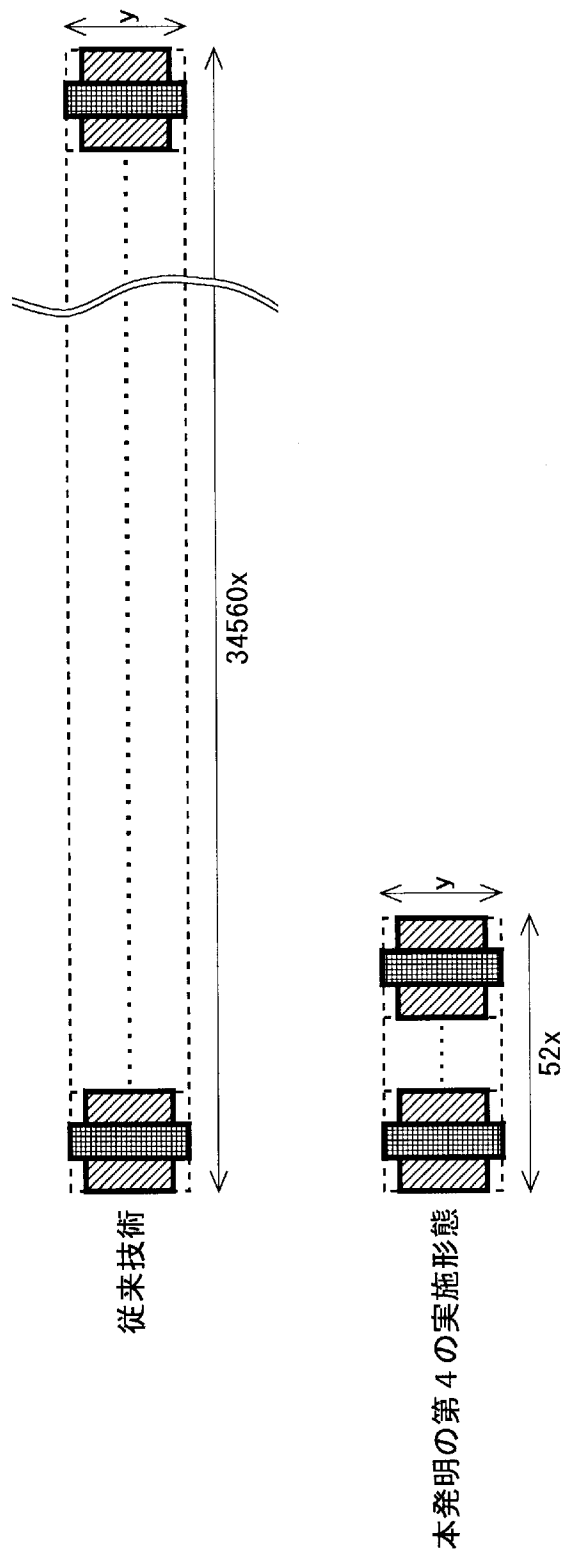
[図34]



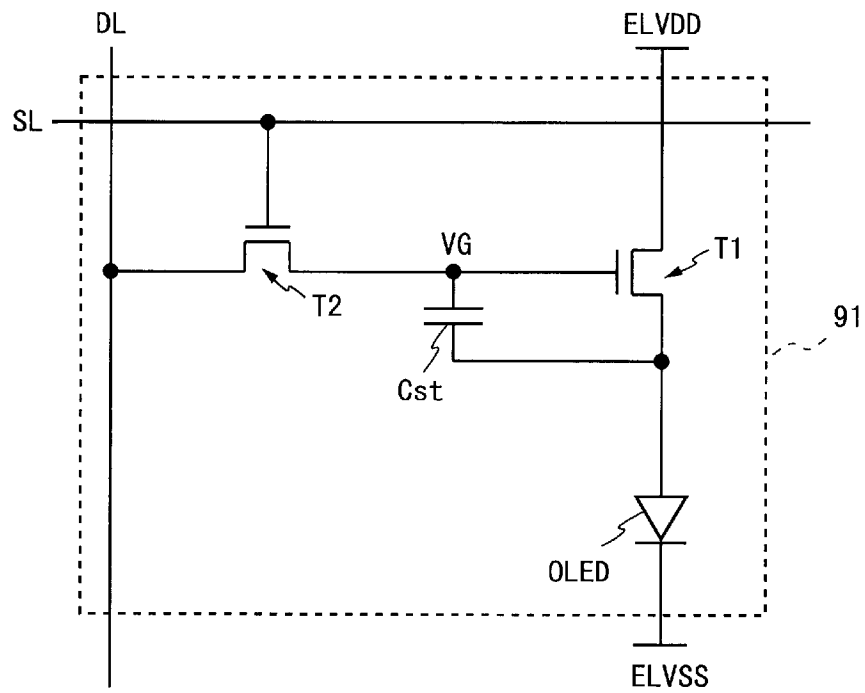
[図35]



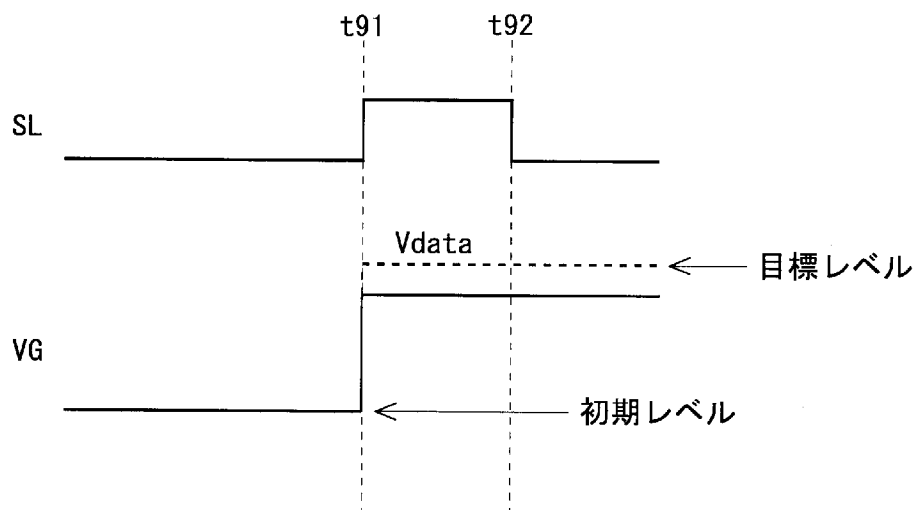
[図36]



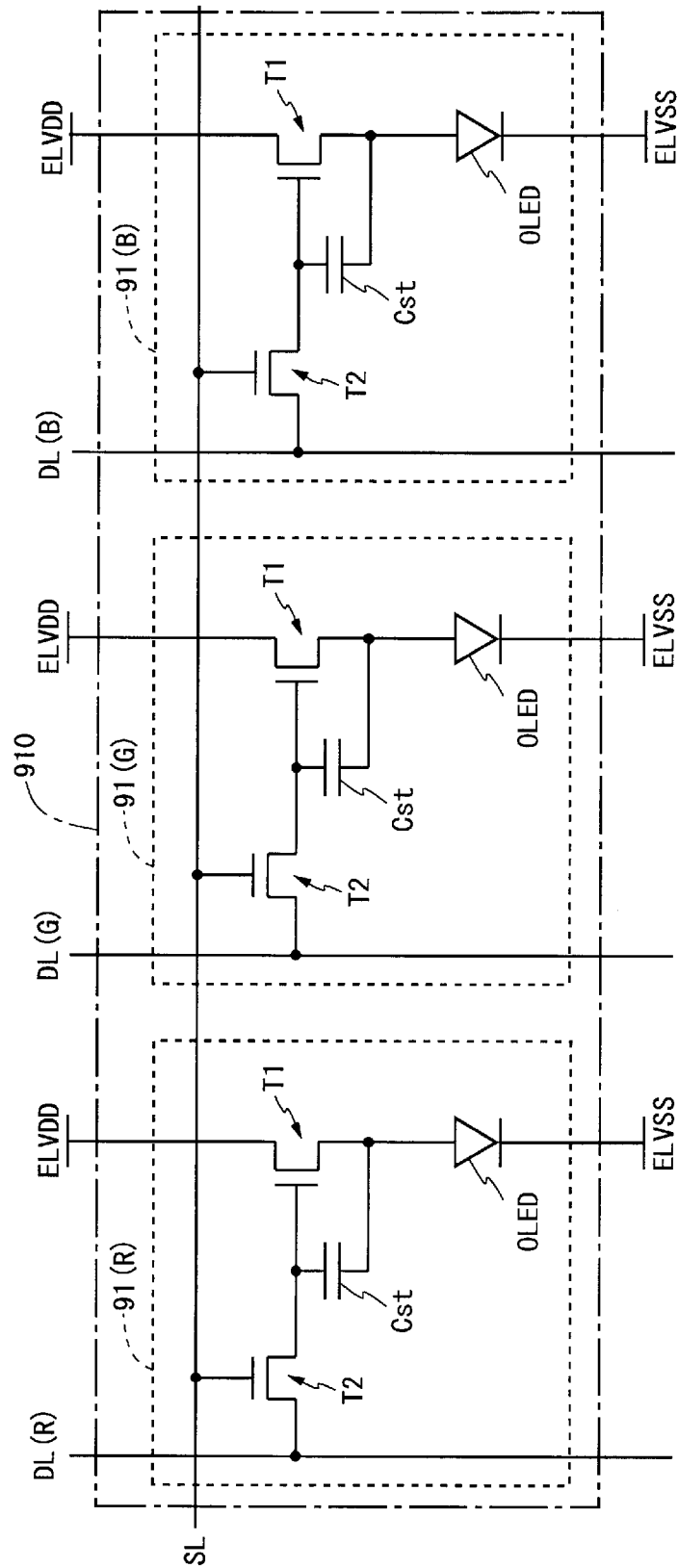
[図37]



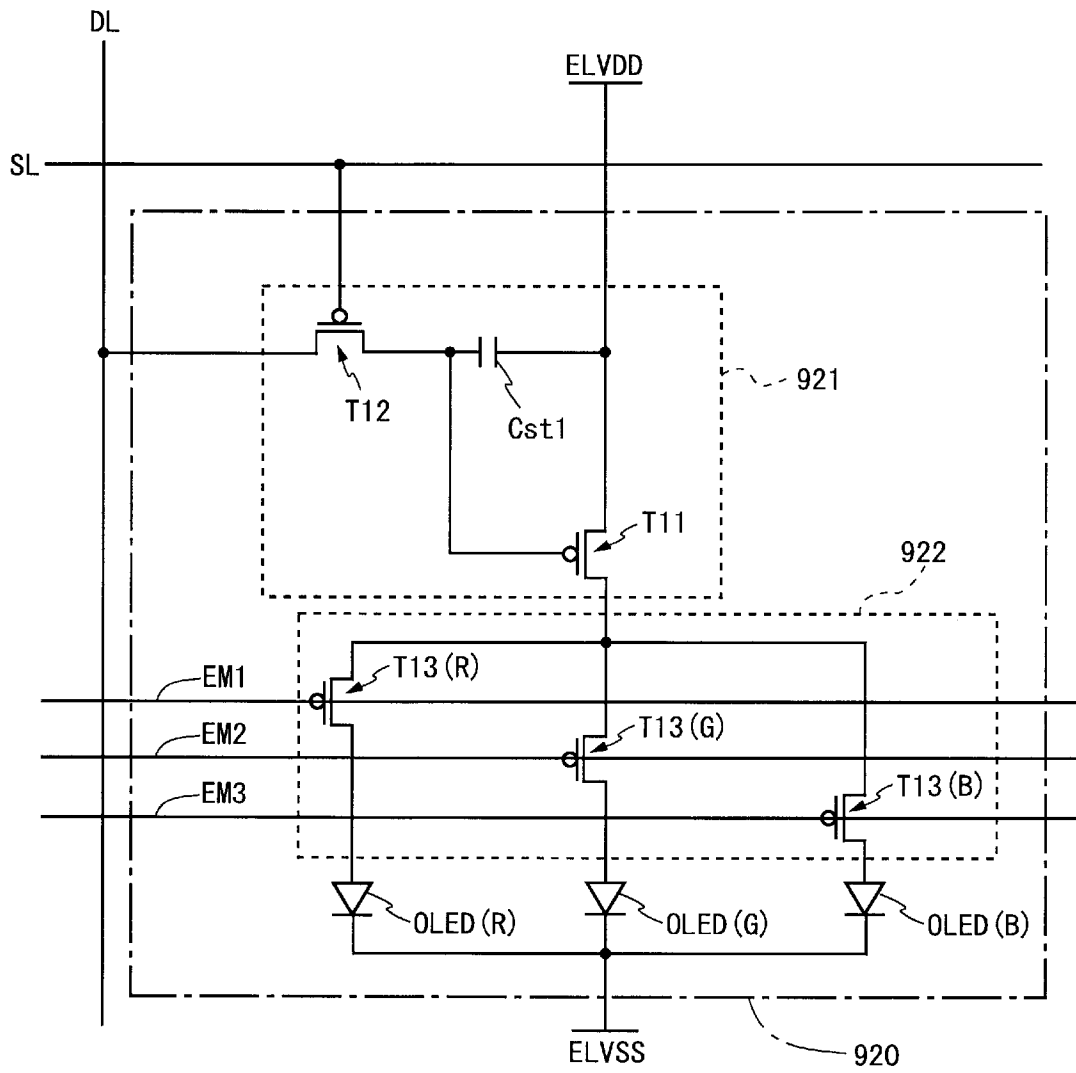
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/069297

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-157267 A (Samsung SDI Co., Ltd.), 16 June 2005 (16.06.2005), entire text; all drawings & US 2005/0116656 A1 & KR 10-2005-0051070 A & CN 1622181 A	1-4, 6-13 5
Y A	JP 2005-148749 A (Samsung SDI Co., Ltd.), 09 June 2005 (09.06.2005), entire text; all drawings & US 2005/0104875 A1 & EP 1531452 A1 & DE 602004007739 D & KR 10-2005-0046467 A & CN 1617206 A & AT 368274 T	1-4, 6-13 5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
16 October, 2014 (16.10.14)

Date of mailing of the international search report
28 October, 2014 (28.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/069297

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-145555 A (Epson Imaging Devices Corp.), 26 June 2008 (26.06.2008), entire text; all drawings & US 2008/0136964 A1 & KR 10-2008-0052468 A & CN 101196632 A & TW 200832336 A	2-4, 7-10
Y	JP 2010-002755 A (Canon Inc.), 07 January 2010 (07.01.2010), paragraphs [0059] to [0079]; fig. 5 to 8 (Family: none)	6, 10
Y	JP 2008-304573 A (Sharp Corp.), 18 December 2008 (18.12.2008), paragraphs [0011] to [0025]; fig. 2 (Family: none)	8, 12
Y	JP 2006-323267 A (Sanyo Epson Imaging Devices Corp.), 30 November 2006 (30.11.2006), paragraph [0047]; fig. 5 & US 2006/0279313 A1 & KR 10-2006-0120461 A & CN 1866080 A	8
A	WO 2012/008186 A1 (Sharp Corp.), 19 January 2012 (19.01.2012), fig. 3 & US 2013/0100007 A1	5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-157267 A（三星エスディアイ株式会社）2005.06.16, 全文, 全図 & US 2005/0116656 A1 & KR 10-2005-0051070 A & CN 1622181 A	1-4, 6-13 5
Y A	JP 2005-148749 A（三星エスディアイ株式会社）2005.06.09, 全文, 全図 & US 2005/0104875 A1 & EP 1531452 A1 & DE 602004007739 D & KR 10-2005-0046467 A & CN 1617206 A & AT 368274 T	1-4, 6-13 5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 1 0 . 2 0 1 4

国際調査報告の発送日

2 8 . 1 0 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山崎 仁之

2 G

3 0 1 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-145555 A (エプソンイメージングデバイス株式会社) 2008.06.26, 全文, 全図 & US 2008/0136964 A1 & KR 10-2008-0052468 A & CN 101196632 A & TW 200832336 A	2-4, 7-10
Y	JP 2010-002755 A (キヤノン株式会社) 2010.01.07, 段落 0 0 5 9 - 0 0 7 9, 第 5 - 8 図 (ファミリーなし)	6, 10
Y	JP 2008-304573 A (シャープ株式会社) 2008.12.18, 段落 0 0 1 1 - 0 0 2 5, 第 2 図 (ファミリーなし)	8, 12
Y	JP 2006-323267 A (三洋エプソンイメージングデバイス株式会社) 2006.11.30, 段落 0 0 4 7, 第 5 図 & US 2006/0279313 A1 & KR 10-2006-0120461 A & CN 1866080 A	8
A	WO 2012/008186 A1 (シャープ株式会社) 2012.01.19, 第 3 図 & US 2013/0100007 A1	5