

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6496149号  
(P6496149)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

(51) Int.Cl.	F I		
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	F	
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	H	
HO 1 L 29/778 (2006.01)	HO 1 L 29/78	3 O 1 B	
HO 1 L 21/336 (2006.01)	HO 1 L 29/06	3 O 1 F	
HO 1 L 29/78 (2006.01)	HO 1 L 29/44	Y	
請求項の数 17 (全 25 頁) 最終頁に続く			

(21) 出願番号	特願2015-10461 (P2015-10461)	(73) 特許権者	000116024
(22) 出願日	平成27年1月22日 (2015.1.22)		ローム株式会社
(65) 公開番号	特開2016-134599 (P2016-134599A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成28年7月25日 (2016.7.25)	(74) 代理人	100087701
審査請求日	平成29年12月4日 (2017.12.4)		弁理士 稲岡 耕作
		(74) 代理人	100101328
			弁理士 川崎 実夫
		(74) 代理人	100149766
			弁理士 京村 順二
		(72) 発明者	近松 健太郎
			京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		(72) 発明者	田中 岳利
			京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

ヘテロ接合を含むIII族窒化物半導体積層構造と、  
 前記III族窒化物半導体積層構造に達するゲート開口部を有する、前記III族窒化物半導体積層構造上の絶縁層と、  
 前記ゲート開口部の底部および側部を覆うゲート絶縁膜と、  
 前記ゲート開口部内で前記ゲート絶縁膜上に形成されたゲート電極と、  
 前記ゲート電極を挟むように前記ゲート電極から離れて配置され、それぞれ前記III族窒化物半導体積層構造に電氣的に接続されたソース電極およびドレイン電極と、  
 前記ゲート電極と前記ドレイン電極との間で前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁された導電層であって、前記ソース電極に電氣的に接続された導電層と、  
 前記ゲート絶縁膜と前記ゲート開口部の側部との間に配置された絶縁性のサイドウォールとを含む、半導体装置。

【請求項 2】

ヘテロ接合を含むIII族窒化物半導体積層構造と、  
 前記III族窒化物半導体積層構造に達するゲート開口部を有する、前記III族窒化物半導体積層構造上の絶縁層と、  
 前記ゲート開口部の底部および側部を覆うゲート絶縁膜と、  
 前記ゲート開口部内で前記ゲート絶縁膜上に形成されたゲート電極と、

10

20

前記ゲート電極を挟むように前記ゲート電極から離れて配置され、それぞれ前記III族窒化物半導体積層構造に電氣的に接続されたソース電極およびドレイン電極と、

前記ゲート電極と前記ドレイン電極との間で前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁された導電層であって、前記ソース電極に電氣的に接続された導電層と、

前記ゲート電極と前記ソース電極との間で前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁され、かつ、前記ソース電極からも絶縁された第2導電層とを含む、半導体装置。

【請求項3】

前記サイドウォールは、 $SiO_2$ 、 $SiN$ および $SiON$ からなる群から選択される少なくとも一種の材料を含む、請求項1に記載の半導体装置。

10

【請求項4】

前記ゲート電極と前記導電層との距離 $L_{GF}$ が $1\mu m$ 以下である、請求項1～3のいずれか一項に記載の半導体装置。

【請求項5】

前記導電層の長さ $L_{FP}$ と、前記ゲート電極と前記ドレイン電極との距離 $L_{GD}$ とが、 $L_{FP} < 1/3 L_{GD}$ を満たす、請求項1～4のいずれか一項に記載の半導体装置。

【請求項6】

前記ゲート絶縁膜は、構成元素として $Si$ 、 $Al$ および $Hf$ からなる群から選択される少なくとも一種の材料を含む、請求項1～5のいずれか一項に記載の半導体装置。

20

【請求項7】

前記ゲート電極は、金属電極を含む、請求項1～6のいずれか一項に記載の半導体装置。

【請求項8】

前記ゲート電極は、前記ゲート開口部の周縁で前記ゲート絶縁膜上に形成されたオーバーラップ部を含む、請求項1～7のいずれか一項に記載の半導体装置。

【請求項9】

前記III族窒化物半導体積層構造は、前記ソース電極および前記ドレイン電極で前記ゲート電極を挟むことによって構成された素子構造を含むアクティブ領域と、当該アクティブ領域外のノンアクティブ領域とを含み、

30

前記ソース電極および前記導電層は、それぞれ、前記ノンアクティブ領域への延長部を含み、

前記ソース電極の延長部と前記導電層の延長部とが互いに接続されている、請求項1～8のいずれか一項に記載の半導体装置。

【請求項10】

前記III族窒化物半導体積層構造は、前記ヘテロ接合を形成する第1半導体層および当該第1半導体層上の第2半導体層を含み、

前記第2半導体層は、前記ゲート開口部の底部に選択的に、当該第2半導体層の酸化によって形成された酸化膜を含む、請求項1～9のいずれか一項に記載の半導体装置。

【請求項11】

40

前記III族窒化物半導体積層構造は、前記ヘテロ接合を形成する第1半導体層および当該第1半導体層上の第2半導体層を含み、

前記第2半導体層が、前記ゲート開口部の底部のみ選択的にエッチングされている、請求項1～9のいずれか一項に記載の半導体装置。

【請求項12】

前記導電層と前記III族窒化物半導体積層構造との間に配置され、前記ソース電極および前記ドレイン電極の形成領域まで延びる下地層をさらに含み、

前記ソース電極および/または前記ドレイン電極は、前記下地層内のオーミック電極と、前記オーミック電極上に形成された前記絶縁層内のパッド電極とを含む、請求項1～11のいずれか一項に記載の半導体装置。

50

## 【請求項 13】

前記下地層が5 nm ~ 200 nmの厚さを有し、前記絶縁層が1.5 μm ~ 2 μmの厚さを有している、請求項12に記載の半導体装置。

## 【請求項 14】

ヘテロ接合を含むIII族窒化物半導体積層構造と、

前記III族窒化物半導体積層構造に達するゲート開口部を有する、前記III族窒化物半導体積層構造上の絶縁層と、

前記ゲート開口部の底部および側部を覆うゲート絶縁膜と、

前記ゲート開口部内で前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極を挟むように前記ゲート電極から離れて配置され、それぞれ前記III族窒化物半導体積層構造に電氣的に接続されたソース電極およびドレイン電極と、

前記ゲート電極と前記ドレイン電極との間で前記ゲート開口部の側部を部分的に形成するように前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁されたソースフィールドプレートであって、前記ソース電極に電氣的に接続されたソースフィールドプレートと、

前記ソースフィールドプレートに接するように前記ゲート開口部の側部に形成された絶縁性のサイドウォールとを含み、

前記ゲート絶縁膜は、前記サイドウォールを覆うように形成されている、半導体装置。

## 【請求項 15】

ヘテロ接合を含むIII族窒化物半導体積層構造上に導電層を形成する工程と、

前記導電層を覆うように絶縁層を形成する工程と、

前記導電層の少なくとも一部に対向する領域を含むエッチング領域から前記絶縁層および前記導電層をエッチングすることによって、ゲート開口部を形成すると共に、当該ゲート開口部の側部に前記導電層を露出させる工程と、

前記ゲート開口部の底部および側部を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート開口部内の前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極との間に前記導電層を挟むように、前記III族窒化物半導体積層構造上にドレイン電極を形成する工程と、

前記ゲート電極を挟んで前記ドレイン電極の向かい側にソース電極を形成する工程とを含む、半導体装置の製造方法。

## 【請求項 16】

前記ゲート絶縁膜の形成に先立って、前記ゲート開口部の底部および側部、ならびに前記絶縁層の表面を覆うように絶縁膜を形成する工程と、

前記ゲート開口部の底部および前記絶縁層の表面上の前記絶縁膜を選択的にエッチングすることによって、前記ゲート開口部の側部にサイドウォールを形成する工程とをさらに含む、請求項15に記載の半導体装置の製造方法。

## 【請求項 17】

前記導電層の形成に先立って、前記導電層を前記III族窒化物半導体積層構造から絶縁するための下地層を前記III族窒化物半導体積層構造上に形成する工程を含み、

前記サイドウォールを形成する工程は、前記下地層よりも小さいエッチング選択比を有する絶縁材料を少なくとも最表面に有するサイドウォールを形成する工程を含み、

前記サイドウォールの形成後、前記ゲート開口部の底部の前記下地層を選択的にエッチングすることによって、前記ゲート開口部の底部を前記III族窒化物半導体積層構造に到達させる工程をさらに含む、請求項16に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、HEMT (High Electron Mobility Transistor: 高電子移動度トランジスタ) を有する半導体装置およびその製造方法に関する。

## 【背景技術】

## 【 0 0 0 2 】

従来、M I S (Metal Insulator Semiconductor) 構造を有する H E M T では、ゲート電極の端部への電界集中を緩和するために、ゲート電極と一体的なゲートフィールドプレートを形成することが知られている。一方、当該電界集中を緩和する他の方策として、ゲート電極の側方に、ソース電極と電氣的に接続されたソースフィールドプレートを形成することが提案されている(たとえば、特許文献 1 ~ 3 を参照)。

## 【先行技術文献】

## 【特許文献】

## 【 0 0 0 3 】

【特許文献 1】特開 2 0 0 8 - 1 2 4 4 4 0 号公報

10

【特許文献 2】特開 2 0 0 8 - 1 3 1 0 3 1 号公報

【特許文献 3】特表 2 0 0 7 - 5 3 7 5 9 3 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 0 4 】

本発明の一実施形態は、寄生容量を低減でき、かつ、ゲート電極および導電層(ソースフィールドプレート)の各端部への電界集中を緩和できる半導体装置およびその製造方法を提供する。

## 【課題を解決するための手段】

## 【 0 0 0 5 】

20

本発明の一実施形態は、ヘテロ接合を含む III 族窒化物半導体積層構造と、前記 III 族窒化物半導体積層構造に達するゲート開口部を有する、前記 III 族窒化物半導体積層構造上の絶縁層と、前記ゲート開口部の底部および側部を覆うゲート絶縁膜と、前記ゲート開口部内で前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、それぞれ前記 III 族窒化物半導体積層構造に電氣的に接続されたソース電極およびドレイン電極と、前記ゲート電極と前記ドレイン電極との間で前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁された導電層であって、前記ソース電極に電氣的に接続された導電層とを含む、半導体装置を提供する。

## 【 0 0 0 6 】

30

本発明の一実施形態は、ヘテロ接合を含む III 族窒化物半導体積層構造と、前記 III 族窒化物半導体積層構造に達するゲート開口部を有する、前記 III 族窒化物半導体積層構造上の絶縁層と、前記ゲート開口部の底部および側部を覆うゲート絶縁膜と、前記ゲート開口部内で前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、それぞれ前記 III 族窒化物半導体積層構造に電氣的に接続されたソース電極およびドレイン電極と、前記ゲート電極と前記ドレイン電極との間で前記ゲート開口部の側部を部分的に形成するように前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁されたソースフィールドプレートであって、前記ソース電極に電氣的に接続されたソースフィールドプレートとを含む、半導体装置を提供する。

40

## 【 0 0 0 7 】

これらの半導体装置は、たとえば、ヘテロ接合を含む III 族窒化物半導体積層構造上に導電層を形成する工程と、前記導電層を覆うように絶縁層を形成する工程と、前記導電層の少なくとも一部に対向する領域を含むエッチング領域から前記絶縁層および前記導電層をエッチングすることによって、ゲート開口部を形成すると共に、当該ゲート開口部の側部に前記導電層を露出させる工程と、前記ゲート開口部の底部および側部を覆うようにゲート絶縁膜を形成する工程と、前記ゲート開口部内の前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極との間に前記導電層を挟むように、前記 III 族窒化物半導体積層構造上にドレイン電極を形成する工程と、前記ゲート電極を挟んで前記ドレイン電極の向かい側にソース電極を形成する工程とを含む、本発明の一実施形態の方法によ

50

て製造することができる。

【0008】

この方法によれば、導電層（ソースフィールドプレート）が、ゲート開口部の形成の際にセルフアライメントプロセスで形成される。これにより、導電層（ソースフィールドプレート）のゲート電極に近い側の端部位置を、ゲート開口部の側部に固定することができる。そのため、ゲート電極と導電層（ソースフィールドプレート）との距離を、ゲート絶縁膜の厚さによって簡単に制御することができる。その結果、半導体装置内の最大電界強度を、意図した値に設計することができる。したがって、ゲート電極および導電層（ソースフィールドプレート）の各端部への電界集中を緩和できる構造を実現することができる。

10

【0009】

そして、得られた半導体装置では、ソース電極に電氣的に接続された導電層（ソースフィールドプレート）が、ゲート・ドレイン間に配置されている。これにより、ゲート電極から一体的に絶縁層上を横方向に延びるゲートフィールドプレートを設けなくて済むので、ゲート・ドレイン間容量 $C_{gd}$ を低減することができる。その結果、半導体装置の寄生容量を低減することができるので、窒化物半導体系デバイスの特徴である高速スイッチング動作、高周波動作等を良好に発揮することができる。

【0010】

本発明の一実施形態は、前記ゲート絶縁膜と前記ゲート開口部の側部との間に配置された絶縁性のサイドウォールをさらに含む。

20

本発明の一実施形態は、前記ソースフィールドプレートに接するように前記ゲート開口部の側部に形成された絶縁性のサイドウォールをさらに含み、前記ゲート絶縁膜は、前記サイドウォールを覆うように形成されている。

【0011】

これらサイドウォールを備える構成は、たとえば、前記ゲート絶縁膜の形成に先立って、前記ゲート開口部の底部および側部、ならびに前記絶縁層の表面を覆うように絶縁膜を形成する工程と、前記ゲート開口部の底部および前記絶縁層の表面上の前記絶縁膜を選択的にエッチングすることによって、前記ゲート開口部の側部にサイドウォールを形成する工程とをさらに含む、本発明の一実施形態の方法によって得ることができる。

【0012】

この構成によれば、ゲート電極と導電層との距離を、主にサイドウォールの厚さによって制御することができる。そのため、ゲート絶縁膜の厚さを、主に、意図したゲートしきい値電圧に合わせて設計することができる。

30

本発明の一実施形態は、前記導電層の形成に先立って、前記導電層を前記III族窒化物半導体積層構造から絶縁するための下地層を前記III族窒化物半導体積層構造上に形成する工程を含み、前記サイドウォールを形成する工程は、前記下地層よりも小さいエッチング選択比を有する絶縁材料を少なくとも最表面に有するサイドウォールを形成する工程を含み、前記サイドウォールの形成後、前記ゲート開口部の底部の前記下地層を選択的にエッチングすることによって、前記ゲート開口部の底部を前記III族窒化物半導体積層構造に到達させる工程をさらに含む。

40

【0013】

この方法によれば、下地層をエッチングする際に、サイドウォールが下地層と一緒にエッチングされて薄くなることを抑制することができる。そのため、下地層のエッチング後においても、設計値に近い厚さを有するサイドウォールを維持することができる。

本発明の一実施形態では、前記サイドウォールは、 $SiO_2$ 、 $SiN$ および $SiON$ からなる群から選択される少なくとも一種の材料を含む。

【0014】

本発明の一実施形態では、前記ゲート電極と前記導電層との距離 $L_{GF}$ が $1\mu m$ 以下である。

この構成によれば、導電層がゲート電極の比較的近くに配置されるので、導電層（ソー

50

スフィールドプレート)の各端部への電界集中を良好に緩和することができる。

本発明の一実施形態では、前記導電層の長さ $L_{FP}$ と、前記ゲート電極と前記ドレイン電極との距離 $L_{GD}$ とが、 $L_{FP} < 1/3 L_{GD}$ を満たす。

【0015】

この構成によれば、導電層(ソースフィールドプレート)の面積が比較的小さいので、導電層の設置に起因するドレイン-ソース間容量 $C_{ds}$ の増加を抑制することができる。

本発明の一実施形態では、前記ゲート絶縁膜は、構成元素としてSi、AlおよびHfからなる群から選択される少なくとも一種の材料を含む。

本発明の一実施形態では、前記ゲート電極は、金属電極を含む。

【0016】

本発明の一実施形態では、前記ゲート電極は、前記ゲート開口部の周縁で前記ゲート絶縁膜上に形成されたオーバーラップ部を含む。

本発明の一実施形態では、前記III族窒化物半導体積層構造は、前記ソース電極および前記ドレイン電極で前記ゲート電極を挟むことによって構成された素子構造を含むアクティブ領域と、当該アクティブ領域外のノンアクティブ領域とを含み、前記ソース電極および前記導電層は、それぞれ、前記ノンアクティブ領域への延長部を含み、前記ソース電極の延長部と前記導電層の延長部とが互いに接続されている。

【0017】

この構成によれば、ソース電極と導電層(ソースフィールドプレート)とを電気的に接続するための構造として、ゲート電極の上方を跨いでソース電極および導電層のそれぞれに電気的に接続される導電構造をアクティブ領域に設ける必要がない。このような導電構造がアクティブ領域に設けられると半導体装置の寄生容量を増加させる要因になり得るが、上記のようにノンアクティブ領域でソース電極と導電層とを接続することによって、寄生容量の増加を抑制することができる。

【0018】

本発明の一実施形態では、前記III族窒化物半導体積層構造は、前記ヘテロ接合を形成する第1半導体層および当該第1半導体層上の第2半導体層を含み、前記第2半導体層は、前記ゲート開口部の底部に選択的に、当該第2半導体層の酸化によって形成された酸化膜を含む。

この構成によれば、ゲート電極の直下の二次元電子ガスを低減させることができるので、ノーマリオフ型のHEMTを実現することができる。

【0019】

本発明の一実施形態では、前記III族窒化物半導体積層構造は、前記ヘテロ接合を形成する第1半導体層および当該第1半導体層上の第2半導体層を含み、前記第2半導体層は、前記ゲート開口部の底部のみ選択的にエッチングされている。

この構成によれば、エッチングによるリセス構造によって、ゲート電極の直下におけるヘテロ接合の形成が防止される。これにより、ゲートバイアスを印加しないとき(ゼロバイアス時)には当該直下領域に二次元電子ガスが形成されないため、ノーマリオフ型のHEMTを実現することができる。

【0020】

本発明の一実施形態は、前記導電層と前記III族窒化物半導体積層構造との間に配置され、前記ソース電極および前記ドレイン電極の形成領域まで延びる下地層をさらに含み、前記ソース電極および/または前記ドレイン電極は、前記下地層内のオーミック電極と、前記オーミック電極上に形成された前記絶縁層内のパッド電極とを含む。

本発明の一実施形態では、前記下地層が5nm~200nmの厚さを有し、前記絶縁層が1.5μm~2μmの厚さを有している。

【0021】

この構成によれば、比較的薄い下地層をエッチングすることによって、オーミックコンタクト用の開口部を形成できるので、当該開口部を形成する際にIII族窒化物半導体積層構造の表面に与えるダメージが少なく済む。これにより、ダメージの少ないIII族窒化

10

20

30

40

50

物半導体積層構造の表面にソース電極およびドレイン電極を接続できるので、良好なオーミックコンタクトを得ることができる。

【0022】

本発明の一実施形態では、前記ゲート電極と前記ソース電極との間で前記絶縁層に埋め込まれ、前記ゲート絶縁膜によって前記ゲート電極から絶縁され、かつ、前記ソース電極からも絶縁された第2導電層をさらに含む。

【図面の簡単な説明】

【0023】

【図1A】図1Aは、本発明の一実施形態に係る半導体装置の模式的な平面図である。

【図1B】図1Bは、本発明の一実施形態に係る半導体装置の模式的な平面図である。

【図2】図2は、前記半導体装置の断面図（図1Aおよび図1BのII-II線断面図）である。

【図3】図3は、前記半導体装置の要部拡大図（図2の破線IIIの内方領域）である。

【図4】図4は、前記半導体装置の製造方法を説明するためのフロー図である。

【図5A】図5Aは、前記半導体装置の製造工程の一部を示す図である。

【図5B】図5Bは、図5Aの次の工程を示す図である。

【図5C】図5Cは、図5Bの次の工程を示す図である。

【図5D】図5Dは、図5Cの次の工程を示す図である。

【図5E】図5Eは、図5Dの次の工程を示す図である。

【図5F】図5Fは、図5Eの次の工程を示す図である。

【図5G】図5Gは、図5Fの次の工程を示す図である。

【図5H】図5Hは、図5Gの次の工程を示す図である。

【図5I】図5Iは、図5Hの次の工程を示す図である。

【図5J】図5Jは、図5Iの次の工程を示す図である。

【図5K】図5Kは、図5Jの次の工程を示す図である。

【図5L】図5Lは、図5Kの次の工程を示す図である。

【図5M】図5Mは、図5Lの次の工程を示す図である。

【図5N】図5Nは、図5Mの次の工程を示す図である。

【図5O】図5Oは、図5Nの次の工程を示す図である。

【図6】図6は、シミュレーションのモデル図である。

【図7】図7は、前記シミュレーションモデルにおける $L_{FP}$ と最大電界強度との関係を示すグラフである。

【図8】図8は、前記シミュレーションモデルにおける $L_{SW}$ と最大電界強度との関係を示すグラフである。

【図9】図9A～図9Cは、前記シミュレーションモデル（SFPなし）におけるチャンネルの広がりを示す図である。

【図10】図10A～図10Cは、前記シミュレーションモデル（SFPなし）におけるチャンネルの広がりを示す図である。

【図11】図11A～図11Cは、前記シミュレーションモデル（SFPあり）におけるチャンネルの広がりを示す図である。

【図12】図12A～図12Cは、前記シミュレーションモデル（SFPあり）におけるチャンネルの広がりを示す図である。

【図13】図13は、寄生容量の評価結果を示す図である。

【図14】図14は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

【発明を実施するための形態】

【0024】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1Aおよび図1Bは、本発明の一実施形態に係る半導体装置1の模式的な平面図である。明瞭化のために、図1Aではソースフィールドプレート8およびフローティングプレート9の領域をハッチングで示し、図1Bではソース電極5の領域をハッチングで示して

10

20

30

40

50

いる。図 1 A および図 1 B は、ハッチングが付された領域が異なる点以外は同一である。

【 0 0 2 5 】

半導体装置 1 は、ベースとなる III 族窒化物半導体積層構造 2 上に、ドレイン電極 3、ゲート電極 4、ソース電極 5 およびプレート膜 6 を有している。たとえば、図 1 A および図 1 B に示すように、ドレイン電極 3 ( D )、ゲート電極 4 ( G ) およびソース電極 5 ( S ) は、D G S G D の順に周期的に配置されている。これにより、ドレイン電極 3 およびソース電極 5 でゲート電極 4 を挟むことによって素子構造 7 が構成されている。プレート膜 6 は、ゲート - ソース間およびドレイン - ゲート間それぞれ配置されている。本発明の導電層の一例としてのソースフィールドプレート 8 がドレイン - ゲート間に配置され、本発明の第 2 導電層の一例としてのフローティングプレート 9 がゲート - ソース間に配置

10

【 0 0 2 6 】

III 族窒化物半導体積層構造 2 の表面には、当該素子構造 7 を含むアクティブ領域 1 0 と、アクティブ領域 1 0 外のノンアクティブ領域 1 1 とを定義できる。ノンアクティブ領域 1 1 は、図 1 A および図 1 B に示すようにアクティブ領域 1 0 に隣接しているだけでもよいし、アクティブ領域 1 0 を取り囲んでいてもよい。

ソース電極 5 は、ノンアクティブ領域 1 1 上の本発明の延長部の一例としてのベース部 1 2 と、当該ベース部 1 2 に一体的に接続された複数の電極部 1 3 とを含む。この実施形態のソース電極 5 は、複数の電極部 1 3 が互いに平行なストライプ状に延びる櫛歯状である。ベース部 1 2 は、ノンアクティブ領域 1 1 内に、電極部 1 3 用の接続端部 1 4 を有している。複数の電極部 1 3 は、当該接続端部 1 4 からアクティブ領域 1 0 へ向かって延びている。つまり、複数の電極部 1 3 は、アクティブ領域 1 0 およびノンアクティブ領域 1 1 の間に跨っている。

20

【 0 0 2 7 】

隣り合う電極部 1 3 の間のスペース 1 5 は、ドレイン電極 3 が配置された領域である。この実施形態では、各スペース 1 5 に直線状のドレイン電極 3 が配置されることによって、二つの櫛歯状のソース電極 5 およびドレイン電極 3 が、互いに係合している。なお、図示はしていないが、ドレイン電極 3 は、ソース電極 5 と同様に、ノンアクティブ領域 1 1 上のベース部と、当該ベース部に一体的に接続された複数の電極部 ( スペース 1 5 に配置される部分 ) とを含んでいてもよい。

30

【 0 0 2 8 】

ゲート電極 4 は、ノンアクティブ領域 1 1 上のベース部 1 6 と、当該ベース部 1 6 に一体的に接続された複数の電極部 1 7 とを含む。この実施形態のゲート電極 4 は、複数の電極部 1 7 が互いに平行なストライプ状に延びる櫛歯状である。ベース部 1 6 は、ノンアクティブ領域 1 1 内に、電極部 1 7 用の接続端部 1 8 を有している。接続端部 1 8 は、アクティブ領域 1 0 とノンアクティブ領域 1 1 との境界 ( 素子分離ライン 1 9 ) を基準に、ソース電極 5 の接続端部 1 4 よりも外側 ( 相対的にアクティブ領域 1 0 から遠い側 ) に設けられている。複数の電極部 1 7 は、当該接続端部 1 8 からアクティブ領域 1 0 へ向かって延びている。つまり、複数の電極部 1 7 は、アクティブ領域 1 0 およびノンアクティブ領域 1 1 の間に跨っている。また、ゲート電極 4 のベース部 1 6 は、ソース電極 5 のベース部 1 2 よりも外側の引き出し部 2 0 を含む。たとえば、引き出し部 2 0 は、ゲート電極 4 に対するコンタクトを形成するための領域である。

40

【 0 0 2 9 】

ソースフィールドプレート 8 は、ノンアクティブ領域 1 1 上に本発明の延長部の一例としてのベース部 2 1 と、当該ベース部 2 1 に一体的に接続された複数の電極部 5 4 とを含む。この実施形態のソースフィールドプレート 8 は、ベース部 2 1 の両端部から一对の電極部 5 4 が延びるアーチ状である。ベース部 2 1 は、ノンアクティブ領域 1 1 内に、電極部 5 4 用の接続端部 2 2 を有している。接続端部 2 2 は、素子分離ライン 1 9 を基準に、ソース電極 5 の接続端部 1 4 とほぼ同じ位置に設けられている。一对の電極部 5 4 は、当該接続端部 2 2 からアクティブ領域 1 0 へ向かって延びている。つまり、一对の電極部 5

50

4 は、アクティブ領域 10 およびノンアクティブ領域 11 の間に跨っている。

【0030】

ソース電極 5 のベース部 12 とソースフィールドプレート 8 のベース部 21 は、ノンアクティブ領域 11 内で部分的に重なっている。この重なり部分において、ソース電極 5 およびソースフィールドプレート 8 は、ソースコンタクト 23 を介して接続されている。たとえば、ソースコンタクト 23 は、図 1A および図 1B に示すように、スペース 15 に対向する位置（電極部 13 の延長部を避けた位置）に設けられている。

【0031】

このようにソースコンタクト 23 をノンアクティブ領域 11 に設ければ、ソース電極 5 とソースフィールドプレート 8 とを電氣的に接続するための構造として、ゲート電極 4 の上方を跨いでソース電極 5 およびソースフィールドプレート 8 のそれぞれに電氣的に接続される導電構造をアクティブ領域 10 に設ける必要がない。このような導電構造がアクティブ領域 10 に設けられると半導体装置 1 の寄生容量を増加させる要因になり得るが、上記のようにノンアクティブ領域 11 でソース電極 5 とソースフィールドプレート 8 とを接続することによって、寄生容量の増加を抑制することができる。

【0032】

フローティングプレート 9 は、ノンアクティブ領域 11 上にベース部 51 と、当該ベース部 51 に一体的に接続された複数の電極部 55 とを含む。この実施形態のフローティングプレート 9 は、ベース部 51 の両端部から一对の電極部 55 が伸びるアーチ状である。ベース部 51 は、ノンアクティブ領域 11 内に、電極部 55 用の接続端部 52 を有している。接続端部 52 は、素子分離ライン 19 を基準に、ソース電極 5 の接続端部 14 とほぼ同じ位置に設けられている。一对の電極部 55 は、当該接続端部 52 からアクティブ領域 10 へ向かって伸びている。つまり、一对の電極部 55 は、アクティブ領域 10 およびノンアクティブ領域 11 の間に跨っている。

【0033】

次に、図 2 および図 3 を主に参照して、半導体装置 1 の断面構造を説明する。

図 2 は、半導体装置 1 の断面図（図 1A および図 1B のII-II線断面図）である。図 3 は、半導体装置 1 の要部拡大図（図 2 の破線IIIの内方領域）である。

III族窒化物半導体積層構造 2 は、図 3 に示すように、本発明の第 1 半導体層の一例としての電子走行層 24 と、電子走行層 24 上の本発明の第 2 半導体層の一例としての電子供給層 25 とを含む。電子走行層 24 および電子供給層 25 は、互いに Al 組成の異なる III族窒化物半導体からなっている。たとえば、電子走行層 24 は、Ga<sub>1-x</sub>N<sub>x</sub>層からなっている。また、その厚さは、0.1 μm ~ 3 μm であってもよい。たとえば、電子供給層 25 は、Al<sub>1-y</sub>N<sub>y</sub>層からなっている。また、その厚さは、1 nm ~ 7 nm であってもよい。なお、電子走行層 24 および電子供給層 25 は、ヘテロ接合を形成して二次元電子ガスを発生させることができる組成であれば特に限定されず、それぞれ、Al<sub>x</sub>Ga<sub>1-x</sub>N<sub>y</sub>層（0 < x < 1）および Al<sub>y</sub>Ga<sub>1-y</sub>N<sub>x</sub>層（0 < y < 1）からなっている。また、

【0034】

このように、電子走行層 24 と電子供給層 25 とは、互いに Al 組成の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。そして、この格子不整合に起因する分極のために、電子走行層 24 と電子供給層 25 との界面に近い位置（たとえば界面から数 μm 程度の距離の位置）には、その分極に起因する二次元電子ガス 26 が広がっている。

【0035】

電子供給層 25 には、その表面から電子走行層 24 に至るように、酸化膜 27 が選択的に形成されている。酸化膜 27 は、電子供給層 25 とほぼ等しい膜厚を有している。たとえば、酸化膜 27 は、熱酸化膜であり、電子走行層 24 との界面に損傷を与えることなく形成された酸化膜である。電子供給層 25 が Al<sub>1-y</sub>N<sub>y</sub>層である場合、酸化膜 27 は、Al<sub>1-y</sub>O<sub>y</sub>N<sub>x</sub>膜からなっている。また、

【0036】

10

20

30

40

50

なお、III族窒化物半導体積層構造2は、シリコン基板等の基板上に、バッファ層を介して積層されていてもよい。

半導体装置1は、III族窒化物半導体積層構造2上に形成された、下地層28および絶縁層29をさらに含む。

下地層28は、ドレイン電極3およびソース電極5の形成領域を含むIII族窒化物半導体積層構造2の表面全体に形成されている。たとえば、下地層28は、SiN膜からなってもよく、その厚さは、5nm~200nmであってもよい。

#### 【0037】

絶縁層29は、下地層28を覆っており、第1層30および当該第1層30上の第2層31を含む。たとえば、第1層30および第2層31は、共にSiO<sub>2</sub>膜からなってもよい。また、絶縁層29は、1.5μm~2μmの厚さを有していてもよい。個別には、第1層30が500nm~1000nmの厚さを有し、第2層31が500nm~1000nmの厚さを有していてもよい。

10

#### 【0038】

第1層30および下地層28には、III族窒化物半導体積層構造2に達するゲート開口部32が形成されている。ゲート開口部32の底部には、酸化膜27が露出している。ゲート開口部32の底部および側部を覆うようにゲート絶縁膜33が形成されている。ゲート絶縁膜33は、ゲート開口部32内に加えて、第1層30と第2層31の間にも形成されている。たとえば、ゲート絶縁膜33は、構成元素としてSi、AlおよびHfからなる群から選択される少なくとも一種の材料膜からなってもよい。より具体的には、ゲート絶縁膜33は、SiN、SiO<sub>2</sub>、SiON、Al<sub>2</sub>O<sub>3</sub>、AlN、AlON、HfSiOおよびHfO<sub>2</sub>等からなる群から選択される少なくとも一種の材料膜からなってもよい。これらのうち、好ましくは、Al<sub>2</sub>O<sub>3</sub>膜が挙げられる。また、ゲート絶縁膜33は、10nm~100nmの厚さを有していてもよい。

20

#### 【0039】

ゲート電極4は、ゲート開口部32に埋め込まれている。たとえば、ゲート電極4は、ゲート開口部32の開口端よりも上方に出張らないようにゲート開口部32に充填されていてもよい。代わりに、ゲート電極4は、図3に破線で示すように、ゲート開口部32の周縁でゲート絶縁膜33上に形成されたオーバーラップ部34を含んでいてもよい。たとえば、ゲート電極4は、Mo、Ni等の金属電極からなってもよいし、ドーフトポリシリコン等の半導体電極からなってもよい。金属電極はポリシリコンに比べて埋め込み性に劣るので、金属電極を用いた場合に、特にオーバーラップ部34が形成され易い。

30

#### 【0040】

ソースフィールドプレート8およびフローティングプレート9は、ゲート開口部32の側部を部分的に形成するように、ゲート電極4の側方に配置されている。具体的には、ソースフィールドプレート8およびフローティングプレート9は、ゲート開口部32の側部の下側で露出するように、下地層28上に、絶縁膜36を介して形成されている。つまり、ゲート開口部32の側部は、下側がソースフィールドプレート8およびフローティングプレート9で形成され、上側が絶縁層29(第1層30)で形成されることによって、導電層/絶縁層の積層界面を有している。

40

#### 【0041】

そして、ソースフィールドプレート8およびフローティングプレート9に接するように、ゲート開口部32の側部に絶縁性のサイドウォール35が形成されている。つまり、サイドウォール35は、ゲート開口部32の側部とゲート絶縁膜33との間に配置されている。たとえば、サイドウォール35は、SiO<sub>2</sub>、SiNおよびSiONからなる群から選択される少なくとも一種の材料膜からなってもよい。これらのうち、好ましくは、SiO<sub>2</sub>膜が挙げられる。また、サイドウォール35は、10nm~200nmの厚さを有していてもよい。

#### 【0042】

50

ソースフィールドプレート 8 およびフローティングプレート 9 は、サイドウォール 3 5 およびゲート絶縁膜 3 3 によって、ゲート電極 4 から絶縁されている。たとえば、ゲート電極 4 とソースフィールドプレート 8 およびフローティングプレート 9 との距離  $L_{GF}$  は、 $1 \mu\text{m}$  以下であり、好ましくは、 $50 \text{ nm} \sim 200 \text{ nm}$  であってよい。距離  $L_{GF}$  は、この実施形態ではゲート絶縁膜 3 3 およびサイドウォール 3 5 の総厚さで定義されるが、サイドウォール 3 5 を有しない構成では、距離  $L_{GF} =$  ゲート絶縁膜 3 3 の厚さであってよい。また、ソースフィールドプレート 8 の長さ  $L_{FP}$  は、たとえば、ゲート電極 4 とドレイン電極 3 との距離  $L_{GD}$  と間に、 $L_{FP} < 1/3 L_{GD}$  を満たしている。たとえば、半導体装置 1 の耐圧が  $200 \text{ V}$  以下の場合、長さ  $L_{FP}$  は  $0.25 \mu\text{m} \sim 1.5 \mu\text{m}$  であってよく、距離  $L_{GD}$  は  $1 \mu\text{m} \sim 6 \mu\text{m}$  であってよい。また、ソースフィールドプレート 8 およびフローティングプレート 9 は、Mo 膜からなってもよく、その厚さは、 $10 \text{ nm} \sim 200 \text{ nm}$  であってよい。

#### 【0043】

絶縁層 2 9 および下地層 2 8 には、III 族窒化物半導体積層構造 2 に達する、ソースコンタクトホール 3 7 およびドレインコンタクトホール 3 8 が形成されている。ソースコンタクトホール 3 7 およびドレインコンタクトホール 3 8 は、ゲート開口部 3 2 から横方向に離れた位置に形成されている。ソースコンタクトホール 3 7 およびドレインコンタクトホール 3 8 には、それぞれ、ソース電極 5 およびドレイン電極 3 が埋め込まれている。ソース電極 5 およびドレイン電極 3 は、それぞれ、ソースコンタクトホール 3 7 およびドレインコンタクトホール 3 8 内で III 族窒化物半導体積層構造 2 に電氣的に接続されている。

#### 【0044】

ソースコンタクトホール 3 7 およびドレインコンタクトホール 3 8 は、下地層 2 8 の部分で、絶縁層 2 9 の部分よりも相対的に大きなオーミックコンタクト開口 3 9, 4 0 を有している（オーミックコンタクト開口 3 9 は図 1 A、図 1 B および図 3 参照、オーミックコンタクト開口 4 0 は図 1 A および図 1 B 参照）。ソース電極 5 およびドレイン電極 3 は、それぞれ、オーミックコンタクト開口 3 9, 4 0 にオーミック電極 4 1, 4 2 を有し、絶縁層 2 9 内にパッド電極 4 3, 4 4 を有している。図 1 A および図 1 B に示すように、オーミック電極 4 1, 4 2 は、スペース 1 5 の奥行き方向における端部が互いに同じ位置に配置されているが、たとえば、ドレイン側のオーミック電極 4 2 の端部が選択的に後退していてもよい。パッド電極 4 3, 4 4 は、オーミック電極 4 1, 4 2 上に形成され、その頂部が絶縁層 2 9 の表面から露出している。たとえば、オーミック電極 4 1, 4 2 およびパッド電極 4 3, 4 4 は、Ti / Al 膜からなってもよい。

#### 【0045】

なお、この実施形態では図 3 と異なる位置での切断面に現れる構成であるが、絶縁層 2 9 には、ソースフィールドプレート 8 に達するコンタクトホール 4 6 が形成されていてもよい。このコンタクトホール 4 6 には、図 1 に示したソースコンタクト 2 3 が埋め込まれ、ソースフィールドプレート 8 に接続されていてもよい。

この半導体装置 1 では、前述したように、電子走行層 2 4 上に Al 組成の異なる電子供給層 2 5 が形成されてヘテロ接合が形成されている。これにより、電子走行層 2 4 と電子供給層 2 5 との界面付近の電子走行層 2 4 内に二次元電子ガス 2 6 が形成され、この二次元電子ガス 2 6 をチャネルとして利用した HEMT が形成されている。ゲート電極 4 は、酸化膜 2 7 およびゲート絶縁膜 3 3 の積層膜を挟んで電子走行層 2 4 に対向しており、ゲート電極 4 の直下には、電子供給層 2 5 は存在しない。したがって、ゲート電極 4 の直下では、電子供給層 2 5 と電子走行層 2 4 との格子不整合による分極に起因する二次元電子ガス 2 6 が形成されない。よって、ゲート電極 4 にバイアスを印加していないとき（ゼロバイアス時）には、二次元電子ガス 2 6 によるチャネルはゲート電極 4 の直下で遮断されている。こうして、ノーマリオフ型の HEMT が実現されている。ゲート電極 4 に適切なオン電圧（たとえば  $5 \text{ V}$ ）を印加すると、ゲート電極 4 の直下の電子走行層 2 4 内にチャネルが誘起され、ゲート電極 4 の両側の二次元電子ガス 2 6 が接続される。これにより、

ソース - ドレイン間が導通する。

【 0 0 4 6 】

使用に際しては、たとえば、ソース電極 5 とドレイン電極 3 との間に、ドレイン電極 3 側が正となる所定の電圧（たとえば 2 0 0 V ~ 4 0 0 V）が印加される。その状態で、ゲート電極 4 に対して、ソース電極 5 を基準電位（0 V）として、オフ電圧（0 V）またはオン電圧（5 V）が印加される。

酸化膜 2 7 と電子走行層 2 4 との界面は、電子供給層 2 5 と電子走行層 2 4 との界面に連続していて、ゲート電極 4 の直下における電子走行層 2 4 の界面の状態は、電子供給層 2 5 と電子走行層 2 4 との界面の状態と同等である。そのため、ゲート電極 4 の直下の電子走行層 2 4 における電子移動度は高い状態に保持されている。こうして、この実施形態は、ノーマリオフ型の H E M T 構造を有する窒化物半導体装置を提供する。

10

【 0 0 4 7 】

次に、図 4 および図 5 A ~ 図 5 O を参照して、半導体装置 1 の製造方法を説明する。

図 4 は、半導体装置 1 の製造方法を説明するためのフロー図である。図 5 A ~ 図 5 O は、半導体装置 1 の製造工程を工程順に示す図である。

半導体装置 1 を製造するには、たとえば、基板（図示せず）上に、バッファ層（図示せず）および電子走行層 2 4 が順にエピタキシャル成長させられ、図 5 A に示すように、さらに電子走行層 2 4 上に電子供給層 2 5 がエピタキシャル成長させられる。これにより、III 族窒化物半導体積層構造 2 が形成される（ステップ S 1）。

【 0 0 4 8 】

20

次に、図 5 B に示すように、電子供給層 2 5 上の全面を覆うように、たとえば、C V D 法（化学的気相成長法）によって、下地層 2 8 が形成される（ステップ S 2）。

次に、図 5 C に示すように、たとえば、ドライエッチングによって、下地層 2 8 が選択的に除去される（ステップ S 3）。これにより、ソースコンタクトホール 3 7 のオーミックコンタクト開口 3 9 およびドレインコンタクトホール 3 8 のオーミックコンタクト開口 4 0 が同時に形成される（図 5 C およびそれ以降では、ドレインコンタクトホール 3 8 の図示およびその説明を省略）。

【 0 0 4 9 】

次に、図 5 D に示すように、オーミックコンタクト開口 3 9 内に、オーミック電極 4 1 が形成される（ステップ S 4）。図 5 C で示したように、オーミックコンタクト開口 3 9 の形成に当たって、後の工程で形成される絶縁層 2 9 に比べて薄い膜である下地層 2 8 のエッチングだけで済む。そのため、絶縁層 2 9 をエッチングして開口を形成する場合に比べて、III 族窒化物半導体積層構造 2 の表面に与えるダメージを低減することができる。その結果、ダメージの少ない III 族窒化物半導体積層構造 2 の表面にオーミック電極 4 1（ソース電極 5）を接続できるので、良好なオーミックコンタクトを得ることができる。

30

【 0 0 5 0 】

次に、図 5 E に示すように、電子供給層 2 5 上の全面を覆うように、たとえば、C V D 法（化学的気相成長法）によって、絶縁膜 3 6 が形成され、さらに、スパッタ法、蒸着法等によって、絶縁膜 3 6 上に本発明の導電層の一例としてのプレート膜 4 5 が形成される（ステップ S 5）。

40

次に、図 5 F に示すように、たとえば、ドライエッチングによって、プレート膜 4 5 が選択的に除去される（ステップ S 6）。これにより、ソース電極 5 の形成領域とドレイン電極 3 の形成領域の各間に、プレート膜 6 が形成される。隣り合うプレート膜 6 の間の距離は、少なくとも、後の工程で形成されるソースコンタクトホール 3 7 の開口径よりも大きく、好ましくは、図 5 F に示すように、オーミックコンタクト開口 3 9 の開口径よりも大きくされる。こうすることにより、ソースコンタクトホール 3 7 の形成時に横方向に位置ずれしても、ソース電極 5 とプレート膜 6 との接触を防止することができる。つまり、これは、ソース電極 5 が、ソースコンタクト 2 3 以外の部分でプレート膜 6 に接続されることを防止する。

【 0 0 5 1 】

50

次に、図5Gに示すように、電子供給層25上の全面を覆うように、たとえば、CVD法(化学的気相成長法)によって、絶縁層29の第1層30が形成される(ステップS7)。これにより、プレート膜6は、第1層30に埋め込まれる。

次に、図5Hに示すように、プレート膜6に対向する領域を含むエッチング領域から第1層30およびプレート膜6をエッチングすることによって、ゲート開口部32が形成される(ステップS8)。これにより、プレート膜6は、ゲート開口部32に対して自己整合的に、ドレイン側のソースフィールドプレート8とソース側のフローティングプレート9とに分離される。したがって、ソースフィールドプレート8およびフローティングプレート9は、この段階では、ゲート開口部32の側部に露出することになる。

#### 【0052】

次に、図5Iに示すように、電子供給層25上の全面を覆うように、たとえば、CVD法(化学的気相成長法)によって、絶縁膜47が形成される(ステップS9)。絶縁膜47を形成する工程は、絶縁層29に接する下層膜48を形成する工程と、絶縁膜47の最表面を形成する上層膜49を形成する工程とを含むことによって、絶縁膜の積層構造を形成する工程を含んでもよい。当該積層構造は、二層構造からなってもよいし、三層以上の構造からなってもよい。たとえば、下層膜48は、 $\text{SiO}_2$ 膜からなってもよく、上層膜49は、 $\text{Al}_2\text{O}_3$ 膜からなってもよい。絶縁層29および下層膜48が共に $\text{SiO}_2$ 膜である場合、絶縁層29に対する絶縁膜47(下層膜48)の密着性を高めることができる。そのため、後の工程において、サイドウォール35の膜剥がれを防止することができる。

#### 【0053】

次に、図5Jに示すように、たとえば、エッチバックによって、絶縁膜47の絶縁層29上の部分が選択的に除去され、ゲート開口部32の側部上にサイドウォール35が形成される(ステップS10)。上層膜49として $\text{Al}_2\text{O}_3$ 膜を採用していると、エッチバック後に、エッチングされ難い $\text{Al}_2\text{O}_3$ 膜の一部がゲート開口部32から上方への突出部50として残ることがある。

#### 【0054】

次に、図5Kに示すように、たとえば、ドライエッチングによって、ゲート開口部32の底部における下地層28が選択的に除去される(ステップS11)。これにより、ゲート開口部32の底部にIII族窒化物半導体積層構造2の電子供給層25が露出する。下地層28が $\text{SiN}$ 膜であり、上層膜49が $\text{Al}_2\text{O}_3$ 膜である場合、下地層28用のエッチャント(たとえば、 $\text{CF}_4$ ガス等)に対して上層膜49のエッチング選択比を小さくすることができる。したがって、下地層28をエッチングする際に、下層膜48を上層膜49で保護できるので、サイドウォール35(下層膜48)が下地層28と一緒にエッチングされて薄くなることを抑制することができる。そのため、下地層28のエッチング後においても、設計値に近い厚さを有するサイドウォール35を維持することができる。

#### 【0055】

次に、図5Lに示すように、たとえば、ドライエッチングによって、サイドウォール35の表面部が選択的に除去される。この実施形態では、最表面を形成する上層膜49が選択的に除去されることによって、下層膜48がサイドウォール35として残ることとなる。上層膜49が $\text{Al}_2\text{O}_3$ 膜である場合、たとえば、 $\text{BCl}_3$ ガスがエッチャントとして使用されてもよい。その後、電子供給層25のゲート開口部32に露出した部分が選択的に酸化されることによって、電子供給層25の一部が酸化膜27となる。

#### 【0056】

次に、図5Mに示すように、電子供給層25上の全面を覆うように、たとえば、CVD法(化学的気相成長法)によって、ゲート絶縁膜33が形成され、さらにゲート絶縁膜33の内側にゲート電極4が埋め込まれる(ステップS13)。ゲート電極4の形成後、電子供給層25上の全面を覆うように、たとえば、CVD法(化学的気相成長法)によって、第2層31が形成される。

#### 【0057】

10

20

30

40

50

次に、図 5 N に示すように、オーミック電極 4 1 およびソースフィールドプレート 8 に対向する領域を含むエッチング領域から第 2 層 3 1、ゲート絶縁膜 3 3 および第 1 層 3 0 が、たとえば、ドライエッチングによって、選択的に除去される。これにより、ソースコンタクトホール 3 7、ドレインコンタクトホール 3 8 (図 1 A、図 1 B および図 2 参照) およびコンタクトホール 4 6 が同時に形成される (ステップ S 1 4)。

【 0 0 5 8 】

次に、図 5 O に示すように、電子供給層 2 5 上の全面を覆うように、たとえば、スパッタ法、蒸着法等によって、絶縁層 2 9 上に電極膜が形成され、この電極膜をパターンニングすることによって、ソース電極 5 (パッド電極 4 3)、ドレイン電極 3 (パッド電極 4 4) およびソースコンタクト 2 3 が形成される (ステップ S 1 5)。以上の工程を経て、図 1 A ~ 図 3 に示す半導体装置 1 が得られる。

10

【 0 0 5 9 】

以上の方法によれば、図 5 H に示すように、ソースフィールドプレート 8 が、ゲート開口部 3 2 の形成の際にセルフアライメントプロセスで形成される。これにより、ソースフィールドプレート 8 がゲート開口部 3 2 の側部に露出するので、ソースフィールドプレート 8 のゲート電極 4 に近い側の端部位置を、ゲート開口部 3 2 の側部に固定することができる。そのため、図 3 に示すように、ゲート電極 4 とソースフィールドプレート 8 との距離  $L_{GF}$  を、ゲート絶縁膜 3 3 およびサイドウォール 3 5 によって簡単に制御することができる。その結果、半導体装置 1 内の最大電界強度を、意図した値に設計することができる。したがって、ゲート電極 4 およびソースフィールドプレート 8 の各端部への電界集中を緩和できる構造を実現することができる。

20

【 0 0 6 0 】

この効果は、たとえば、図 6 ~ 図 8 を参照して証明することができる。図 6 は、シミュレーションのモデル図である。

このシミュレーションモデルでは、図 3 の主な構成に関して次の条件を設定した。

・ III 族窒化物半導体積層構造 2 : GaN (  $1.0 \mu\text{m}$ ,  $1 \times 10^{16} \text{cm}^{-3}$  ) / AlGaIn

- ・ 下地層 2 8 : SiN, 100 nm
- ・ 絶縁膜 3 6 : Al<sub>2</sub>O<sub>3</sub>, 40 nm
- ・ ソースフィールドプレート (SFP) 8 : 長さ  $L_{FP}$
- ・ 絶縁層 2 9 : SiO<sub>2</sub>, 300 nm
- ・ ゲート絶縁膜 3 3 : Al<sub>2</sub>O<sub>3</sub>, 40 nm
- ・ サイドウォール 3 5 : SiO<sub>2</sub>, 厚さ  $L_{SW}$

30

このような条件下において、ソースフィールドプレート 8 の長さ  $L_{FP}$  およびサイドウォール 3 5 の厚さ  $L_{SW}$  を変化させたときに ( $L_{GD} = 6.0 \mu\text{m}$ ,  $V_{DS} = 200 \text{V}$ )、電界強度分布がどのように変化するかをシミュレーションした。結果を、図 7 および図 8 に示す。

【 0 0 6 1 】

図 7 は、シミュレーションモデルにおける  $L_{FP}$  と最大電界強度との関係を示すグラフである。図 7 では、 $L_{FP} = 0 \mu\text{m}$  (つまり、ソースフィールドプレート 8 なし) のときを 1 として、測定値を規格化している。図 7 によれば、ソースフィールドプレート 8 の設置によって、最大電界強度を緩和できていることが分かる。そして、この電界緩和効果は、 $L_{FP} > 1 \mu\text{m}$  ( $= 1/6 L_{GD}$ ) で飽和することから、長さ  $L_{FP}$  の増加に伴うドレイン-ソース間容量  $C_{ds}$  の増加を考慮して、長さ  $L_{FP}$  は、少なくとも距離  $L_{GD}$  の  $1/3$  未満程度であることが好ましい。

40

【 0 0 6 2 】

一方、図 8 は、シミュレーションモデルにおける  $L_{SW}$  と最大電界強度との関係を示すグラフである。図 8 では、 $L_{SW} = 50 \text{nm}$  のときを 1 として、測定値を規格化している。図 8 によれば、最大電界強度は、サイドウォール 3 5 の厚さ  $L_{SW}$  に依存しないことが分かる。言い換えれば、図 8 は、図 3 に示したゲート電極 4 とソースフィールドプレート

50

8との距離 $L_{GF}$ は、小さくても大きくても、最大電界強度に与える影響が低いことを示している。したがって、ゲート絶縁膜33およびサイドウォール35の厚さを調節して、ソースフィールドプレート8をゲート電極4の比較的近く(たとえば、 $1\mu\text{m}$ 以下)に配置することによって、ソースフィールドプレート8の端部への電界集中を良好に緩和することができる。

#### 【0063】

さらに、図6のモデルを用いて、III族窒化物半導体積層構造2におけるチャンネルの広がりについても検証した。図9A~図9Cおよび図10A~図10Cは、シミュレーションモデル(SFPなし)におけるチャンネルの広がりを示す図である。図11A~図11Cおよび図12A~図12Cは、シミュレーションモデル(SFPあり)におけるチャンネルの広がりを示す図である。

10

#### 【0064】

図11A~図11Cおよび図12A~図12Cから、半導体装置1のようにMIS構造を用いたノーマリオフ型のGaN-HEMTでは、ソースフィールドプレート8が存在すると、ゲート電圧によって発生するキャリアがソースフィールドプレート8の直下に広がらない結果が得られている。このような場合に、たとえば、ソースフィールドプレート8の直下に酸化膜領域が形成されるなどして二次元電子ガス26のキャリアが存在していないと、ソースフィールドプレート8の直下の酸化膜領域でポテンシャルが高くなることがある。そのため、ゲート電極4に比較的高いバイアスを印加しなければポテンシャルが下がらず、ソース-ドレイン間に電流が流れないおそれがある。この点、この実施形態では、図5Hに示すように、ソースフィールドプレート8が、ゲート開口部32の形成の際にセルフアライメントプロセスで形成される。そのため、ソースフィールドプレート8の直下に酸化膜27が形成されることがない。したがって、ゲート電極4とソースフィールドプレート8との距離 $L_{GF}$ を最大限に小さくすることによって、比較的低いゲート電圧でチャンネルを形成できるので、デバイスのオン特性を最大限に引き出すことができる。しかも、このような構造を、ゲート絶縁膜33およびサイドウォール35の厚さを調節という簡単な手法で実現することができる。また、この実施形態によれば、サイドウォール35が備えられているため、ゲート電極4とソースフィールドプレート8との距離 $L_{GF}$ を、主にサイドウォール35の厚さによって制御することができる。そのため、ゲート絶縁膜33の厚さを、主に、意図したゲートしきい値電圧に合わせて設計することができる。

20

30

#### 【0065】

そして、半導体装置1では、ソース電極5に電気的に接続されたソースフィールドプレート8が、ゲート-ドレイン間に配置されている。これにより、ゲート電極4から一体的に絶縁層29上を横方向に延びるゲートフィールドプレートを設けなくて済むので、ゲート-ドレイン間容量 $C_{gd}$ を低減することができる。その結果、半導体装置1の寄生容量を低減することができるので、窒化物半導体系デバイスの特徴である高速スイッチング動作、高周波動作等を良好に発揮することができる。この効果は、たとえば、図13を参照して証明することができる。

#### 【0066】

図13は、寄生容量の評価結果を示す図である。図13において、実線が、ソースフィールドプレート(SFP)8を備えている半導体装置1の各寄生容量の変化を示しており、破線が、ソースフィールドプレート8に代えてゲートフィールドプレート(GFP)を備えている半導体装置の各寄生容量の変化を示している。

40

図13によれば、SFP構造では、ソース電位のソースフィールドプレート8とドレイン電位の二次元電子ガス26とが対向することになるため(図3参照)、低電圧領域で $C_{oss}(=C_{ds}+C_{gd})$ が大きくなる傾向があるが、 $C_{iss}(=C_{gs}+C_{gd})$ および $C_{rss}(=C_{gd})$ を含めた寄生容量全体で判断したときには、GFP構造よりも容量を低減できていることが分かる。

#### 【0067】

以上、本発明の実施形態について説明したが、本発明は、さらに他の形態で実施するこ

50

とも可能である。

たとえば、図 1 4 に示す半導体装置 6 1 は、ノーマリオフ型の H E M T を実現する構造として、酸化膜 2 7 に代えて、リセス 5 3 を有している。リセス 5 3 は、たとえば、ゲート開口部 3 2 の底部のみを選択的にエッチングすることによって、電子供給層 2 5 を貫通し、電子走行層 2 4 の表層部に至るように形成されていてもよい。リセス 5 3 によって、ゲート電極 4 の直下における電子走行層 2 4 と電子供給層 2 5 とのヘテロ接合の形成が防止される。これにより、ゲートバイアスを印加しないとき（ゼロバイアス時）には当該直下領域に二次元電子ガス 2 6 が形成されないので、ノーマリオフ型の H E M T を実現することができる。

【 0 0 6 8 】

10

また、半導体装置 1 は、サイドウォール 3 5 を備えていなくてもよい。この場合、ゲート絶縁膜 3 3 のみの厚さに基づいて、ゲート電極 4 とソースフィールドプレート 8 との距離  $L_{GF}$  を制御することができる。

また、半導体装置 1 は、ソース - ゲート間のフローティングプレート 9 を備えていなくてもよい。つまり、ソース - ゲート間およびゲート - ドレイン間のうち、後者のみに選択的にフィールドプレート（ソースフィールドプレート 8）が設けられていてもよい。このような構成は、たとえば、図 5 H に示すエッチング時に、エッチング領域を、プレート膜 6 の端部の内外に跨る領域として設定すればよい。

【 0 0 6 9 】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

20

【符号の説明】

【 0 0 7 0 】

- 1 半導体装置
- 2 III族窒化物半導体積層構造
- 3 ドレイン電極
- 4 ゲート電極
- 5 ソース電極
- 6 プレート膜
- 7 素子構造
- 8 ソースフィールドプレート
- 9 フローティングプレート
- 10 アクティブ領域
- 11 ノンアクティブ領域
- 12 （ソース電極）ベース部
- 13 （ソース電極）電極部
- 21 （ソースフィールドプレート）ベース部
- 23 ソースコンタクト
- 24 電子走行層
- 25 電子供給層
- 26 二次元電子ガス
- 27 酸化膜
- 28 下地層
- 29 絶縁層
- 30 第 1 層
- 31 第 2 層
- 32 ゲート開口部
- 33 ゲート絶縁膜
- 34 オーバラップ部
- 35 サイドウォール

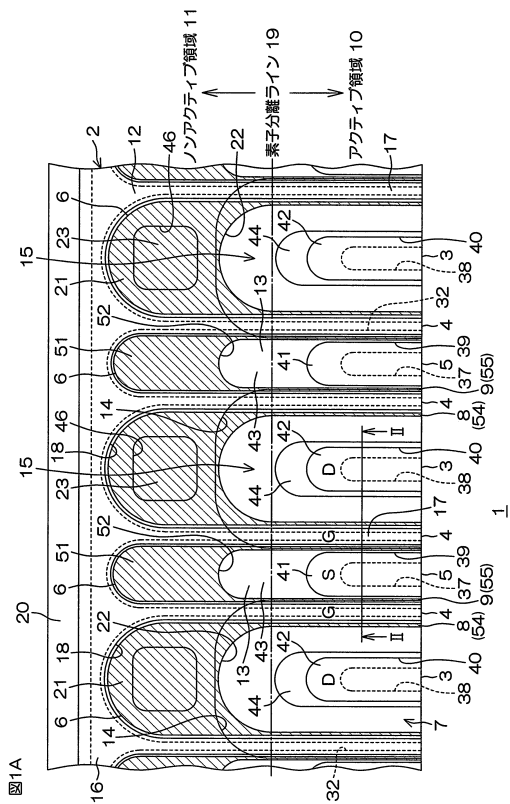
30

40

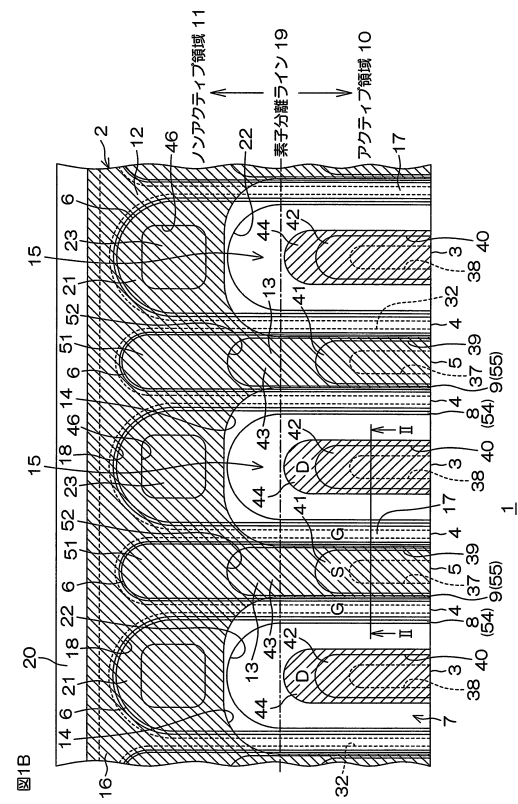
50

- 4 1 オーミック電極
- 4 2 オーミック電極
- 4 3 パッド電極
- 4 4 パッド電極
- 4 5 プレート膜
- 4 7 絶縁膜
- 4 9 上層膜
- 5 0 突出部
- 5 3 リセス
- 5 4 (ソースフィールドプレート) 電極部
- 6 1 半導体装置

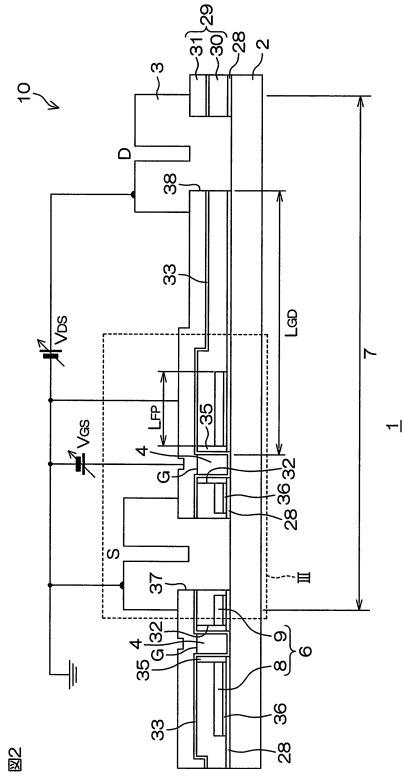
【図 1 A】



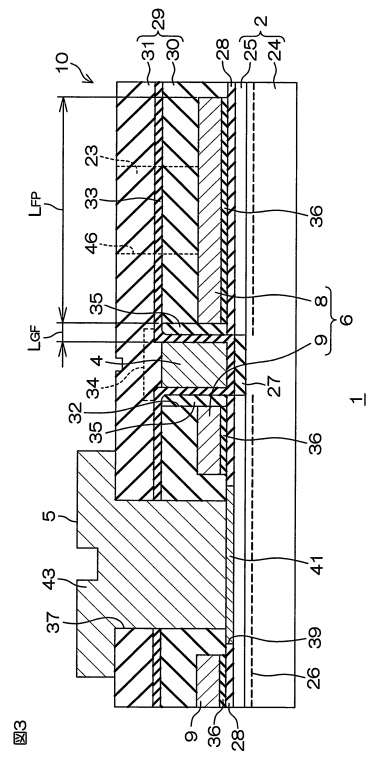
【図 1 B】



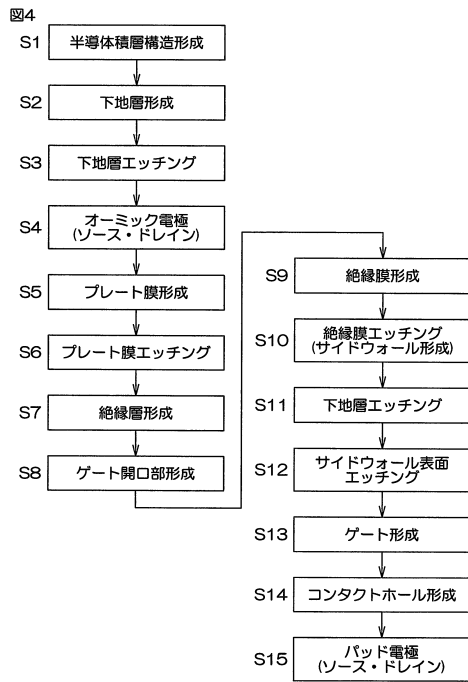
【図2】



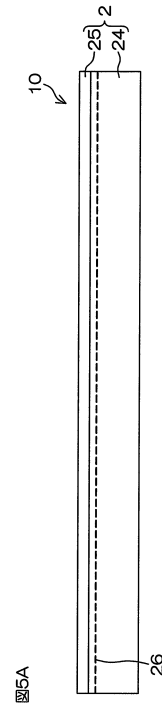
【図3】



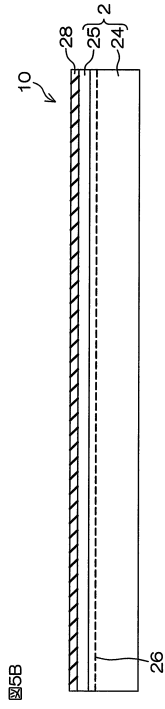
【図4】



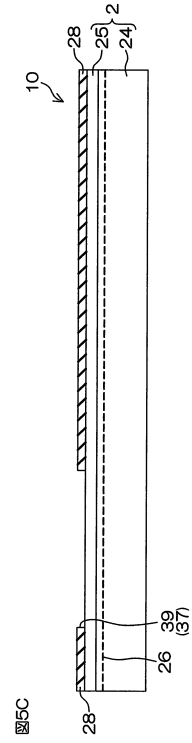
【図5A】



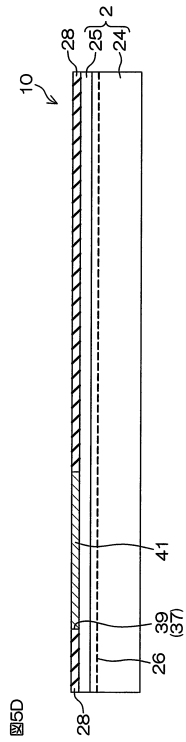
【 図 5 B 】



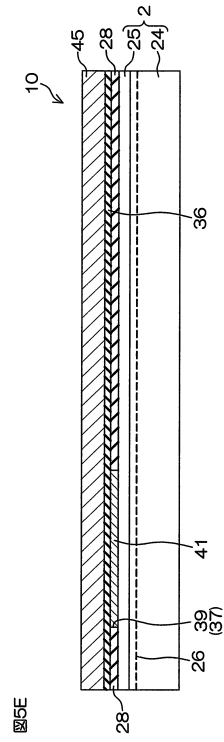
【 図 5 C 】



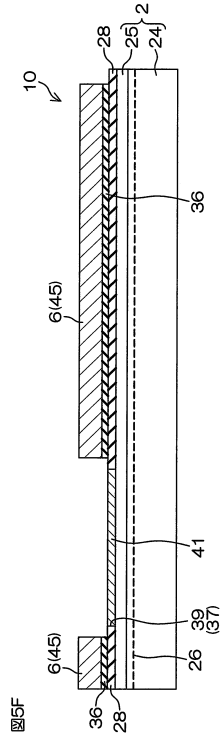
【 図 5 D 】



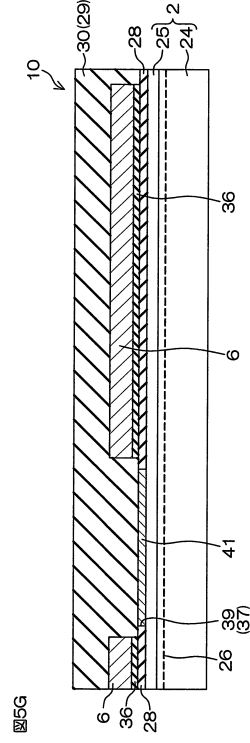
【 図 5 E 】



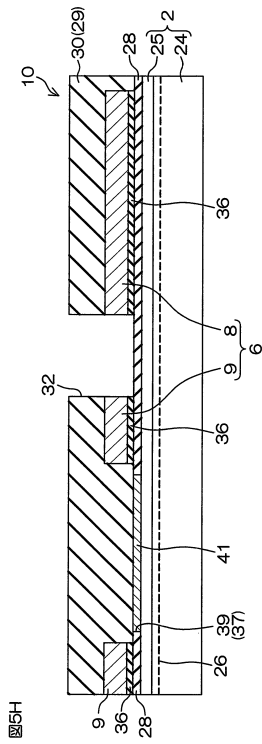
【 図 5 F 】



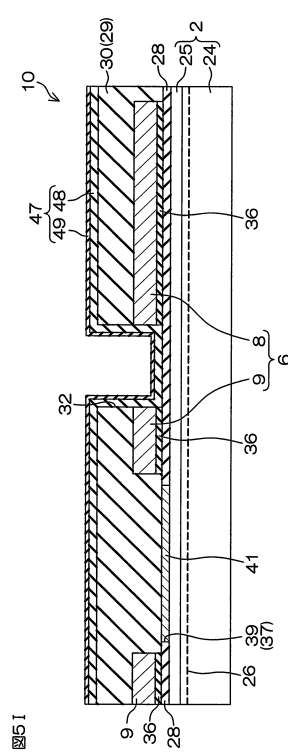
【 図 5 G 】



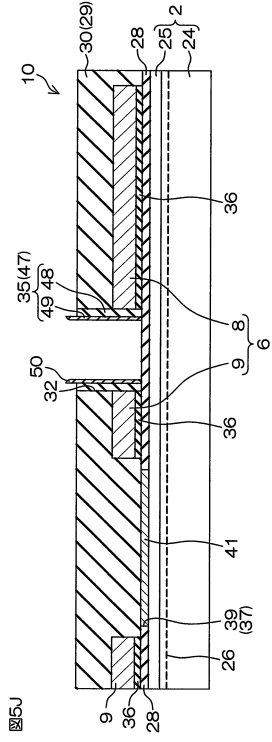
【 図 5 H 】



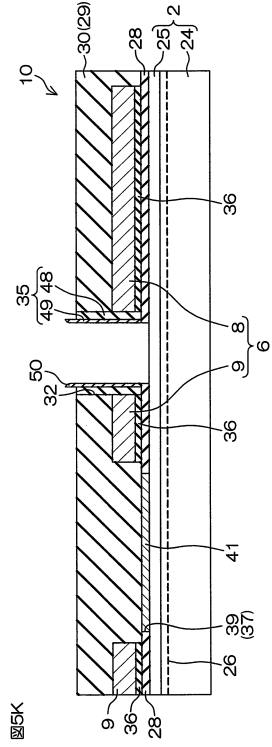
【 図 5 I 】



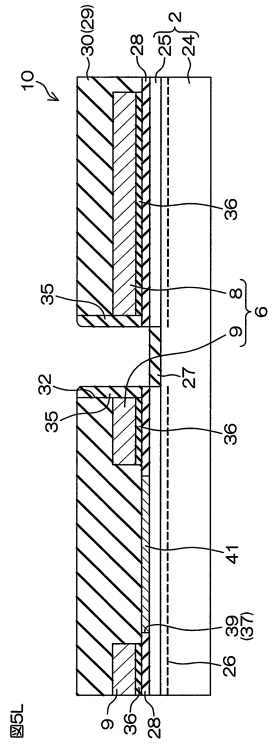
【 図 5 J 】



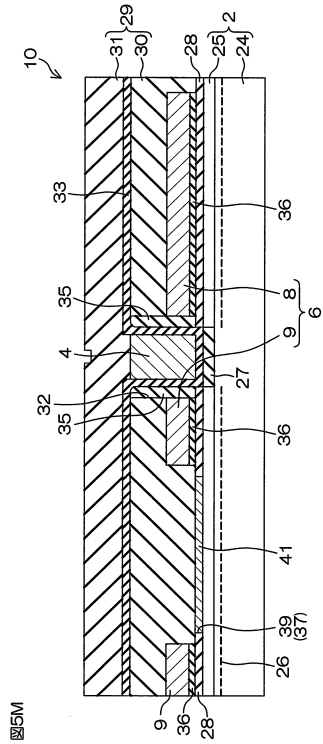
【 図 5 K 】



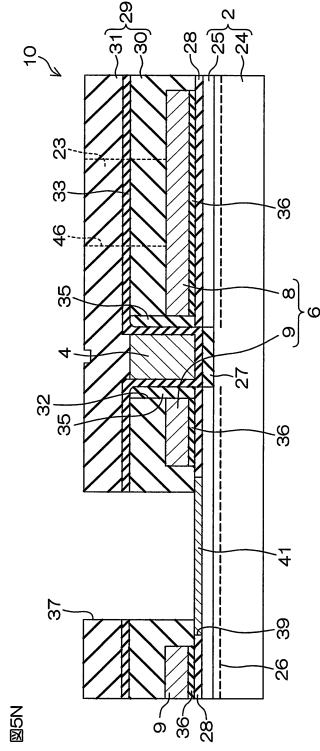
【 図 5 L 】



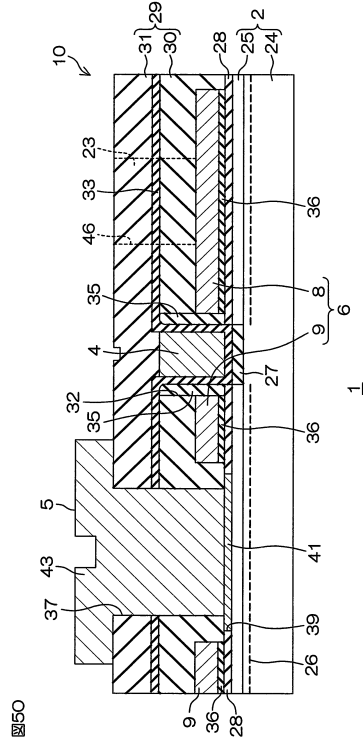
【 図 5 M 】



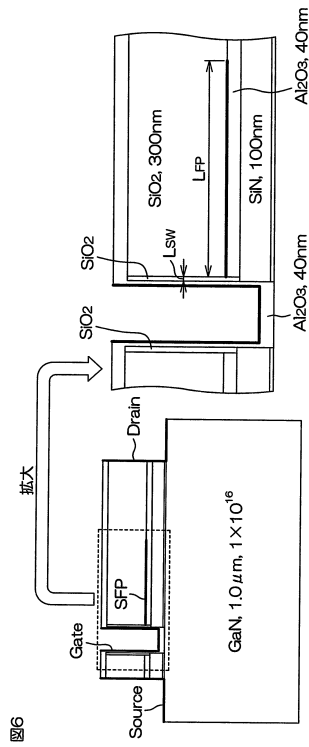
【 図 5 N 】



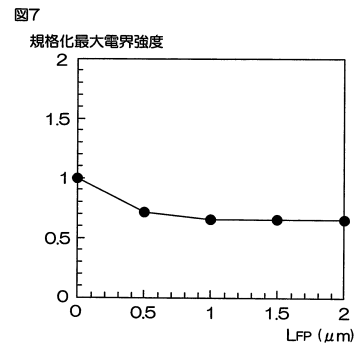
【 図 5 O 】



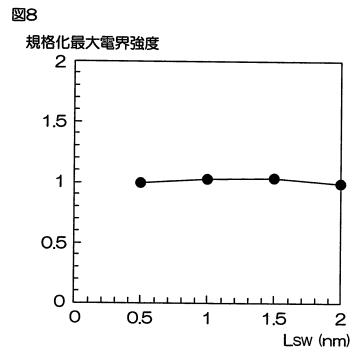
【 図 6 】



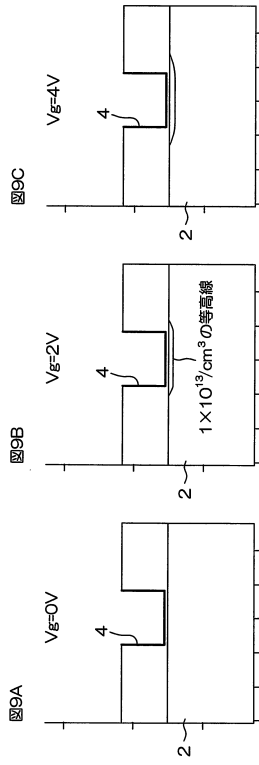
【 図 7 】



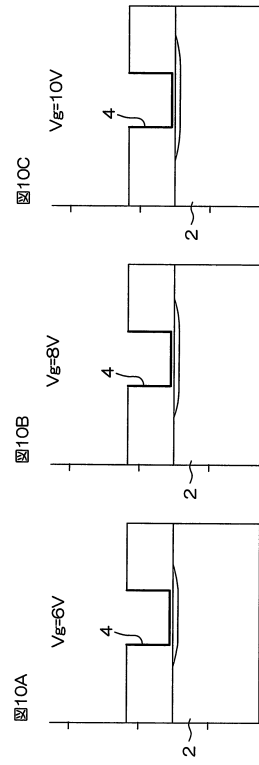
【 図 8 】



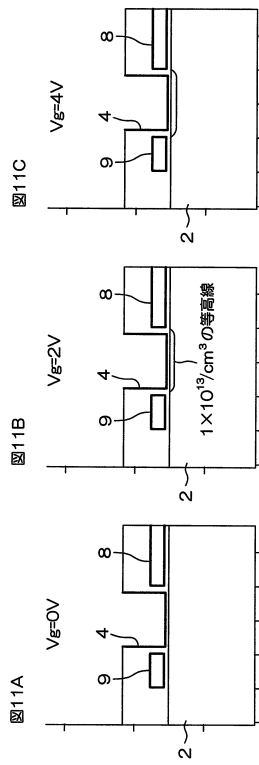
【 図 9 】



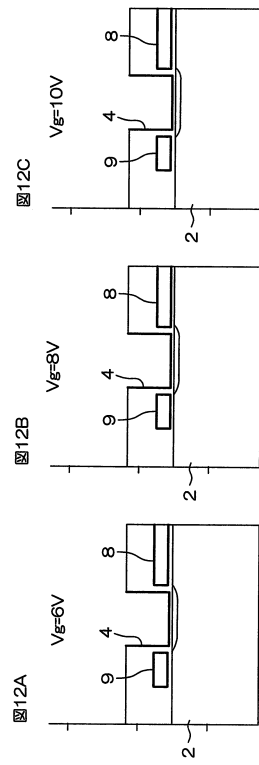
【 図 10 】



【 図 11 】



【 図 12 】





---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/06 (2006.01)

H 0 1 L 29/41 (2006.01)

(72)発明者 阿久津 稔

京都市右京区西院溝崎町21番地 ローム株式会社内

審査官 恩田 和彦

(56)参考文献 特表2008-511172(JP,A)

特開2014-183125(JP,A)

米国特許出願公開第2012/0068772(US,A1)

特表2007-537593(JP,A)

特開2004-311869(JP,A)

特開2013-168433(JP,A)

特開2010-045343(JP,A)

特開2014-072360(JP,A)

特開平01-117366(JP,A)

特開2008-124440(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/338

H 0 1 L 21/336

H 0 1 L 29/06

H 0 1 L 29/41

H 0 1 L 29/778

H 0 1 L 29/78

H 0 1 L 29/812