



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201633726 A

(43)公開日：中華民國 105 (2016) 年 09 月 16 日

(21)申請案號：105106364

(22)申請日：中華民國 105 (2016) 年 03 月 02 日

(51)Int. Cl. : *H04B1/10 (2006.01)* *H04L1/00 (2006.01)*

(30)優先權：2015/03/13 美國 14/658,047

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國(72)發明人：黃仁秀 HWANG, INSOO (KR)；宋旭永 SONG, BONGYONG (KR)；崔蘭多休伊
TRANDO, HUEY (US)；艾卡拉歐斯法多 ALCALA, OSVALDO (US)；索利曼沙莫
沙利伯 SOLIMAN, SAMIR SALIB (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：30 項 圖式數：11 共 80 頁

(54)名稱

用於類比干擾消除的穩健係數計算

ROBUST COEFFICIENT COMPUTATION FOR ANALOG INTERFERENCE CANCELLATION

(57)摘要

本案內容的態樣係關於干擾消除。一種在具有接收器、係數控制器和類比干擾消除(AIC)電路的無線設備中執行干擾消除的方法包括：利用該接收器來接收信號；利用該係數控制器來進行以下操作：使用第一係數集合來計算第一成本函數值，使用第一係數控制演算法來計算第二係數集合，使用該第二係數集合來計算第二成本函數值，將該第二成本函數值與該第一成本函數值進行比較，以及基於比較結果來決定是要應用該第一係數集合還是該第二係數集合；及利用 AIC 電路來應用該第一係數集合或該第二係數集合以過濾參考信號，並且該接收器從所接收的信號中減去過濾出的參考信號來進行干擾消除。

Aspects of the disclosure are directed to interference cancellation. A method of performing interference cancellation in a wireless device having a receiver, a coefficient controller and an analog interference cancellation (AIC) circuit includes utilizing the receiver to receive a signal; utilizing the coefficient controller to compute a first cost function value using a first set of coefficients, to compute a second set of coefficients using a first coefficient control algorithm, to compute a second cost function value using the second set of coefficients, to compare the second cost function value with the first cost function value, and to determine whether to apply the first set or the second set of coefficients based on the comparison; and utilizing the AIC circuit to apply the first or second set of coefficients to filter a reference signal and the receiver to subtract the filtered reference signal from the received signal for interference cancellation.

指定代表圖：

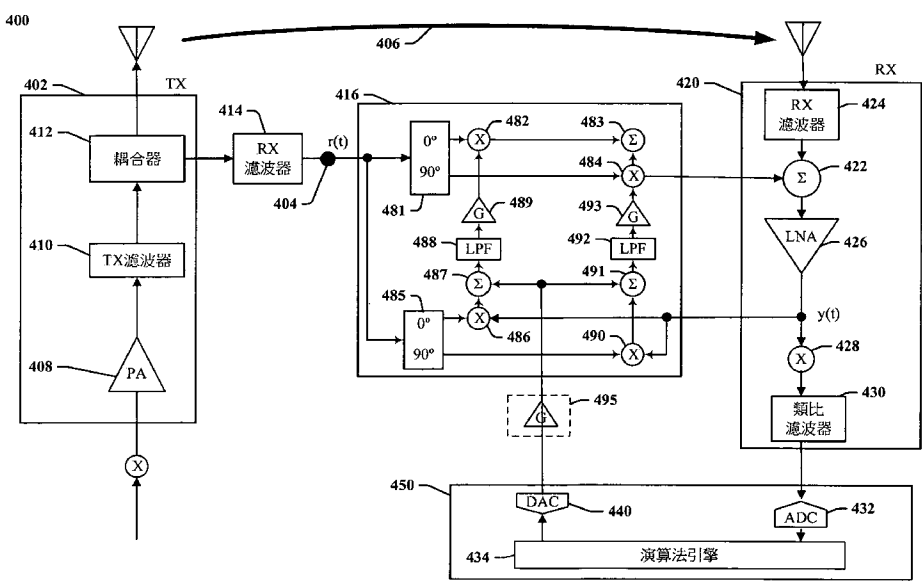


圖 4

符號簡單說明：

- 400 . . . 系統
- 402 . . . 發射器
- 404 . . . 參考信號
- 406 . . . 空中干擾信號
- 408 . . . 功率放大器 (PA)
- 410 . . . TX 濾波器
- 412 . . . 耦合器
- 414 . . . 接收濾波器
- 416 . . . AIC 電路
- 420 . . . 接收器
- 422 . . . 加法器
- 424 . . . 接收濾波器
- 426 . . . 低雜訊放大器 (LNA)
- 428 . . . 混頻器
- 430 . . . 類比濾波器
- 432 . . . 類比數位轉換器 (ADC)
- 432a . . . 類比數位轉換器
- 432b . . . 類比數位轉換器
- 434 . . . 演算法引擎
- 440 . . . 數位類比轉換器
- 440a . . . 數位類比轉換器
- 440b . . . 數位類比轉換器
- 450 . . . 係數控制器
- 481 . . . 多相部件
- 482 . . . 混頻器
- 483 . . . 加法器/積分器/組合器
- 484 . . . 混頻器

- 485 . . . 多相部件
- 486 . . . 混頻器
- 487 . . . 第一加法器/第一積分器
- 488 . . . 第一低通濾波器(LPF)
- 489 . . . 放大器
- 490 . . . 混頻器
- 491 . . . 第二加法器/第二積分器
- 492 . . . 第二低通濾波器(LPF)
- 493 . . . 放大器
- 495 . . . 放大器

發明摘要

※ 申請案號：105106364

H04B 1/10 (2006.01)

※ 申請日：2016 年 3 月 2 日 ※IPC 分類：

H04L 1/00 (2006.01)

【發明名稱】（中文/英文）

用於類比干擾消除的穩健係數計算

ROBUST COEFFICIENT COMPUTATION FOR ANALOG
INTERFERENCE CANCELLATION

【中文】

本案內容的態樣係關於干擾消除。一種在具有接收器、係數控制器和類比干擾消除（AIC）電路的無線設備中執行干擾消除的方法包括：利用該接收器來接收信號；利用該係數控制器來進行以下操作：使用第一係數集合來計算第一成本函數值，使用第一係數控制演算法來計算第二係數集合，使用該第二係數集合來計算第二成本函數值，將該第二成本函數值與該第一成本函數值進行比較，以及基於比較結果來決定是要應用該第一係數集合還是該第二係數集合；及利用 AIC 電路來應用該第一係數集合或該第二係數集合以過濾參考信號，並且該接收器從所接收的信號中減去過濾出的參考信號來進行干擾消除。

【英文】

Aspects of the disclosure are directed to interference cancellation. A method of performing interference

cancellation in a wireless device having a receiver, a coefficient controller and an analog interference cancellation (AIC) circuit includes utilizing the receiver to receive a signal; utilizing the coefficient controller to compute a first cost function value using a first set of coefficients, to compute a second set of coefficients using a first coefficient control algorithm, to compute a second cost function value using the second set of coefficients, to compare the second cost function value with the first cost function value, and to determine whether to apply the first set or the second set of coefficients based on the comparison; and utilizing the AIC circuit to apply the first or second set of coefficients to filter a reference signal and the receiver to subtract the filtered reference signal from the received signal for interference cancellation.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

400 系統

402 發射器

404 參考信號

406 空中干擾信號

408 功率放大器（PA）

410 TX 濾波器

- 412 耦合器
- 414 接收濾波器
- 416 AIC 電路
- 420 接收器
- 422 加法器
- 424 接收濾波器
- 426 低雜訊放大器 (LNA)
- 428 混頻器
- 430 類比濾波器
- 432 類比數位轉換器 (ADC)
- 432a 類比數位轉換器
- 432b 類比數位轉換器
- 434 演算法引擎
- 440 數位類比轉換器
- 440a 數位類比轉換器
- 440b 數位類比轉換器
- 450 係數控制器
- 481 多相部件
- 482 混頻器
- 483 加法器/積分器/組合器
- 484 混頻器
- 485 多相部件
- 486 混頻器
- 487 第一加法器/第一積分器

488 第一低通濾波器 (LPF)

489 放大器

490 混頻器

491 第二加法器/第二積分器

492 第二低通濾波器 (LPF)

493 放大器

495 放大器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 (中文/英文)

用於類比干擾消除的穩健係數計算

**ROBUST COEFFICIENT COMPUTATION FOR
ANALOG INTERFERENCE CANCELLATION**

【相關申請案的交叉引用】

【0001】 本專利申請案主張享有於2015年3月13日向美國專利商標局遞交的非臨時申請案第14/658,047號的優先權和權益。

【技術領域】

【0002】 本案內容大體係關於干擾消除系統及方法的領域，並且特定言之係關於對殘餘DC偏移（亦即，DC偏置）的移除或最小化，作為利用基頻係數來進行干擾消除的一部分。

【先前技術】

【0003】 改進的無線設備可以具有在相同、相鄰或諧波頻率上操作的多個無線電單元。無線電單元可以提供到網路的存取，該網路諸如無線廣域網（WWAN）、無線區域網路（WLAN）、無線個人區域網路（WPAN）、全球定位系統（GPS）、全球導航衛星系統（GLONASS）、北斗導航衛星系統等。無線電單元的某些組合可能由於相應頻率之間的干擾而造成共存問題。特定言之，當一個無線電單元在接收並且同時另一個無線電單元在相同頻率或接近相同頻率處活躍地發送時，

進行發送的無線電單元會造成對進行接收的無線電單元的干擾（亦即，減敏（de-sense））。例如，藍芽（WPAN）和2.4 GHz WiFi（WLAN）之間可以發生相同頻帶干擾；WLAN和長期進化（LTE）頻帶7、40、41之間的相鄰頻帶干擾；5.7 GHz ISM和1.9 GHz個人通訊服務（PCS）之間可能發生諧波干擾；並且7xx MHz和GPS接收器之間可能發生互調問題。

【0004】類比干擾消除（AIC）藉由匹配無線耦合路徑信號和有線AIC路徑中的信號的增益和相位，來消除發射器無線電單元和接收器無線電單元之間的干擾，如第1圖所圖示，其中 d_t 是從發射器（侵害方）無線電單元102發送的信號，並且 h_c 是從發射器無線電單元102到接收器（受害方）無線電單元104的耦合通道（無線耦合路徑信號）。AIC 106嘗試消除耦合通道 h_c 的影響，如經由AIC 106的輸出的負號所反映的。消除不僅可以適用於單獨的發射器-接收器天線場景，而且亦適用於發射器和接收器共享相同天線的場景。在後一種情況下，空中耦合通道可以被進一步簡化為有線通道。

【0005】可以利用在RF處或在基頻處計算的可調適濾波器係數來執行類比干擾消除，其中基頻構件利用數位實施方式，例如現場可程式設計閘陣列（FPGA）、數位信號處理（DSP）元件或特殊應用積體電路（ASIC）。基頻係數計算可以允許可以帶來最優的干擾消除的更精確的係數決定。將如此計算得到的係數發送給類比干擾消除（AIC）電路，用於調節參考信號以消除不期望的干擾。然而，基頻處理的一個劣勢是不期望的DC偏移洩露。亦即，在AIC調節之後，參考信號可

能具有殘餘的dc偏置，其可能使干擾消除降級。

【發明內容】

【0006】 以下內容介紹了對本案內容的一或多個態樣的簡要概括，以便提供對此種態樣的基本的理解。該概括不是對本案內容的全部預期特徵的詳盡概述，並且不意欲於標識本案內容的全部態樣的關鍵或重要元素，亦不意欲於描繪本案內容的任何或全部態樣的範疇。其唯一的目的是以簡化的形式介紹本案內容的一或多個態樣的某些概念，作為隨後介紹的更詳細的描述的序言。

【0007】 根據本案內容的各個態樣，一種用於干擾消除的方法包括：利用接收器來接收傳輸信號；利用第一係數集合來計算第一成本函數值；利用第一係數控制演算法來計算第二係數集合；利用該第二係數集合來計算第二成本函數值；將該第二成本函數值與該第一成本函數值進行比較以得到比較結果；利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除；及應用該第一係數集合或該第二係數集合中的一個集合來過濾參考信號，並且從所接收的傳輸信號中減去過濾出的參考信號來進行該干擾消除。

【0008】 在各個態樣中，一種用於干擾消除的裝置包括：至少一個處理器；用於儲存第一係數集合的記憶體，該記憶體耦合到該至少一個處理器；耦合到該至少一個處理器的接收器，該接收器被配置用於接收傳輸信號；耦合到該至少一個處理器的係數控制器，該係數控制器被配置用於執行以下操

作：利用該第一係數集合來計算第一成本函數值；利用第一係數控制演算法來計算第二係數集合；利用該第二係數集合來計算第二成本函數值；將該第二成本函數值與該第一成本函數值進行比較以得到比較結果；及利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除；及類比干擾消除（AIC）電路，該類比干擾消除電路用於應用該第一係數集合或該第二係數集合中的一個集合來過濾參考信號，並且其中該接收器從所接收的傳輸信號中減去過濾出的參考信號來進行該干擾消除。

【0009】在各個態樣中，一種用於干擾消除的裝置包括：至少一個處理器；用於儲存第一係數集合的記憶體，該記憶體耦合到該至少一個處理器；耦合到該至少一個處理器的接收器，該接收器用於接收傳輸信號；用於利用該第一係數集合來計算第一成本函數值的構件；用於利用第一係數控制演算法來計算第二係數集合的構件；用於利用該第二係數集合來計算第二成本函數值的構件；用於將該第二成本函數值與該第一成本函數值進行比較以得到比較結果的構件；用於利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除的構件；及用於應用該第一係數集合或該第二係數集合中的一個集合來過濾參考信號的構件，並且其中該接收器從所接收的傳輸信號中減去過濾出的參考信號來進行該干擾消除。

【0010】在各個態樣中，一種在設備上可操作的、儲存電腦可執行代碼的電腦可讀取儲存媒體，該設備包括：至少一個

處理器；用於儲存第一係數集合的記憶體，該記憶體耦合到該至少一個處理器；耦合到該至少一個處理器的接收器，其中該接收器被配置為接收傳輸信號；及該電腦可執行代碼包括：用於使該至少一個處理器利用該第一係數集合來計算第一成本函數值的指令；用於使該至少一個處理器利用第一係數控制演算法來計算第二係數集合的指令；用於使該至少一個處理器利用該第二係數集合來計算第二成本函數值的指令；用於使該至少一個處理器將該第二成本函數值與該第一成本函數值進行比較以得到比較結果的指令；用於使該至少一個處理器利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除的指令；及用於使該至少一個處理器應用該第一係數集合或該第二係數集合中的一個集合來過濾參考信號的指令，其中該接收器亦被配置為從所接收的傳輸信號中減去過濾出的參考信號來進行該干擾消除。

【0011】參考下文的詳細描述，本案內容的該等和其他態樣將得到更充分的理解。當結合附圖來參考對本案內容的特定的、示例性實施例的下文描述時，本案內容的其他態樣、特徵和實施例對本領域的一般技藝人士而言將變得顯而易見。儘管下文關於某些實施例和附圖論述了本案內容的特徵，但是本案內容的全部實施例可以包括本文論述的優勢特徵中的一或多個優勢特徵。換言之，儘管一或多個實施例可以被論述為具有某些優勢特徵，但是亦可以根據本文論述的本案內容的各個實施例來使用此種特徵中的一或多個特徵。以類似

的方式，儘管示例性實施例在下文被論述為設備、系統或方法實施例，但是應當理解的是，此種示例性實施例可以在各種設備、系統和方法中實施。

【圖式簡單說明】

【0012】 第1圖是圖示類比干擾消除系統的方塊圖。

【0013】 第2圖是圖示包括一或多個無線通訊設備的網路環境的圖。

【0014】 第3圖是圖示根據本案內容的各個實施例的具有複數個發射器和複數個接收器的無線通訊設備的方塊圖。

【0015】 第4圖是圖示根據本文所揭示的各個態樣的可以適於執行干擾消除的系統的方塊圖。

【0016】 第5圖是圖示用於無線通訊系統中的接收器的係數控制器的實施方式的方塊圖。

【0017】 第6a圖至第6c圖圖示用於在接收器中實施干擾消除時利用電壓掃描來決定用於使殘餘dc偏置最小化的係數的示例演算法的流程圖。

【0018】 第7a圖至第7c圖圖示用於在接收器中實施干擾消除時利用隨機逼近來決定用於使殘餘dc偏置最小化的係數的示例演算法的流程圖。

【0019】 第8a圖至第8c圖圖示用於在接收器中實施干擾消除時利用簡化的隨機逼近來決定用於使殘餘dc偏置最小化的係數的示例演算法的流程圖。

【0020】 第9a圖至第9b圖圖示用於干擾消除的方法的流程圖。

【0021】第10圖是圖示用於採用根據本文所揭示的某些態樣來適配的處理電路的裝置的硬體實施方式的實例的圖。

【0022】第11圖是圖示採用可以根據本文所揭示的某些態樣來適配的處理電路的裝置的實例的方塊圖。

【實施方式】

【0023】下文結合附圖闡述的詳細描述意欲於作為對各種配置的描述，而不意欲於代表其中可以實踐本文描述的概念的唯一配置。出於提供對各種概念的全面理解的目的，詳細描述包括特定細節。但是，本領域的技藝人士將顯而易見的是，可以在沒有該等特定細節的情況下實施該等概念。在某些實例中，眾所周知的結構和部件以方塊圖形式圖示，以避免模糊此種概念。

【0024】本案內容的各個態樣係關於用於消除由一個無線電單元（收發機）的傳輸引起的本端干擾（其影響第二無線電單元（收發機）的接收效能）的系統和方法。在特定的態樣中，干擾消除系統適於不同的無線電單元組合。例如，對於由第一無線電單元組合造成的共存問題，進行發送的無線電單元（例如，WiFi）可以被選擇用於干擾消除（IC）電路的輸入，並且進行接收的無線電單元（例如，藍芽）可以被選擇用於干擾消除電路的輸出。對於由第二（不同的）無線電單元組合造成的共存問題，進行發送的無線電單元（例如，WiFi）可以被選擇用於干擾消除電路的輸入，並且進行接收的無線電單元（例如，LTE頻帶7）可以被選擇用於干擾消除電路的輸出。應當注意的是，術語消除（如干擾消除中的）

及其變形可以與減少、緩解等等同義，此是因為減少了至少某種干擾。

【0025】在本案內容的範疇內，可以利用任何適當的干擾消除電路。在本案內容的某些態樣中，干擾消除電路可以是類比1分接點可調適濾波器，其被配置為將干擾消除路徑中的信號與耦合路徑中的信號進行匹配。在各個實例中，類比1分接點可調適濾波器是類比1分接點最小均方（LMS）可調適濾波器。LMS可調適濾波器可以按如下方式操作：使得該LMS可調適濾波器模仿利用被用於計算以產生誤差信號的最小均方的濾波器係數的期望的濾波器，該誤差信號的最小均方可以表示期望信號和觀察到的或接收到的信號之間的差。一般的1分接點干擾消除濾波器理想情況下將其峰值消除能量集中在干擾信號的功率處於最高處的頻率處，並且因此，通常可以解決一種類型的干擾及/或影響一個頻率或頻率帶的干擾。可以對濾波器施加DC偏移以主動地操縱消除中心，其中根據從接收器推導出的基頻信號，在數位域中自動地計算DC偏移的值。可以根據基頻信號，利用在數位域中計算的濾波器係數來產生DC偏移。

【0026】根據本案內容的某些態樣，藉由使成本函數最小化（亦即，使消除誤差最小化）來決定濾波器係數（亦即，未知的dc偏置）並提供給AIC電路用於干擾消除。

【0027】第2圖是圖示包括一或多個無線通訊設備202a至202d的網路環境200的圖。每個無線通訊設備202a至202d可以適於或被配置為發送及/或接收去往/來自至少一個存取點206

、208、210的無線信號。在某些實例中，無線通訊設備202a至202d可以適於或被配置為發送及/或接收去往/來自至少一個其他無線通訊設備202a至202d的無線信號。一或多個無線通訊設備202a至202d可以包括行動設備及/或儘管可行動但是主要意欲保持固定的設備。在各個實例中，設備可以是蜂巢式電話、智慧型電話、個人數位助理、可攜式計算設備、可穿戴計算設備、以及家用電器、媒體播放機、導航設備、平板電腦等。一或多個無線通訊設備202a至202d亦可以包括被賦能為發送及/或接收無線信號的固定設備（例如，桌上型電腦、機器類型通訊設備等）。一或多個無線通訊設備202a至202d可以包括體現在可以可操作地被賦能用於另一個設備中的一或多個積體電路、電路板等等中或根據該一或多個積體電路、電路板等等來構造的裝置或系統。因此，如本文所使用的，術語「設備」和「行動設備」可以互換使用，因為每個術語意欲代表可以發送及/或接收無線信號的任何單個設備或任何可組合的設備群組。

【0028】 存取點206、208、210中的一或多個存取點可以與無線電存取網路（RAN）204、214相關聯，該RAN 204、214利用無線電存取技術（RAT）來提供連接。RAN 204、214可以將一或多個無線通訊設備202a至202d連接到核心網路。在各個實例中，RAN 204、214可以包括WWAN、WLAN、WPAN、無線都會區網路（WMAN）、藍芽通訊系統、WiFi通訊系統、行動通訊全球系統（GSM）系統、僅資料進化/進化資料最佳化（EVDO）通訊系統、超行動寬頻（UMB）通訊系統、

LTE通訊系統、行動衛星服務-輔助陸地部件（MSS-ATC）通訊系統等等。

【0029】 RAN 204、214可以被賦能為與其他設備及/或資源（如簡單地用雲212表示的）進行通訊及/或以其他方式可操作地存取其他設備及/或資源。例如，雲212可以包括一或多個通訊設備、系統、網路或服務，及/或一或多個計算設備、系統、網路或服務等等，或其任意組合。

【0030】 在各個實例中，RAN 204、214可以利用任何適當的多工存取和多工方案，包括但不限於分碼多工存取（CDMA）、分時多工存取（TDMA）、分頻多工存取（FDMA）、正交分頻多工存取（OFDMA）、單載波分頻多工存取（SC-FDMA）等。在RAN 204、214是WWAN的實例中，網路可以實施一或多個標準化的RAT，諸如數位高級行動電話系統（D-AMPS）、IS-95、cdma2000、行動通訊全球系統（GSM）、UMTS、eUTRA（LTE）或任何其他適當的RAT。在來自名為「第三代合作夥伴計劃」（3GPP）的協會的文件中描述了GSM、UMTS和eUTRA。在來自名為「第三代合作夥伴計劃2」（3GPP2）的協會的文件中描述了IS-95和cdma2000。3GPP和3GPP2文件可公開獲得。在RAN 204、214是WLAN的實例中，網路可以是IEEE 802.11x網路，或任何其他適當的網路類型。在RAN 204、214是WPAN的實例中，網路可以是藍芽網路、IEEE 802.15x，或任何其他適當的網路類型。

【0031】 無線通訊設備202a至202d可以包括至少一個無線電單元（亦被稱為收發機）。如本文所使用的，術語「無線電

單元」或「收發機」代表可以被賦能為接收無線信號及/或發送無線信號的任何電路等等。在特定的態樣中，兩個或兩個以上無線電單元可以被賦能為共享電路等等的一部分（例如，處理電路、記憶體等）。亦即，術語「無線電單元」或「收發機」可以被解釋為包括具有發送和接收信號的能力的設備，包括具有單獨的發射器和接收器的設備，具有用於發送和接收信號的組合電路的設備等等。

【0032】在某些態樣中，無線通訊設備202a至202d可以包括：第一無線電單元，其被賦能為接收及/或發送與RAN 204、214中的至少第一網路相關聯的無線信號；及第二無線電單元，其被賦能為接收及/或發送與存取點206、208、210、同級設備或其他發射器（其可以在地理上與RAN 204、214重疊或共置）及/或導航系統（例如，衛星定位系統等等）相關聯的無線信號。

【0033】第3圖是圖示根據本文所揭示的某些態樣的包括複數個發射器302a至302d和複數個接收器310a至310d的無線通訊設備300的方塊圖。可以提供M個發射器302a至302d和N個接收器310a至310d，作為多達 $M \times N$ 個接收器/發射器（Rx/Tx）電路。本領域技藝人士會理解的是，數量M和數量N可以相同或可以不同。並且在一些情況下，該兩個數量中任一數量可以是零。當一或多個發射器302a至302d在活躍地進行發送，並且一或多個接收器310a至310d在活躍地進行接收時，可能發生共存問題。

【0034】Rx/Tx電路310a/302a、310b/302b、310c/302c及/或

310d/302d中的每一個可以被配置為根據某些參數來操作，該等參數包括例如相應的頻率、具有群延遲的射頻電路、到其他Tx/Rx電路Rx/Tx電路310a/302a、310b/302b、310c/302c、310d/302d的耦合通道增益等等。例如，第一Tx/Rx電路310a/302a可以在第一頻率 f_1 處以第一延遲 d_1 來操作，第二Tx/Rx電路310b/302b可以在第二頻率 f_2 處以第二延遲 d_2 來操作，第三Tx/Rx電路310c/302c可以在第三頻率 f_3 處以第三延遲 d_3 來操作等。第一Tx/Rx電路310a/302a可以具有到第二Tx/Rx電路310b/302b的耦合通道增益 h_{12} ，到第三Tx/Rx電路310c/302c的耦合通道增益 h_{13} 等。Tx/Rx電路310/302可以具有到各個其他Tx/Rx電路的不同的耦合通道增益。

【0035】在各個態樣中，裝置300被配置為減少在例如在相同、相鄰、諧波或次諧波頻率上操作的Tx/Rx電路310a/302a、310b/302b、310c/302c、310d/302d之間產生的干擾。裝置300可以被配置用於或適於不同的Tx/Rx電路組合。亦即，裝置300可以被配置為消除基於共存問題的干擾，該共存問題是由Tx/Rx電路310a/302a、310b/302b、310c/302c及/或310d/302d的當前組合造成的。例如，當第一發射器302a用於WiFi並且第二接收器310b用於藍芽時，會造成時間 T_1 處的共存問題。在某些系統中，裝置可以被配置為選擇性地將第一發射器302a的輸出提供給干擾消除（IC）電路306，IC電路306可以隨後將干擾消除信號316提供給第二接收器310b。因此，干擾消除電路306可以減少侵害方Tx/Rx電路310a/302a對受害方Tx/Rx電路310b/302b造成的干擾。在各個實例中，基於兩個天

線的分離，從侵害方310a/302a到受害方Tx/Rx電路310b/302b的耦合通道增益可以是-10dB，並且干擾消除電路306可以被配置為為了成功的干擾消除而匹配該增益。在操作態樣，裝置300可以包括多工器（MUX）電路304和解多工器（DEMUX）電路308，可以控制該MUX電路304和DEMUX電路308來選擇干擾消除配置。

【0036】第4圖圖示根據本文所揭示的某些態樣的用於消除發射器402和接收器420之間的本端干擾的系統400的某些態樣。系統400可以與一或多個子系統、裝置、設備或部件相關聯。發射器（TX）402可以是攻擊性（offending）發射器並且接收器420可以是受害方接收器。亦即，發射器402可以是造成問題的一方，其產生或造成本端干擾連同被受害方接收器420接收的空中干擾信號406。攻擊性發射器402和受害方接收器420可以是同一設備的一部分。此外，儘管圖示單個發射器402和單個接收器420，但是根據本案內容的態樣，可以提供一個以上的發射器402及/或一個以上的接收器420。在各個態樣中，發射器402是在第3圖中圖示的發射器302中的一個發射器，並且接收器420是在第3圖中圖示的接收器310中的一個接收器。

【0037】發射器402可以與功率放大器（PA）408和TX濾波器410相關聯或耦合到PA 408和TX濾波器410，該等部件是本領域公知的，並且因此為了簡單起見省略進一步描述。PA 408可以接收信號或資料，用於由TX 402進行的傳輸。

【0038】發射器402可以與耦合器412相關聯。耦合器412可以

用於向AIC電路416提供參考信號 $r(t)$ 404。參考信號可以與發射器402發送的信號的某一部分或功能相對應，並且可以是經由接收濾波器414來提供的。在各個實例中，AIC電路416可以包括1分接點可調適濾波器（例如，1分接點最小均方（LMS）可調適濾波器）。

【0039】 概括地，AIC電路416可以被配置為產生在給定的容限內與空中干擾信號406匹配的輸出信號，使得AIC輸出可以以破壞性的方式與空中干擾信號406相組合以消除本端干擾信號。AIC電路416可以從係數控制器接收DC偏移以最小化殘餘dc偏置。AIC電路416可以被配置為產生輸出，可以將該輸出作為第一輸入提供給加法器422。儘管第4圖中將部件422圖示為加法器，但是本領域技藝人士會理解的是，部件422可以是組合器、積分器或組合信號或對信號求和的另一個部件。到加法器422的第二輸入可以與RX 420接收到的空中干擾信號406相對應。在某些實例中，空中干擾信號406可以是經由接收濾波器424提供給加法器422的。

【0040】 加法器422可以被配置為對其輸入進行組合，以便產生提供給低雜訊放大器（LNA）426的輸出。在各個實例中，加法器422可以被配置為從接收濾波器424接收到的輸入中減去由AIC電路416提供的輸入。在對濾波器係數的選擇是完美的理想情況下，在加法器422的第一輸入處提供的信號等於與空中干擾信號406相關聯的干擾，使得在提供給LNA 426的信號中移除了干擾。在此態樣，從耦合器412經由接收濾波器414到AIC電路416的路徑可以作為參考路徑，以便提供參考信號

$r(t)$ 。

【0041】系統400可以提供參考信號路徑中的接收濾波器414和耦合到接收器天線的接收濾波器424在指定的容限內具有相同的濾波器特徵。亦即，以相同方式過濾參考信號 $r(t)$ 和接收到的信號（亦即，空中干擾信號406）可以有助於確保減少或消除該兩個信號之間的任何時序不匹配。

【0042】在某些實例中，可以利用基於接收到的信號（在將其轉換為基頻信號之後）的資訊來配置AIC電路416。在各個實例中，係數控制器450可以從基頻信號中推導出一或多個係數，並且基於係數來配置AIC電路416。亦即，來自LNA 426的輸出 $y(t)$ 可以被提供給混頻器428並且被提供給AIC電路416。混頻器428隨後將來自LNA 426的輸出 $y(t)$ 從第一信號域或頻率轉換到第二信號域或頻率。例如，第一信號域可以與所選擇的射頻相關並且第二信號域可以與基頻頻率相關。在此，基頻信號可以包括未經調制的信號、低通訊號，或相對低的頻率處的信號，在某些實例中，基頻信號對應於例如高達20 kHz的可聽範圍。在某些實例中，混頻器428可以從振盪器（諸如壓控振盪器（VCO））接收信號以便提供到基頻的轉換。

【0043】來自混頻器428的輸出基頻信號可以被提供給類比濾波器430，該類比濾波器430可以作為抗混疊濾波器來操作。類比濾波器430的輸出可以被提供給圖示為存在於係數控制器450內的類比數位轉換器（ADC）432。ADC 432的輸出被提供給演算法引擎434，以提供對接收器420的回應的量測。在

各個實例中，接收器的回應是接收器的輸出處存在的期望信號、干擾和雜訊的疊加。演算法引擎434可以容納一或多個演算法。例如，一演算法可以用於計算成本函數，而另一演算法可以用於係數控制。

【0044】 演算法引擎434可以被配置為產生並輸出表示DC偏移的一或多個信號及/或到AIC電路416的濾波器係數。演算法引擎434可以產生數位格式的輸出，並且輸出可以被提供給數位類比轉換器（DAC）440。DAC 440的輸出可以隨後被提供給AIC電路416。如第5圖所示，在各個實例中，演算法引擎434可以包括以下部件中的一或多個部件：成本函數計算模組505、儲存成本函數模組510、成本函數比較模組520、係數計算演算法選擇模組530、係數計算模組555及/或係數應用模組570。本領域技藝人士會理解的是，演算法引擎434中的部件清單不是排他性清單，並且可以包括其他部件並且該等部件在本案內容的範疇和精神內。

【0045】 AIC電路416可以包括多相部件481和485。多相部件481和485可以用於產生相對於參考信號404的同相和正交信號輸出。可以藉由簡單地傳遞參考信號404而沒有相移（例如，0度相移）來產生同相信號輸出。可以藉由將90度相移應用於參考信號404來產生正交信號輸出。

【0046】 第一多相部件481輸出的同相信號被提供給混頻器482。第一多相部件481輸出的正交信號被提供給混頻器484。混頻器482、484的輸出被提供給加法器、積分器或組合器483。加法器483的輸出作為到加法器422的輸入。

【0047】 第二多相部件485輸出的同相信號被提供給混頻器486。第二多相部件485輸出的正交信號被提供給混頻器490。混頻器486、490均接收與LNA 426的輸出相對應的第二輸入。亦即，在本案內容的某些態樣中，與接收器420的輸出信號相對應的回饋被作為到AIC電路416的輸入來提供。

【0048】 混頻器486的輸出被提供給第一加法器或積分器487。混頻器490的輸出被提供給第二加法器或積分器491。由係數控制器450來提供到積分器487、491之每一者積分器的第二輸入，該係數控制器450根據數位化的接收到的信號來產生可以用於操縱AIC電路416的係數。積分器487、491的輸出可以分別被提供給一或多個濾波器，包括第一和第二低通濾波器（LPF）488和492。第一和第二LPF 488、492的輸出可以分別被提供給一或多個放大器489和493。放大器489、493可以均具有獨立受控增益（G）值。在某些實例中，可以結合放大器489和493二者來使用共同增益。放大器489、493的輸出可以分別作為到混頻器482和484的輸入來提供。

【0049】 到積分器487、491之每一者積分器的第二輸入與由係數控制器450執行的演算法引擎434輸出的係數及/或偏移相對應。係數並非直接基於LNA 426輸出的RF信號，相反，係數基於接收到的信號（在利用類比數位轉換器（ADC）432將其轉換為基頻信號之後）。亦即，係數控制器450可以根據基頻信號來產生一或多個係數以操縱AIC電路416。可以利用數位類比轉換器440將數位係數轉換為類比信號。

【0050】 根據本文所揭示的某些態樣提供的干擾消除電路可

以適於同時處置可能影響接收器的多個干擾源及/或類型。在各個實例中，干擾源可以是在分配給LTE的頻率中發送LTE信號的附近及/或本端發送天線。該等LTE信號可以在Wi-Fi接收天線處產生強干擾。可能產生不同類型的干擾，包括由頻帶外(OOB)發射、基波發射和相位雜訊造成的干擾。即使Wi-Fi通道所使用的頻率遠離LTE所使用的頻率，亦可能產生干擾。在一個特定的實例中，2.462 GHz Wi-Fi通道11和LTE頻帶40(B40)中的LTE傳輸之間可能發生干擾，該B40是在2.3 GHz和2.4 GHz之間具有100 MHz頻寬的所分配的頻率。可能由於通道化濾波器(其可以是類比抗混疊濾波器)放置在混頻器之後、並且過多能量落入Wi-Fi頻帶並使RX前端飽和而發生干擾。

【0051】第5圖是圖示用於無線通訊系統中的接收器的係數控制器的實施方式的方塊圖。在各個實例中，接收到的基頻信號 $s(t)$ 被分解為正交的信號分量，同相的接收到的基頻信號 $i(t)$ 和正交的接收到的基頻信號 $q(t)$ 。每個正交的信號分量(即 $i(t)$ 和 $q(t)$)分別由類比輸入信號處理模組501和502來處理。在各個實例中，類比輸入信號處理模組501和502可以包括基頻信號處理功能，例如低通濾波、放大、抗混疊濾波、dc偏置補償等。接著，隨後利用類比數位轉換器將所處理的正交信號分量轉換為數位正交信號分量， $x(n)$ 和 $y(n)$ 。在各個實例中，由單獨的類比數位轉換器432a和432b來對所處理的正交信號分量進行轉換，以產生數位正交信號分量 $x(n)$ 和 $y(n)$ 。在各個實例中，單獨的類比數位轉換器以至少是信號頻寬B的

兩倍（例如，奈奎斯特-香農取樣標準）高的取樣速率R來操作。在另一個實例中，單獨的類比數位轉換器以對應於N位元的振幅解析度來操作。該等數位正交信號分量作為到係數控制器450內的演算法引擎434的輸入。在各個實例中，演算法引擎434可以被實施為現場可程式設計陣列（FPGA）、特殊應用積體電路（ASIC）、數位訊號處理器（DSP）、基於軟體的處理器，或任何適當類型的計算平臺。

【0052】接著，數位正交信號分量 $x(n)$ 和 $y(n)$ 被輸入到成本函數計算模組505中。成本函數計算模組505利用用於AIC電路416的係數來計算成本函數值以進行干擾消除。在各個實例中，初始係數值可以是儲存的值、隨機值或可以被設置為零值。隨後的計算使用當前推導出的經更新的值。在各個實例中，成本函數計算模組505產生成本函數 $C(r)$ ，該成本函數 $C(r)$ 用於最佳化AIC電路416中所使用的係數（例如，基頻係數）。在另一個實例中，成本函數計算模組505產生用於數位正交信號分量 $x(n)$ 和 $y(n)$ 的複數個取樣的成本函數 $C(r)$ ，其中 $r=x+jy$ ，並且 j 是虛數單位（亦即，-1的平方根）。例如，成本函數 $C(r)$ 可以被計算為取樣平均；亦即，在預先定義的數量的取樣 M （亦即，預先決定的持續時間）上數位正交信號分量的振幅的平方的未加權求和：

$$C(r) = S_1 = \sum_{n=1}^M \|x(n)\|^2 + \|y(n)\|^2 \quad \text{式(1)}$$

【0053】替代地，成本函數 $C(r)$ 可以被計算為具有加權因數 α 的數位正交信號分量的振幅的平方的移動平均：

$$C(r) = S_{MA}(k) = \alpha S(k) + (1-\alpha)S_{MA}(k-1) \quad \text{式(2)}$$

其中

$$S(k) = \| x(n) \|^2 + \| y(n) \|^2$$

式(3)

$$0 < \alpha \leq 1 \tag{4}$$

【0054】在各個實例中，爲了數值計算方便，可以選擇加權因數 α ，使得 $(1-\alpha)$ 是2的冪（例如， 2^0 、 2^{-1} 、 2^{-2}），或可以將加權因數 α 選擇爲完全可配置的。在各個態樣中，經由對 α 的配置，移動平均具有可變的持續時間的優勢。在其他態樣中，移動平均可以允許更簡單的硬體實施方式（例如，避免劃分）。

【0055】成本函數比較模組520對成本函數值進行比較。接著，成本函數 $C(r)$ 被儲存在成本函數儲存模組510中。隨後，從成本函數儲存模組510中取回成本函數 $C(r)$ 並且與成本函數閾值 C_0 進行比較，以決定要對（要在AIC電路416中使用的）係數進行更新還是將係數保持在其值處。

【0056】在各個實例中，若成本函數 $C(r)$ 超過成本函數閾值 C_0 ，則對係數進行更新。否則，將係數保持在其值處（亦即，凍結）。在各個態樣中，成本函數對應於接收信號強度指示（RSSI），並且成本函數比較結果決定RSSI是否強於RSSI閾值（例如，干擾強到足以保證經更新的用於AIC電路416的基頻係數）。在各個實例中，成本函數可以基於其他系統參數，諸如干擾與信號位準。

【0057】係數計算演算法選擇模組530可以決定是要應用係數的集合來進行干擾消除還是對該係數的集合進行更新。若

該係數的集合要被用於干擾消除，則將該係數的集合從係數計算演算法選擇模組530（經由線路531）發送給係數應用模組570。若該係數的集合要被更新，則由係數計算演算法選擇模組530來選擇係數計算演算法。在各個實例中，可以在電壓掃描模組540內的電壓掃描演算法、簡化隨機逼近模組550內的簡化隨機逼近演算法，或隨機逼近模組560內的隨機逼近演算法中選擇係數計算演算法。本領域技藝人士會理解的是，在不脫離本案內容的範疇和精神的情況下，在其他實例中可以使用其他係數計算演算法（與本文所列出的係數計算演算法不同）。隨後，由所選擇的係數計算演算法來計算經更新的基頻係數並發送給係數應用模組570。在各個實例中，係數應用模組570提供經更新的係數（例如，正交基頻係數 b_x 和 b_y ）作為演算法引擎434的輸出。

【0058】接著，經更新的基頻係數被發送給數位類比轉換器，以將經更新的基頻係數轉換為類比形式。在各個實例中，由單獨的數位類比轉換器440a和440b來對經更新的正交基頻係數 b_x 和 b_y 進行轉換，以產生經更新的類比係數 c_x 和 c_y 。接著，由類比輸出信號處理模組571和572對經更新的類比係數 c_x 和 c_y 進行處理，以產生經更新的、經處理的類比係數 d_x 和 d_y 。在各個實例中，類比輸出信號處理模組571和572可以包括基頻信號處理功能，諸如低通濾波、放大、dc偏置補償等。

【0059】此外，經更新的、經處理的類比係數 d_x 和 d_y 被發送給AIC電路416用於干擾消除。在各個實例中，在經更新的、經處理的類比係數 d_x 和 d_y 在被發送給AIC電路416之前由放大

器495進行放大。

【0060】第6a圖至第6c圖圖示在接收器中實施干擾消除時利用電壓掃描來決定用於使殘餘dc偏置最小化的係數的示例演算法的流程圖。在各個實例中，係數計算演算法使用第一數位信號分量 $x(n)$ 和第二數位信號分量 $y(n)$ 作為輸入。利用電壓掃描的係數計算演算法產生第一基頻係數 b_x 和第二基頻係數 b_y 作為輸出。第一數位信號分量 $x(n)$ 被稱為同相信號分量，並且第二數位信號分量 $y(n)$ 被稱為正交信號分量。相應地，第一基頻係數 b_x 被稱為同相係數，並且第二基頻係數 b_y 被稱為正交係數。在各個實例中，利用電壓掃描的係數計算演算法存在於演算法引擎434內（在第4圖中圖示的）。

【0061】在各個態樣中，係數計算演算法使用成本函數 C 來決定最優效能。當成本函數 C 被最小化時，可以獲得最優效能。利用電壓掃描來固定正交分量並增加同相分量

【0062】在方塊610中，將正交係數設置為固定值以獲得初始正交係數 b_{y0} ，並將同相係數初始化為初始值 V_{min} 以獲得初始同相係數 b_{x0} 。例如，正交係數固定值亦可以被設置為 V_{min} 以獲得初始正交係數 b_{y0} 。在方塊615中，向AIC電路416提供初始同相係數 b_{x0} 和初始正交係數 b_{y0} ，並且獲得初始同相回應 r_0 。在各個實例中，初始同相回應 r_0 被獲得作為取樣平均或作為移動平均。可以用 $r_0=(x_0, y_0)$ 來表示初始同相回應 r_0 。

【0063】在方塊620中，計算在初始同相回應 r_0 處評估的初始成本函數 $C(r_0)$ 。在方塊625中，將初始成本函數 $C(r_0)$ 與預先定義的條件 C_0 進行比較。在各個實例中，預先定義的條件對應

於最小RSSI位準。若初始成本函數 $C(r_0)$ 大於 C_0 ，則進行到方塊635。否則，進行到方塊630並且將初始同相係數凍結為 b_{x0} 並將初始正交係數凍結為 b_{y0} 。

【0064】在方塊635中，藉由將初始值 V_{min} 遞增 V_{step} 來對初始同相係數 b_{x0} 進行更新，以獲得第一經更新的同相係數 b_{x1} 。在此， $b_{x1} = b_{x0} + V_{step}$ ，其中 V_{step} 是電壓增量。在方塊640中，向AIC電路416提供第一經更新的同相係數 b_{x1} 和初始正交係數 b_{y0} 用於干擾消除，並且獲得第一經更新的同相回應 r_1 。可以用 $r_1=(x_1,y_0)$ 來表示第一經更新的同相回應 r_1 。在方塊645中，計算在第一經更新的同相回應 r_1 處評估的第一經更新的同相成本函數 $C(r_1)$ 。在各個實例中，第一經更新的同相回應 r_1 被獲得作為取樣平均或作為移動平均。儘管在此未圖示，但是可以執行藉由遞增 V_{step} 來進一步更新同相係數以獲得經更新的同相成本函數（ $C(r_2)$ 、 $C(r_3)$ $C(r_n)$ ）。應當理解的是，對同相係數的更新是基於將先前的同相係數遞增了 V_{step} 。在方塊650中，基於來自同相成本函數（ $C(r_0)$ 、 $C(r_1)$ 、 $C(r_2)$ 、 $C(r_3)$ $C(r_n)$ ）的最小同相成本函數來決定最優同相係數 b_{xopt} 。

利用電壓掃描來固定同相分量並增加正交分量

【0065】在方塊655中，將同相係數設置為固定值（例如，設置為 V_{min} ）以獲得初始同相係數 b_{x0} ，並將正交係數初始化為初始值 V_{min} 以獲得初始正交係數 b_{y0} 。在方塊660中，向AIC電路416提供初始同相係數 b_{x0} 和初始正交係數 b_{y0} ，並且獲得初始正交回應 s_0 。可以用 $s_0 = (x_0, y_0)$ 來表示初始正交回應 s_0 。在

各個實例中，初始正交回應 s_0 被獲得作為取樣平均或作為移動平均。

【0066】在方塊665中，計算在初始正交回應 $s_0 = (x_0, y_0)$ 處評估的初始成本函數 $C(s_0)$ 。在方塊670中，將初始成本函數 $C(s_0)$ 與預先定義的條件 C_1 進行比較。 C_1 可以具有與上文同相係數計算中的 C_0 相同的值。在每個實例中，預先定義的條件 C_1 對應於最小RSSI位準。在每個實例中，預先定義的條件 C_1 可以是儲存的值或基於RSSI位準量測的值。若初始成本函數 $C(s_0)$ 大於 C_1 ，則進行到方塊680。否則，進行到方塊675並且將初始同相係數凍結為 b_{x0} 並將初始正交係數凍結為 b_{y0} 。

【0067】在方塊680中，藉由將初始值 V_{min} 遞增 V_{step} 來對初始正交係數 b_{y0} 進行更新，以獲得第一經更新的正交係數 b_{y1} 。在此， $b_{y1} = b_{y0} + V_{step}$ 。在方塊685中，向AIC電路416提供第一經更新的正交係數 b_{y1} 和初始同相係數 b_{x0} 用於干擾消除，並且獲得第一經更新的正交回應 s_1 。可以用 $s_1 = (x_0, y_1)$ 來表示第一經更新的正交回應 s_1 。在方塊690中，計算在第一經更新的正交回應 s_1 處評估的第一經更新的正交成本函數 $C(s_1)$ 。在每個實例中，第一經更新的正交回應 s_1 被獲得作為取樣平均或作為移動平均。儘管在此未圖示，但是可以執行藉由遞增 V_{step} 來進一步更新正交係數以獲得經更新的正交成本函數（ $C(s_2)$ 、 $C(s_3)$ $C(s_m)$ ）。應當理解的是，對正交係數的更新是基於將先前的正交係數遞增 V_{step} 的。在方塊695中，基於來自正交成本函數（ $C(s_0)$ 、 $C(s_1)$ 、 $C(s_2)$ 、 $C(s_3)$ $C(s_m)$ ）的最小正交成本函數來決定最優正交係數 b_{yopt} 。

【0068】在方塊699中，向AIC電路416提供基於最小同相和正交成本函數的最優係數 b_{xopt} 和 b_{yopt} 以最小化殘餘dc偏置。

【0069】第7a圖至第7c圖圖示在接收器中實施干擾消除時利用隨機逼近來決定用於使殘餘dc偏置最小化的係數的示例演算法的流程圖。在各個態樣中，係數計算演算法使用第一數位信號分量 $x(n)$ 和第二數位信號分量 $y(n)$ 作為輸入。利用隨機逼近的係數計算演算法產生第一基頻係數 b_x 和第二基頻係數 b_y 作為輸出。第一數位信號分量 $x(n)$ 被稱為同相信號分量，並且第二數位信號分量 $y(n)$ 被稱為正交信號分量。相應地，第一基頻係數 b_x 被稱為同相係數，並且第二基頻係數 b_y 被稱為正交係數。在各個實例中，利用隨機逼近的係數計算演算法存在於演算法引擎434內（在第4圖中圖示的）。

利用隨機逼近來固定正交分量並增加同相分量

【0070】在方塊710中，將係數設置為具有同相分量和正交分量的初始係數 c_0 。初始係數 c_0 可以被表示為 (b_{x0}, b_{y0}) ，其中 b_{x0} 是初始同相係數並且 b_{y0} 是初始正交係數。儘管本例被圖示為具有同相和正交係數，但是本例可以被一般化為任何兩個維度，亦即，一般化為第一維度和第二維度。

【0071】在方塊715中，藉由將初始同相係數 b_{x0} 遞增第一同相增量 Δ_x 來獲得第一同相係數 b_{x1} ；亦即， $b_{x1} = b_{x0} + \Delta_x$ 。因此，經由同相增量的第一2維係數 (c_1) 被表示為 (b_{x1}, b_{y0}) 。在方塊720中，向AIC電路416提供經由同相增量的第一2維係數 (c_1) ，並且獲得第一同相回應 r_1 。

【0072】在方塊725中，藉由將初始同相係數 b_{x0} 遞減第一同

相增量 Δ_x 來獲得第二同相係數 b_{x2} ；亦即， $b_{x2} = b_{x0} - \Delta_x$ 。因此，經由同相增量的第二2維係數(c_2)被表示為(b_{x2}, b_{y0})。在方塊730中，向AIC電路416提供經由同相增量的第二2-D係數(c_2)，並且獲得第二同相回應 r_2 。在方塊735中，根據第一同相回應 r_1 和第二同相回應 r_2 之間的差來計算同相梯度 G_1 。在各個實例中，

$$G_1 = (r_1 - r_2)/(2 \Delta_x) \quad \text{式(5)}$$

【0073】在方塊740中，計算最優同相梯度 G_{1opt} 。儘管在此未圖示，但是可以藉由將經由同相增量的第一和第二2維係數(c_1, c_2)遞增和遞減 Δ_x 並重複方塊715至735直到同相梯度 G_1 小於梯度閾值 G_0 為止，來執行對同相梯度 G_1 的進一步更新。將來自反覆運算的、小於梯度閾值 G_0 的第一同相梯度 G_1 稱為最優同相梯度 G_{1opt} 。第一同相增量 Δ_x 可以是正值或負值。

利用隨機逼近來固定同相分量並增加正交分量

【0074】在方塊745中，選擇 b_{x0} 作為初始同相係數並選擇 b_{y0} 作為初始正交係數。在方塊750中，藉由將初始正交係數 b_{y0} 遞增第一正交增量 Δ_y 來獲得第一正交係數 b_{y1} ；亦即， $b_{y1} = b_{y0} + \Delta_y$ 。因此，經由正交增量的第一2維係數(d_1)被表示為(b_{x0}, b_{y1})。在方塊755中，向AIC電路416提供經由正交增量的第一2維係數(d_1)，並且獲得第一正交回應 s_1 。

【0075】在方塊760中，藉由將初始正交係數 b_{y0} 遞減第一正交增量 Δ_y 來獲得第二正交係數 b_{y2} ；亦即， $b_{y2} = b_{y0} - \Delta_y$ 。因此，經由正交增量的第二2維係數(d_2)被表示為(b_{x0}, b_{y2})。在方塊765中，向AIC電路416提供經由正交增量的第二2維係數(d_2)

，並且獲得第二正交回應 s_2 。在方塊 770 中，根據第一正交回應 s_1 和第二正交回應 s_2 之間的差來計算正交梯度 G_Q 。在各個實例中，

$G_Q = (s_1 - s_2)/(2 \Delta_y)$ 式(6)

【0076】 在方塊 775 中，計算最優正交梯度 G_{Qopt} 。儘管在此未圖示，但是可以藉由將經由正交增量的第一和第二 2 維係數 (d_1, d_2) 遞增和遞減 Δ_y 並重複方塊 750 至 770 直到正交梯度 G_Q 亦小於梯度閾值 G_0 為止，來執行對正交梯度 G_Q 的進一步更新。將來自反覆運算的、小於梯度閾值 G_0 的第一正交梯度 G_Q 稱為最優正交梯度 G_{Qopt} 。第一正交增量 Δ_y 可以是正值或負值。

形成複合係數

【0077】 在方塊 780 中，根據最優同相梯度 G_{Iopt} 和最優正交梯度 G_{Qopt} 來形成複合係數 w_c 。

$w_c = c_0 - [G_{Iopt} + G_{Qopt}] * \Delta_w$ 式(7)

【0078】 在各個實例中，係數增量 Δ_w 等於第一同相增量 Δ_x 或第一正交增量 Δ_y 。

【0079】 在方塊 785 中，向 AIC 電路 416 提供複合係數 w_c 以使殘餘 dc 偏置最小化。在各個實例中，單獨地對同相係數和正交係數進行更新。

【0080】 第 8a 圖至第 8c 圖圖示在接收器中實施干擾消除時利用簡化隨機逼近來決定用於使殘餘 dc 偏置最小化的係數的示例演算法的流程圖。在各個態樣中，係數計算演算法使用第一數位信號分量 $x(n)$ 和第二數位信號分量 $y(n)$ 作為輸入。利用簡化隨機逼近的係數計算演算法產生第一基頻係數 b_x 和第二

基頻係數 b_y 作為輸出。第一數位信號分量 $x(n)$ 被稱為同相信號分量，並且第二數位信號分量 $y(n)$ 被稱為正交信號分量。相應地，第一基頻係數 b_x 被稱為同相係數，並且第二基頻係數 b_y 被稱為正交係數。在各個實例中，利用簡化隨機逼近的係數計算演算法存在於演算法引擎434內（在第4圖中圖示的）。

計算初始成本函數 $C(z_0)$

【0081】在方塊810中，將係數設置為具有同相分量和正交分量的初始係數 c_0 。初始係數 c_0 可以被表示為 (b_{x0}, b_{y0}) ，其中 b_{x0} 是初始同相係數並且 b_{y0} 是初始正交係數。儘管本例被圖示為具有同相和正交係數，但是本例可以一般化為任何兩個維度，亦即，一般化為第一維度和第二維度。在方塊815中，向AIC電路416提供初始係數 c_0 ，並且獲得初始回應 z_0 。在方塊820中，計算在初始回應 z_0 處評估的初始成本函數 $C(z_0)$ 。在各個實例中，初始回應 z_0 被獲得作為取樣平均或作為移動平均。初始成本函數 $C(z_0)$ 對應於初始係數 c_0 。

利用簡化隨機逼近來固定正交分量並增加同相分量

【0082】在方塊825中，藉由將初始同相係數 b_{x0} 遞增第一同相增量 Δ_x 來獲得第一同相係數 b_{x1} ；亦即， $b_{x1} = b_{x0} + \Delta_x$ 。因此，經由同相增量的第一2維係數 (c_1) 被表示為 (b_{x1}, b_{y0}) 。在方塊830中，向AIC電路416提供經由同相增量的第一2維係數 (c_1) ，並且獲得第一同相回應 r_1 。在方塊835中，計算在第一同相回應 r_1 處評估的增量同相成本函數 $C(r_1)$ 。在各個實例中，第一同相回應 r_1 被獲得作為取樣平均或作為移動平均。增量同相成本函數 $C(r_1)$ 對應於經由同相增量的第一2維係數 (c_1) 。第一同

相增量 Δ_x 可以是正值或負值。

利用簡化隨機逼近來固定同相分量並增加正交分量

【0083】在方塊840中，選擇 b_{x0} 作為初始同相係數並選擇 b_{y0} 作為初始正交係數。在方塊845中，藉由將初始正交係數 b_{y0} 遞增第一正交增量 Δ_y 來獲得第一正交係數 b_{y1} ；亦即， $b_{y1} = b_{y0} + \Delta_y$ 。因此，經由正交增量的第一2維係數 (d_1) 被表示為 (b_{x0}, b_{y1}) 。在方塊850中，向AIC電路416提供經由正交增量的第一2維係數 (d_1)，並且獲得第一正交回應 s_1 。在方塊855中，計算在第一正交回應 s_1 處評估的增量正交成本函數 $C(s_1)$ 。在各個實例中，第一正交回應 s_1 被獲得作為取樣平均或作為移動平均。增量正交成本函數 $C(s_1)$ 對應於經由正交增量的第一2維係數 (d_1)。第一正交增量 Δ_y 可以是正值或負值。

對係數進行更新

【0084】在方塊860中，根據以下邏輯來對初始係數 c_0 進行更新，以獲得經更新的係數 w_1 ：

若 $C(r_1) < C(z_0)$ 並且 $C(s_1) < C(z_0)$ ，則令 $w_1 = c_0 + (\Delta_x + j\Delta_y)$

否則若 $C(r_1) \geq C(z_0)$ 並且 $C(s_1) < C(z_0)$ ，則令 $w_1 = c_0 + (-\Delta_x + j\Delta_y)$

否則若 $C(r_1) < C(z_0)$ 並且 $C(s_1) \geq C(z_0)$ ，則令 $w_1 = c_0 + (\Delta_x - j\Delta_y)$

否則，令 $w_1 = c_0 + (-\Delta_x - j\Delta_y)$

【0085】在方塊865中，向AIC電路416提供經更新的係數 w_1 ，並且獲得經更新的回應 z_1 。在方塊870中，計算在經更新的回應 z_1 處評估的經更新的成本函數 $C(z_1)$ 。在各個實例中，經更新的回應 z_1 被獲得作為取樣平均或作為移動平均。經更新的成本函數 $C(z_1)$ 對應於經更新的係數 w_1 。

【0086】在方塊875中，重複方塊825至835和845至870以獲得最優經更新的係數 w_{opt} 。最優經更新的係數 w_{opt} 對應於最優成本函數，其中最優成本函數是小於成本函數閾值 $C_{threshold}$ 的成本函數。會理解的是，成本函數閾值 $C_{threshold}$ 的值可以取決於以下各項中的一項或多項：類比數位轉換器（ADC 432）的量化等級、ADC 432處的熱雜訊、ADC 432處的干擾、期望信號的存在等。

【0087】在方塊880處，向AIC電路提供最優係數 w_{opt} 以使殘餘dc偏置最小化。在各個態樣中，單獨地對同相係數和正交係數進行更新。

【0088】第9a圖至第9b圖圖示用於干擾消除的方法的流程圖。可以由具有一或多個發射器以及一或多個接收器的設備來執行該方法。在各個實例中，一或多個發射器和接收器均根據相同的無線電存取技術（RAT）來操作。在另一個實例中，設備被配置為根據第一RAT來發送信號，同時接收根據第二RAT來發送的信號。在方塊905中，設備可以接收傳輸信號。在各個態樣中，接收器（例如，在第4圖中圖示的接收器420）用於接收傳輸信號。在各個實例中，接收器可以耦合到被配置為執行一或多個方塊910至990中的步驟的至少一個處理器。在方塊910中，設備可以利用第一係數集合來計算第一成本函數值。在各個態樣中，設備可以使用成本函數計算模組505（在第5圖中圖示的）來計算第一成本函數值。在各個實例中，第一係數集合是儲存的值，例如儲存在是設備的一部分的記憶體中。

【0089】在方塊920中，設備可以利用第一係數控制演算法來計算第二係數集合。在各個實例中，第一係數控制演算法是以下各項中的一項：電壓掃描演算法、隨機逼近演算法、簡化隨機逼近演算法。在各個態樣中，設備包括係數計算模組555以計算第二係數集合，其中係數計算模組555可以包括以下模組中的一或多個模組：電壓掃描模組540、簡化隨機逼近模組550或隨機逼近模組560（在第5圖中圖示的）。在各個實例中，係數計算模組555可以包括用於其他係數計算演算法的其他模組。預先定義的條件可以使得第一係數控制演算法能夠使用。在各個實例中，預先定義的條件是接收信號強度指示（RSSI）大於RSSI閾值，並且RSSI與第一成本函數值相關聯。若RSSI和先前的RSSI之間的差大於預先決定的值，則RSSI與第一成本函數值相關聯。在各個實例中，預先決定的值可以基於熱雜訊位準、干擾位準及/或傳播條件等。在各個實例中，用同相和正交分量來表示第一係數集合和第二係數集合。

【0090】在方塊930中，設備可以利用第二係數集合來計算第二成本函數值。例如，設備可以基於從所應用的第二係數集合得到的多個取樣的移動平均或取樣平均，來計算第二成本函數值。在各個實例中，設備可以基於相應的均方誤差來計算第一成本函數值和第二成本函數值。在各個態樣中，設備可以使用成本函數計算模組505（在第5圖中圖示的）來計算第二成本函數值。

【0091】在方塊940中，設備可以將第二成本函數值與第一成

本函數值進行比較以得到比較結果。在各個態樣中，設備可以使用成本函數比較模組520（在第5圖中圖示的）來將第二成本函數值與第一成本函數值進行比較。

【0092】在方塊950中，設備可以使用比較結果來決定是要應用第一係數集合還是第二係數集合來進行干擾消除。例如，若比較結果指示第二成本函數值小於第一成本函數值，則應用第一係數集合來進行干擾消除。在各個態樣中，設備可以使用係數計算演算法選擇模組530（在第5圖中圖示的）來決定是要應用第一係數集合還是第二集合來進行干擾消除。

【0093】在方塊960中，若比較結果得到第二成本函數值小於第一成本函數值，則設備可以利用第二係數控制演算法、基於第二係數集合來繼續計算第三係數集合。第二係數控制演算法可以與第一係數控制演算法相同。例如，演算法可以是以下各項中的一項：電壓掃描演算法、隨機逼近演算法、簡化隨機逼近演算法。在另一個實例中，第二係數控制演算法與第一係數控制演算法不同。在各個實例中，第一係數控制演算法和第二係數控制演算法均是以下各項中的一項：電壓掃描演算法、隨機逼近演算法、簡化隨機逼近演算法。此外，設備可以使用係數計算模組555來計算第三係數集合。或者，設備可以使用對應的模組（電壓掃描模組540、簡化隨機逼近模組550或隨機逼近模組560（在第5圖中圖示的））來計算第三係數集合。

【0094】在方塊970中，設備可以利用第三係數集合來計算第三成本函數值。在各個態樣中，設備可以使用成本函數計算

模組505（在第5圖中圖示的）來計算第三成本函數值。在方塊980中，設備可以將第三成本函數值與第二成本函數值進行比較以得到經更新的比較結果。在各個態樣中，設備可以使用成本函數比較模組520（在第5圖中圖示的）來將第三成本函數值與第二成本函數值進行比較。

【0095】在方塊990中，設備可以使用經更新的比較結果來決定是否要應用第三係數集合來進行干擾消除。在各個態樣中，設備可以使用係數計算演算法選擇模組530（在第5圖中圖示的）來決定是否要應用第三係數集合來進行干擾消除。在各個實例中，設備可以亦針對一或多個係數集合和成本函數值來重複方塊960至990。在各個態樣中，可以由係數控制器450來執行方塊910至990，並且係數控制器450可以耦合到被配置為執行方塊910至990中的步驟的至少一個處理器。

【0096】在方塊995中，設備（例如，使用AIC電路416）可以應用係數集合中的一個集合（例如，第一集合、第二集合、第三集合等）來過濾參考信號，並且隨後從接收到的傳輸信號中減去（例如，使用接收器420）過濾出的參考信號，用於干擾消除。在各個實例中，係數集合被輸入到AIC電路416中以修改AIC電路416的頻率回應，該AIC電路416對輸入到AIC電路416的參考信號進行過濾。隨後將過濾出的參考信號從AIC電路416輸出到加法器422（在第4圖中圖示的）。在加法器422處，從接收到的傳輸信號（來自方塊905）中減去過濾出的參考信號，從而產生干擾消除。

【0097】第10圖是圖示用於採用處理電路1002的裝置1000的

硬體實施方式的簡化實例的圖。處理電路通常具有處理器1016，該處理器1016可以包括微處理器、微控制器、數位訊號處理器、定序器和狀態機中的一或多個。可以利用匯流排架構（通常由匯流排1020表示）來實施處理電路1002。取決於處理電路1002的特定應用和整體設計約束，匯流排1020可以包括任意數量的互連匯流排和橋接。匯流排1020將各種電路連結在一起，包括一或多個處理器及/或硬體模組（由處理器1016表示）、模組或電路1004和1008、可配置為經由一或多個天線1014通訊的收發機電路1012、以及電腦可讀取儲存媒體1018。匯流排1020亦可以連結各種其他電路，諸如定時源、周邊設備、電壓調節器以及功率管理電路，該等電路是本領域公知的，並且因此將不再進一步描述。

【0098】 處理器1016負責通用處理，包括執行儲存在電腦可讀取儲存媒體1018上的軟體。在各個實例中，電腦可讀取儲存媒體儲存可在設備上操作的電腦可執行代碼。當軟體被處理器1016執行時，使得處理電路1002執行上面針對任何特定裝置所描述的各個功能。電腦可讀取儲存媒體1018亦可以用於儲存由處理器1016在執行軟體時所操縱的資料，包括在經由一或多個天線1014發送的RF信號中發送或接收的資料，該資料可以被配置為資料通道和時鐘通道。處理電路1002亦包括模組1004和1008中的至少一個模組。模組1004和1008可以是在處理器1016中執行的、存在於/儲存在電腦可讀取儲存媒體1018中的軟體模組，耦合到處理器1016的一或多個硬體模組，或其某種組合。模組1004及/或1008可以包括微控制器指

令、狀態機配置參數或其某種組合。

【0099】 在一種配置中，用於無線通訊的裝置1000包括：模組及/或電路1004，其被配置為接收並處理表示裝置1000所發送的干擾信號的參考信號；模組及/或電路1008，其被配置為利用RF、基頻或數位回饋來配置濾波器；及模組及/或電路1010，其被配置為消除RF信號中的干擾。儘管第10圖中圖示模組/電路（例如，1004、1008、1010、1012、1018）在處理器1016外部，但是會理解的是，該等模組/電路中的一或多個模組/電路可以存在於處理器1016內。

【0100】 第11圖是圖示用於採用處理電路1102的裝置的硬體實施方式的簡化實例的概念圖1100，該處理電路1102可以被配置為執行本文所揭示的一或多個功能。根據本案內容的各個態樣，可以利用處理電路1102來實施本文所揭示的元素、元素的任意部分或元素的任意組合。處理電路1102可以包括由硬體和軟體模組的某種組合來控制的一或多個處理器1104。處理器1104的實例包括被配置為執行貫穿本案內容所描述的各個功能的微處理器、微控制器、數位訊號處理器（DSP）、現場可程式設計閘陣列（FPGA）、可程式設計邏輯裝置（PLD）、狀態機、定序器、閘控邏輯、個別硬體電路、以及其他適當的硬體。一或多個處理器1104可以包括專用處理器，該專用處理器執行特定的功能，並且可以由軟體模組1116中的一個軟體模組來配置、增強或控制。一或多個處理器1104可以經由在初始化期間載入的軟體模組1116的組合來配置，並且可以經由在操作期間載入或卸載一或多個軟體模組1116

來進一步配置。

【0101】 在所圖示的實例中，可以利用匯流排架構（通常由匯流排1110表示）來實施處理電路1102。取決於處理電路1102的特定應用和整體設計約束，匯流排1110可以包括任意數量的互連匯流排和橋接。匯流排1110將各種電路連結在一起，包括一或多個處理器1104以及儲存器1106。儲存器1106可以包括記憶體設備和大型儲存設備，並且在本文中可以被稱為電腦可讀取儲存媒體及/或處理器可讀儲存媒體。匯流排1110亦可以連結各種其他電路，諸如時序源、計時器、周邊設備、電壓調節器以及功率管理電路。匯流排介面1108可以提供匯流排1110和一或多個收發機1112之間的介面。可以針對處理電路所支援的每種網路技術來提供收發機1112。在某些實例中，多種網路技術可以共享收發機1112中所找到的電路或處理模組中的一些或全部。每個收發機1112提供用於經由傳輸媒體來與各種其他裝置進行通訊的單元。取決於裝置的性質，亦可以提供使用者介面1118（例如，小鍵盤、顯示器、揚聲器、麥克風、操縱桿），並且使用者介面1118可以直接或經由匯流排介面1108通訊地耦合到匯流排1110。

【0102】 處理器1104可以負責管理匯流排1110以及負責通用處理，該通用處理可以包括執行儲存在電腦可讀取儲存媒體（其可以包括儲存器1106）中的軟體。在該態樣，處理電路1102（包括處理器1104）可以用於實施本文所揭示的方法、功能和技術中的任何方法、功能和技術。儲存器1106可以用於儲存由處理器1104在執行軟體時所操縱的資料，並且軟體

可以被配置為實施本文所揭示的方法中的任何一種方法。

【0103】 處理電路1102中的一或多個處理器1104可以執行軟體。無論是被稱為軟體、韌體、仲介軟體、微代碼、硬體描述語言或其他術語，軟體應當被廣義解釋為意指指令、指令集、代碼、程式碼片段、程式碼、程式、副程式、軟體模組、應用、軟體應用、套裝軟體、常式、子常式、物件、可執行檔、執行的執行緒、程序、函數、演算法等。軟體可以以電腦可讀形式常駐於儲存器1106中或外部電腦可讀取儲存媒體中。外部電腦可讀取儲存媒體及/或儲存器1106可以包括非暫時性電腦可讀取儲存媒體。舉例而言，非暫時性電腦可讀取媒體包括磁性儲存設備（例如，硬碟、軟碟、磁帶）、光碟（例如，壓縮光碟（CD）或數位多功能光碟（DVD））、智慧卡、快閃記憶體設備（例如，「快閃記憶體驅動器」、卡、棒或鍵式磁碟）、隨機存取記憶體（RAM）、唯讀記憶體（ROM）、可程式設計ROM（PROM）、可抹除PROM（EPROM）、電子可抹除PROM（EEPROM）、暫存器、可移除磁碟，以及用於儲存可由電腦存取和讀取的軟體及/或指令的任何其他適當的媒體。舉例而言，電腦可讀取儲存媒體及/或儲存器1106亦可以包括載波波形、傳輸線、以及用於發送可由電腦存取和讀取的軟體及/或指令的任何其他適當的媒體。電腦可讀取儲存媒體及/或儲存器1106可以常駐於處理電路1102中，處理器1104中、處理電路1102之外，或跨越包括處理電路1102的多個實體來分佈。電腦可讀取儲存媒體及/或儲存器1106可以體現在電腦程式產品中。舉例而言，電腦程式產品可以包

括封裝材料中的電腦可讀取儲存媒體。本領域技藝人士將認識到，如何根據特定的應用和施加在整體系統上的整體設計約束，來最優地實施遍及本案內容介紹的所描述的功能。

【0104】 儲存器 1106 可以保持軟體，該軟體是以可載入的程式碼片段、模組、應用、程式等（本文中可以被稱為軟體模組 1116）來保持及/或組織的。軟體模組 1116 之每一者軟體模組可以包括指令和資料，當該等指令和資料被安裝或載入到處理電路 1102 上並且由一或多個處理器 1104 執行時，有助於對一或多個處理器 1104 的操作進行控制的執行時間映射 1114。當某些指令被執行時，可以使得處理電路 1102 根據本文所描述的某些方法、演算法和程序來執行功能。

【0105】 軟體模組 1116 中的某些軟體模組可以在處理電路 1102 的初始化期間載入，並且該等軟體模組 1116 可以將處理電路 1102 配置為使得能夠執行本文所揭示的各種功能。例如，某些軟體模組 1116 可以配置處理器 1104 的內部設備及/或邏輯電路 1122，並且可以管理到外部設備（諸如收發機 1112、匯流排介面 1108、使用者介面 1118、計時器、數學輔助處理器等等）的存取。軟體模組 1116 可以包括控制程式及/或作業系統，該控制程式及/或作業系統與中斷處理機和裝置驅動程式進行互動，並且控制到由處理電路 1102 提供的各種資源的存取。資源可以包括記憶體、處理時間、到收發機 1112 的存取、使用者介面 1118 等等。

【0106】 處理電路 1102 的一或多個處理器 1104 可以是多功能的，由此載入並配置軟體模組 1116 中的某些軟體模組，以執

行不同的功能或相同功能的不同實例。一或多個處理器1104可以另外適於管理回應於來自例如使用者介面1118、收發機1112和裝置驅動程式的輸入而發起的幕後工作。爲了支援執行多種功能，一或多個處理器1104可以被配置爲提供多工環境，由此多種功能中的每種功能依須求或按期望實施爲由一或多個處理器1104進行服務的任務的集合。在各個實例中，可以利用分時（timesharing）程式1120來實施多工環境，該分時程式1120在不同的任務之間傳遞對處理器1104的控制，由此在完成任何未完成操作時及/或回應於諸如中斷的輸入，每個任務將對一或多個處理器1104的控制返回給分時程式1120。當任務具有對一或多個處理器1104的控制時，處理電路有效地專門用於與控制任務相關聯的功能所論述的目的。分時程式1120可以包括作業系統、基於循環法（round-robin）來傳送控制的主迴路、根據功能的優先順序來分配對一或多個處理器1104的控制的功能，及/或中斷驅動的主迴路，該中斷驅動的主迴路藉由向處置函數提供對一或多個處理器1104的控制來回應外部事件。

【0107】 另外，第10圖和第11圖中所描述的元件可以被實施爲執行第6圖至第9圖中的流程圖的一些或所有方塊。已介紹了電信系統的若干態樣。如本領域技藝人士將容易意識到的，遍及本案內容所描述的各個態樣可以擴展到各種類型的電信系統、網路架構和通訊標準。

【0108】 在本案內容中，詞「示例性」用於意指「作爲示例、實例或說明」。本文中描述爲「示例性」的任何實施方式

或態樣不必被解釋為比本案內容的其他態樣優選或有優勢。同樣地，術語「態樣」不要求本案內容的所有態樣包括所論述的特徵、優勢或操作模式。術語「耦合」在本文中用於代表兩個物件之間的直接或間接耦合。例如，若物件A實體地接觸物件B，並且物件B接觸物件C，則即使物件A和C彼此沒有直接實體地接觸，其亦仍然可以被視為彼此耦合。例如，第一晶粒可以耦合到封裝中的第二晶粒，即使第一晶粒沒有與第二晶粒直接實體地接觸。術語「電路」和「線路」被廣泛地使用，並且意欲包括電子設備和導體的硬體實施方式以及資訊和指令的軟體實施方式，當連接並配置該等電子設備和導體時，使得能夠執行本案內容中所描述的功能，當處理器執行該等資訊和指令時，使得能夠執行本案內容中所描述的功能。

【0109】 附圖中所圖示的部件、方塊、特徵及/或功能中的一或多個可以被重新排列及/或被組合成單個部件、方塊、特徵或功能或體現在若干部件、方塊或功能中。在不脫離本文所揭示的新穎性特徵的情況下，亦可以添加額外的元素、部件、方塊及/或功能。各個附圖中所圖示的裝置、設備及/或部件可以被配置為執行本文所描述的方法、特徵或方塊中的一或多個。本文所描述的新穎性演算法亦可以在軟體中有效地實施及/或嵌入到硬體中。

【0110】 要理解的是，所揭示的方法中的方塊的特定次序或層次是對示例性程序的說明。基於設計偏好，要理解，可以重新排列方法中的方塊的特定次序或層次。所附方法請求項

以取樣次序介紹了各個方塊的要素，而並非意在受限於所介紹的特定次序或層次，除非在其中特別敘述。

【0111】 提供以上描述以使得本領域任何技藝人士能夠實施本文所描述의各個態樣。對該等態樣的各種修改對於本領域技藝人士而言將是顯而易見的，並且本文所定義的一般原理可以應用於其他態樣。因此，請求項並非意欲受限於本文所圖示的態樣，而是意欲被給予與請求項字面語言相一致的完整範圍，其中以單數形式引用元素並非意欲表示「一個且僅有一個」（除非特別地聲明如此），而是表示「一或多個」。除非另外特別地聲明，否則術語「某些」是指一或多個。提及項目列表「中的至少一個」的用語是指該等項目的任意組合，包括單一成員。舉例而言，「a、b或c中的至少一個」意欲覆蓋：a、b、c、a和b、a和c、b和c、以及a、b和c。遍及本案內容描述의各個態樣的元素的、對於本領域的一般技藝人士而言已知或稍後將知的全部結構的和功能的均等物以引用方式明確地併入本文中，並且意欲被包含在請求項中。此外，本文沒有任何公開內容意欲奉獻給公眾，不管此種公開內容是否明確記載在請求項中。沒有請求項要素要根據專利法施行細則第18條第8項來解釋，除非該要素是使用「用於…的構件」的用語來明確地記載的，或在方法請求項的情形下，該要素是使用「用於…的步驟」的用語來記載的。

【符號說明】

【0112】

102 發射器（侵害方）無線電單元

- 104 接收器（受害方）無線電單元
- 106 類比干擾消除（AIC）
- 200 網路環境
 - 202a 無線通訊設備
 - 202b 無線通訊設備
 - 202c 無線通訊設備
 - 202d 無線通訊設備
- 204 無線電存取網路（RAN）
- 206 存取點
- 208 存取點
- 210 存取點
- 212 雲
- 214 無線電存取網路（RAN）
- 300 無線通訊設備
 - 302a 發射器
 - 302b 發射器
 - 302c 發射器
 - 302d 發射器
- 304 多工器（MUX）電路
- 306 干擾消除電路
- 308 解多工器（DEMUX）電路
 - 310a 接收器
 - 310b 接收器
 - 310c 接收器

- 310d 接收器
- 316 干擾消除信號
- 400 系統
- 402 發射器
- 404 參考信號
- 406 空中干擾信號
- 408 功率放大器 (PA)
- 410 TX 濾波器
- 412 耦合器
- 414 接收濾波器
- 416 AIC 電路
- 420 接收器
- 422 加法器
- 424 接收濾波器
- 426 低雜訊放大器 (LNA)
- 428 混頻器
- 430 類比濾波器
- 432 類比數位轉換器 (ADC)
- 432a 類比數位轉換器
- 432b 類比數位轉換器
- 434 演算法引擎
- 440 數位類比轉換器
- 440a 數位類比轉換器
- 440b 數位類比轉換器

- 450 係數控制器
- 481 多相部件
- 482 混頻器
- 483 加法器/積分器/組合器
- 484 混頻器
- 485 多相部件
- 486 混頻器
- 487 第一加法器/第一積分器
- 488 第一低通濾波器 (LPF)
- 489 放大器
- 490 混頻器
- 491 第二加法器/第二積分器
- 492 第二低通濾波器 (LPF)
- 493 放大器
- 495 放大器
- 501 類比輸入信號處理模組
- 502 類比輸入信號處理模組
- 505 成本函數計算模組
- 510 成本函數儲存模組
- 520 成本函數比較模組
- 530 係數計算演算法選擇模組
- 531 線路
- 540 電壓掃瞄模組
- 550 簡化隨機逼近模組

- 555 係數計算模組
- 560 隨機逼近模組
- 570 係數應用模組
- 571 類比輸出信號處理模組
- 572 類比輸出信號處理模組
- 610 方塊
- 615 方塊
- 620 方塊
- 625 方塊
- 630 方塊
- 635 方塊
- 640 方塊
- 645 方塊
- 650 方塊
- 655 方塊
- 660 方塊
- 665 方塊
- 670 方塊
- 675 方塊
- 680 方塊
- 685 方塊
- 690 方塊
- 695 方塊
- 699 方塊

710 方塊

715 方塊

720 方塊

725 方塊

730 方塊

735 方塊

740 方塊

745 方塊

750 方塊

755 方塊

760 方塊

765 方塊

770 方塊

775 方塊

780 方塊

785 方塊

810 方塊

815 方塊

820 方塊

825 方塊

830 方塊

835 方塊

840 方塊

845 方塊

850 方塊

855 方塊

860 方塊

865 方塊

870 方塊

875 方塊

880 方塊

905 方塊

910 方塊

920 方塊

930 方塊

940 方塊

950 方塊

960 方塊

970 方塊

980 方塊

990 方塊

995 方塊

1000 裝置

1002 處理電路

1004 模組/電路

1008 模組/電路

1010 模組/電路

1012 模組/電路

- 1014 天線
- 1016 處理器
- 1018 模組/電路
- 1020 匯流排
- 1100 概念圖
- 1102 處理電路
- 1104 處理器
- 1106 儲存器
- 1108 匯流排介面
- 1110 匯流排
- 1112 收發機
- 1114 執行時間映射
- 1116 軟體模組
- 1118 使用者介面
- 1120 分時程式
- 1122 內部設備/邏輯電路

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

1. 一種用於干擾消除的方法，包括以下步驟：

利用一接收器來接收一傳輸信號；

利用一第一係數集合來計算一第一成本函數值；

利用一第一係數控制演算法來計算一第二係數集合；

利用該第二係數集合來計算一第二成本函數值；

將該第二成本函數值與該第一成本函數值進行比較以得到一比較結果；

利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除；及

應用該第一係數集合或該第二係數集合中的一個集合來過濾一參考信號，並且從該所接收的傳輸信號中減去該過濾出的參考信號來進行該干擾消除。

2. 如請求項1所述之方法，其中該第一係數控制演算法是以下各項中的一項：一電壓掃描演算法、一隨機逼近演算法，或一簡化隨機逼近演算法。

3. 如請求項1所述之方法，其中一預先定義的條件使得該第一係數控制演算法能夠使用。

4. 如請求項3所述之方法，其中該預先定義的條件是一接收信號強度指示（RSSI）大於一RSSI閾值，其中該RSSI與該第一成本函數值相關聯。

5. 如請求項1所述之方法，亦包括以下步驟：若該比較結果指示該第二成本函數值小於該第一成本函數值，則應用該第二係數集合來進行該干擾消除。

6. 如請求項1所述之方法，亦包括以下步驟：若該比較結果得到該第二成本函數值小於該第一成本函數值，則基於該第二係數集合、利用一第二係數控制演算法來計算一第三係數集合。

7. 如請求項6所述之方法，亦包括以下步驟：

利用該第三係數集合來計算一第三成本函數值；

將該第三成本函數值與該第二成本函數值進行比較以得到一經更新的比較結果；及

利用該經更新的比較結果來決定是否要應用該第三係數集合來進行該干擾消除。

8. 如請求項6所述之方法，其中該第二係數控制演算法與該第一係數控制演算法相同；並且其中該第一係數控制演算法是以下各項中的一項：一電壓掃描演算法、一隨機逼近演算法，或一簡化隨機逼近演算法。

9. 如請求項6所述之方法，其中該第二係數控制演算法與該第一係數控制演算法不同；並且其中該第一係數控制演算法

和該第二係數控制演算法包括以下各項中的兩項：一電壓掃描演算法、一隨機逼近演算法，或一簡化隨機逼近演算法。

10. 如請求項1所述之方法，其中該計算該第二成本函數值的步驟是基於從該所應用的第二係數集合產生的複數個取樣的一移動平均或一取樣平均的。

11. 如請求項1所述之方法，其中該第一係數集合和該第二係數集合是由同相分量和正交分量來表示的。

12. 如請求項1所述之方法，其中該計算該第一成本函數值之步驟是基於一第一均方誤差的，並且該計算該第二成本函數值是基於一第二均方誤差的。

13. 一種用於干擾消除的裝置，包括：

至少一個處理器；

一記憶體，該記憶體用於儲存一第一係數集合，該記憶體耦合到該至少一個處理器；

一接收器，該接收器耦合到該至少一個處理器，該接收器被配置用於接收一傳輸信號；

一係數控制器，該係數控制器耦合到該至少一個處理器的，該係數控制器被配置用於執行以下操作：

利用該第一係數集合來計算一第一成本函數值；

利用一第一係數控制演算法來計算一第二係數集合

；

利用該第二係數集合來計算一第二成本函數值；

將該第二成本函數值與該第一成本函數值進行比較
以得到一比較結果；及

利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除；及

一類比干擾消除（AIC）電路，該類比干擾消除電路用於：應用該第一係數集合或該第二係數集合中的一個集合來過濾一參考信號，並且其中該接收器從該所接收的傳輸信號中減去該過濾出的參考信號來進行該干擾消除。

14. 如請求項13所述之裝置，其中一預先定義的條件使得該第一係數控制演算法能夠使用，並且其中該預先定義的條件是一接收信號強度指示（RSSI）大於一RSSI閾值並且該RSSI與該第一成本函數值相關聯。

15. 如請求項13所述之裝置，其中若該比較結果指示該第二成本函數值小於該第一成本函數值，則該類比干擾消除（AIC）電路應用該第二係數集合來進行該干擾消除。

16. 如請求項13所述之裝置，其中該係數控制器包括：一成本函數計算模組，其用於計算該第一成本函數值和該第二成本函數值；一係數計算模組，其用於計算該第二係數集合；一成本函數比較模組，其用於將該第二成本函數值與該第一

成本函數值進行比較；及一係數計算演算法選擇模組，其用於利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合。

17. 如請求項16所述之裝置，其中該係數計算模組包括以下模組中的至少一個模組：用於執行一電壓掃描演算法的一電壓掃描模組、用於執行一隨機逼近演算法的一隨機逼近模組，或用於執行一簡化隨機逼近演算法的一簡化隨機逼近模組。

18. 如請求項16所述之裝置，其中若該比較結果得到該第二成本函數值小於該第一成本函數值，則該係數計算模組基於該第二係數集合、利用一第二係數控制演算法來計算一第三係數集合。

19. 如請求項18所述之裝置，其中：

該成本函數計算模組利用該第三係數集合來計算一第三成本函數值；

該成本函數比較模組將該第三成本函數值與該第二成本函數值進行比較以得到一經更新的比較結果；及

該係數計算演算法選擇模組利用該經更新的比較結果來決定是否要應用該第三係數集合來進行該干擾消除。

20. 如請求項13所述之裝置，其中該第二成本函數值是基於

從該所應用第二係數集合產生的複數個取樣的一移動平均或一取樣平均來計算的。

21. 如請求項13所述之裝置，其中該第一係數集合和該第二係數集合是由同相分量和正交分量來表示的。

22. 如請求項13所述之裝置，其中該第一成本函數值是基於一第一均方誤差來計算的，並且該第二成本函數值是基於一第二均方誤差來計算的。

23. 一種用於干擾消除的裝置，包括：

至少一個處理器；

一記憶體，該記憶體用於儲存第一係數集合，該記憶體耦合到該至少一個處理器；

一接收器，該接收器耦合到該至少一個處理器，該接收器用於接收一傳輸信號；

用於利用該第一係數集合來計算一第一成本函數值的構件；

用於利用一第一係數控制演算法來計算一第二係數集合的構件；

用於利用該第二係數集合來計算一第二成本函數值的構件；

用於將該第二成本函數值與該第一成本函數值進行比較以得到一比較結果的構件；

用於利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除的構件；及

用於應用該第一係數集合或該第二係數集合中的一個集合來過濾一參考信號的構件；及

其中該接收器從該所接收的傳輸信號中減去該過濾出的參考信號來進行該干擾消除。

24. 如請求項23所述之裝置，其中一預先定義的條件使得該第一係數控制演算法能夠使用，以及其中該預先定義的條件是一接收信號強度指示（RSSI）大於一RSSI閾值並且該RSSI與該第一成本函數值相關聯。

25. 如請求項23所述之裝置，亦包括：用於若該比較結果指示該第二成本函數值小於該第一成本函數值，則應用該第二係數集合來進行該干擾消除的構件。

26. 如請求項23所述之裝置，亦包括：

用於若該比較結果得到該第二成本函數值小於該第一成本函數值，則基於該第二係數集合、利用一第二係數控制演算法來計算一第三係數集合的構件；

用於利用該第三係數集合來計算一第三成本函數值的構件；

用於將該第三成本函數值與該第二成本函數值進行比較以得到一經更新的比較結果的構件；及

用於利用該經更新的比較結果來決定是否要應用該第三係數集合來進行該干擾消除的構件。

27. 如請求項23所述之裝置，其中該用於計算該第二成本函數值的構件基於從該所應用的第二係數集合產生的複數個取樣的一移動平均或一取樣平均來計算該第二成本函數值，並且該用於計算該第一成本函數值的構件基於一第一均方誤差來計算該第一成本函數值，並且該計算該第二成本函數值是基於一第二均方誤差的。

28. 一種在一設備上可操作的、儲存電腦可執行代碼的電腦可讀取儲存媒體，該設備包括：至少一個處理器；一記憶體，該記憶體用於儲存一第一係數集合，該記憶體耦合到該至少一個處理器；一接收器，該接收器耦合到該至少一個處理器，其中該接收器被配置為接收一傳輸信號；及該電腦可執行代碼包括：

用於使得該至少一個處理器利用該第一係數集合來計算一第一成本函數值的指令；

用於使得該至少一個處理器利用一第一係數控制演算法來計算一第二係數集合的指令；

用於使得該至少一個處理器利用該第二係數集合來計算一第二成本函數值的指令；

用於使得該至少一個處理器將該第二成本函數值與該第一成本函數值進行比較以得到一比較結果的指令；

用於使得該至少一個處理器利用該比較結果來決定是要應用該第一係數集合還是該第二係數集合來進行該干擾消除的指令；及

用於使得該至少一個處理器應用該第一係數集合或該第二係數集合中的一個集合來過濾一參考信號的指令，其中該接收器亦被配置為從該所接收的傳輸信號中減去該過濾出的參考信號來進行該干擾消除。

29. 如請求項28所述之電腦可讀取儲存媒體，其中該電腦可執行代碼亦包括用於使得該至少一個處理器進行以下操作的指令：若該比較結果指示該第二成本函數值小於該第一成本函數值，則應用該第二係數集合來進行該干擾消除，或若該比較結果得到該第二成本函數值小於該第一成本函數值，則基於該第二係數集合、利用一第二係數控制演算法來計算一第三係數集合。

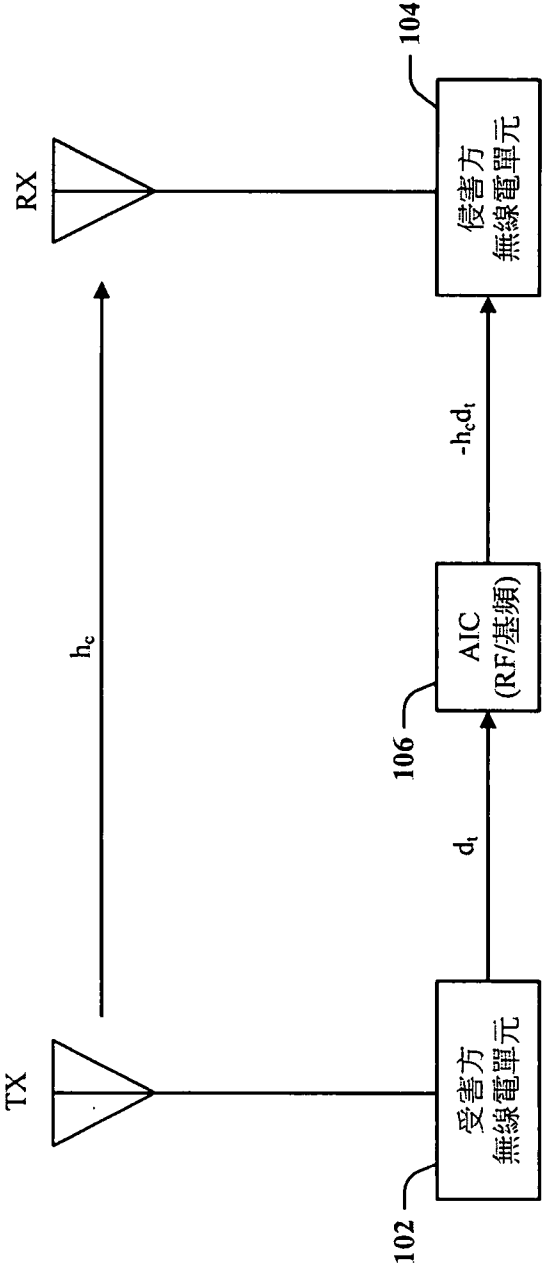
30. 如請求項29所述之電腦可讀取儲存媒體，其中該電腦可執行代碼亦包括：

用於使得該至少一個處理器利用該第三係數集合來計算一第三成本函數值的指令；

用於使得該至少一個處理器將該第三成本函數值與該第二成本函數值進行比較以得到一經更新的比較結果的指令；及

用於使得該至少一個處理器利用該經更新的比較結果來

決定是否要應用該第三係數集合來進行該干擾消除的指令。



圖式

圖 1

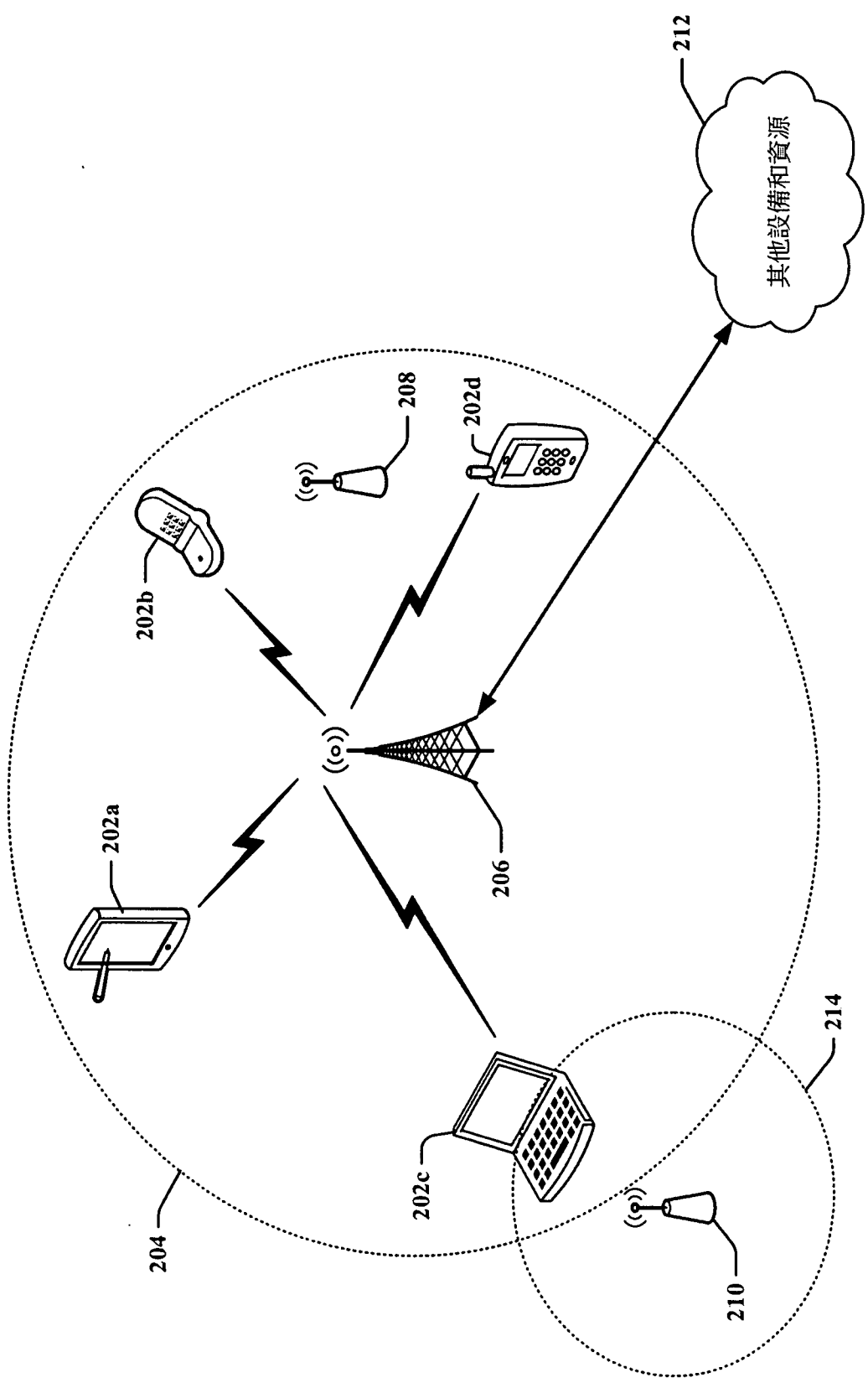


圖 2

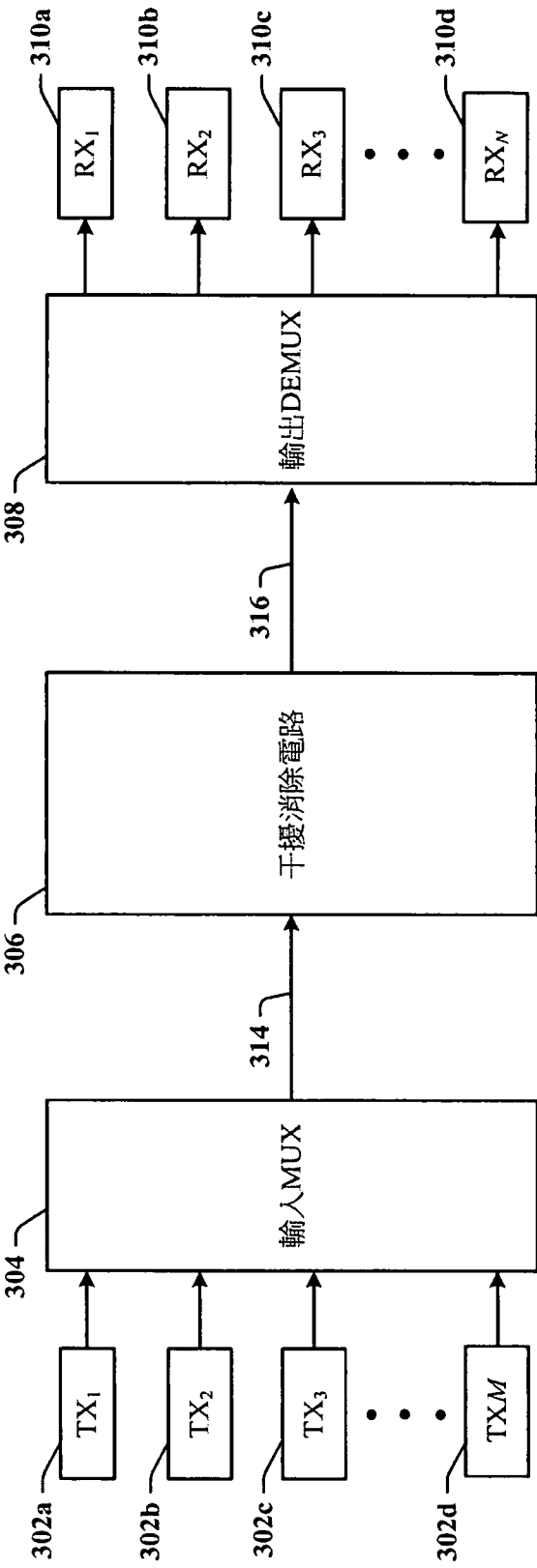
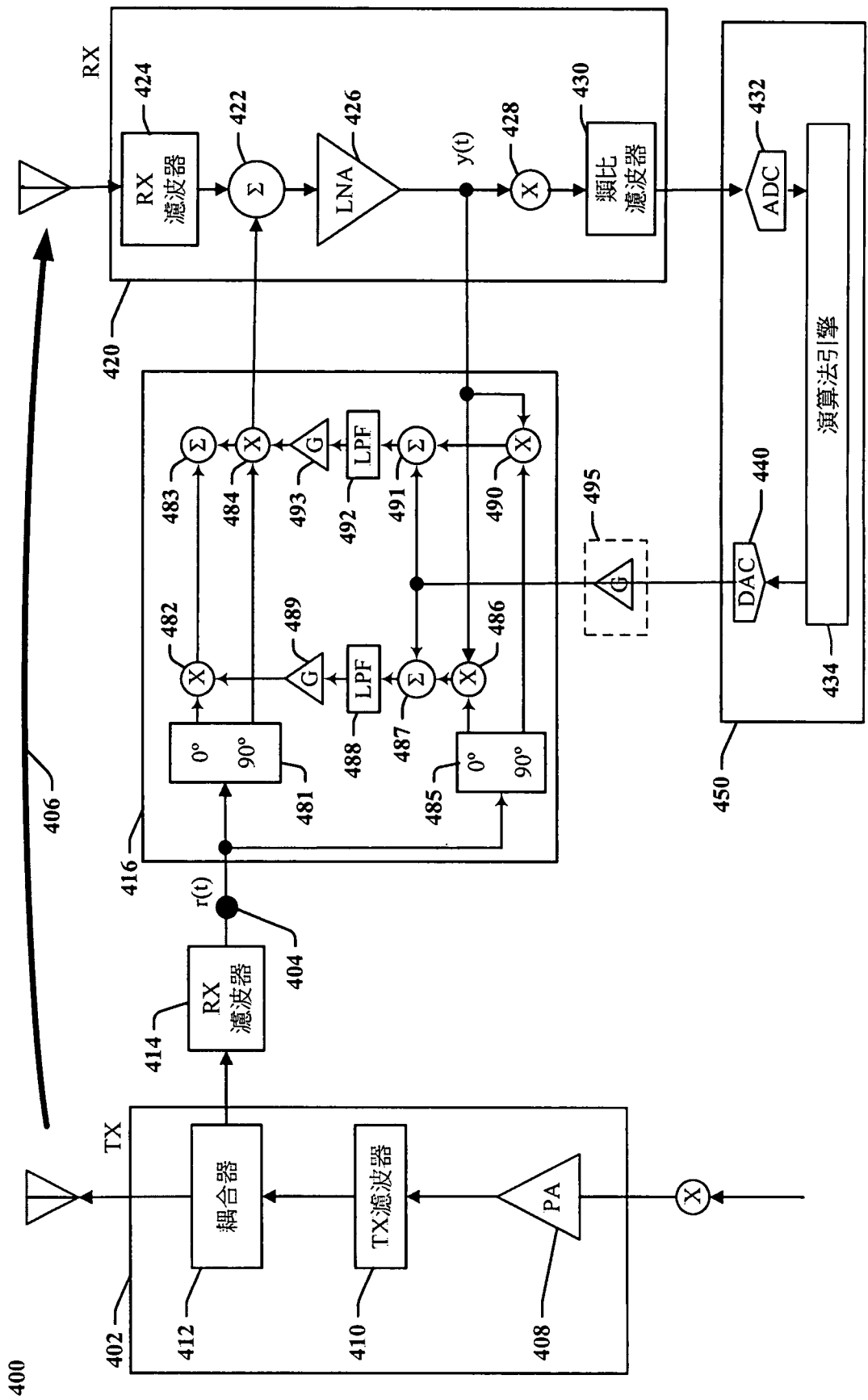


圖 3

4
回

500

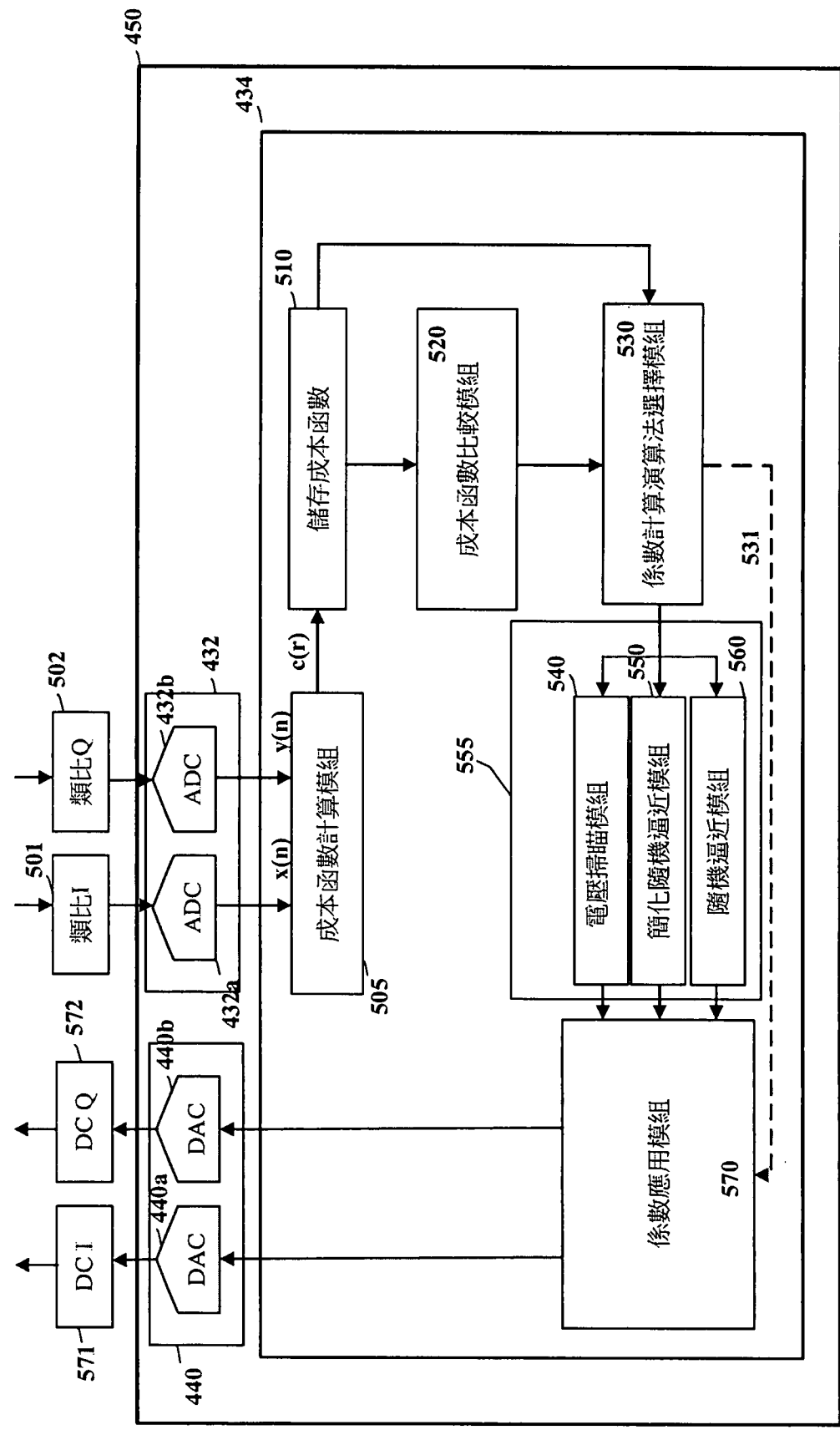
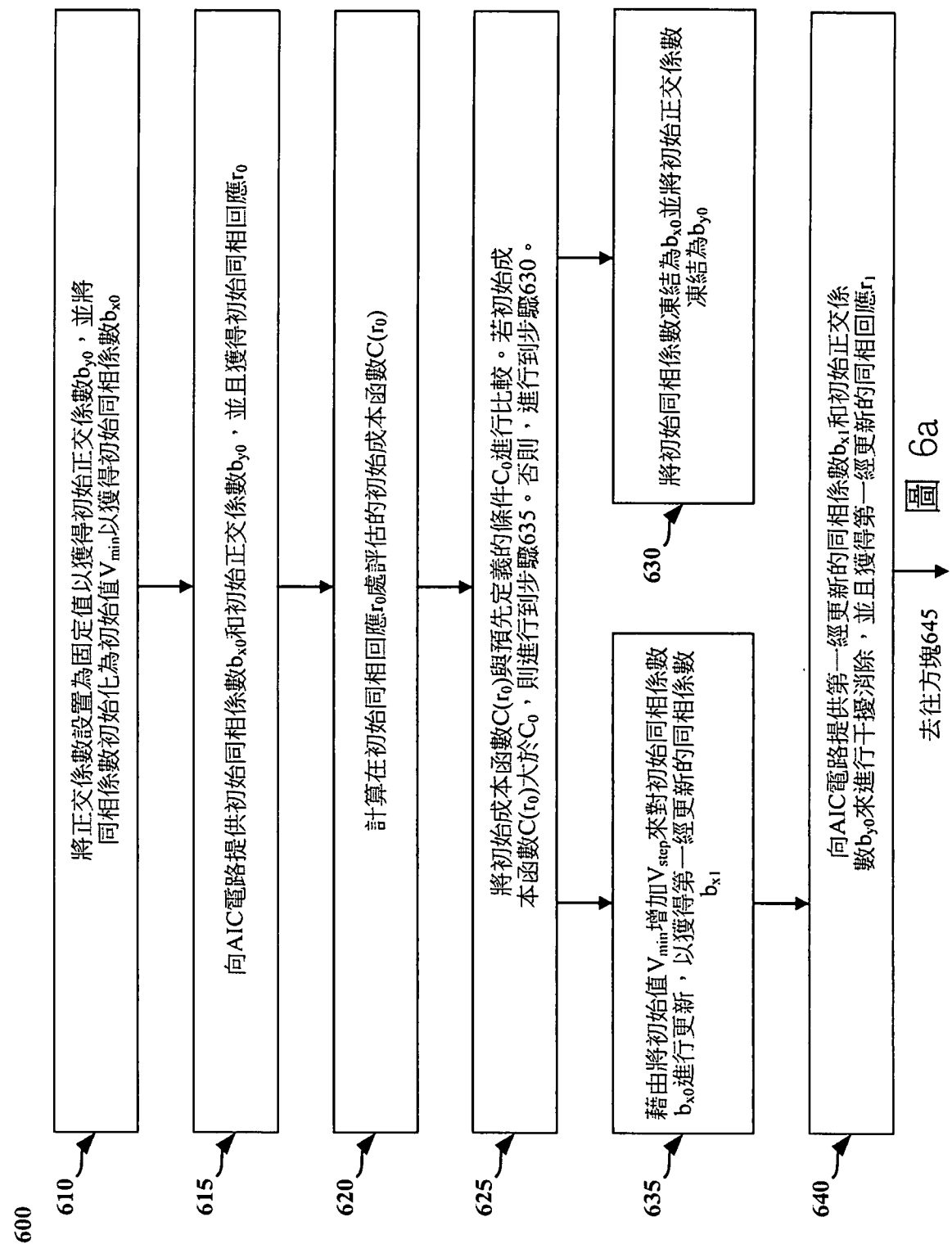


圖 5



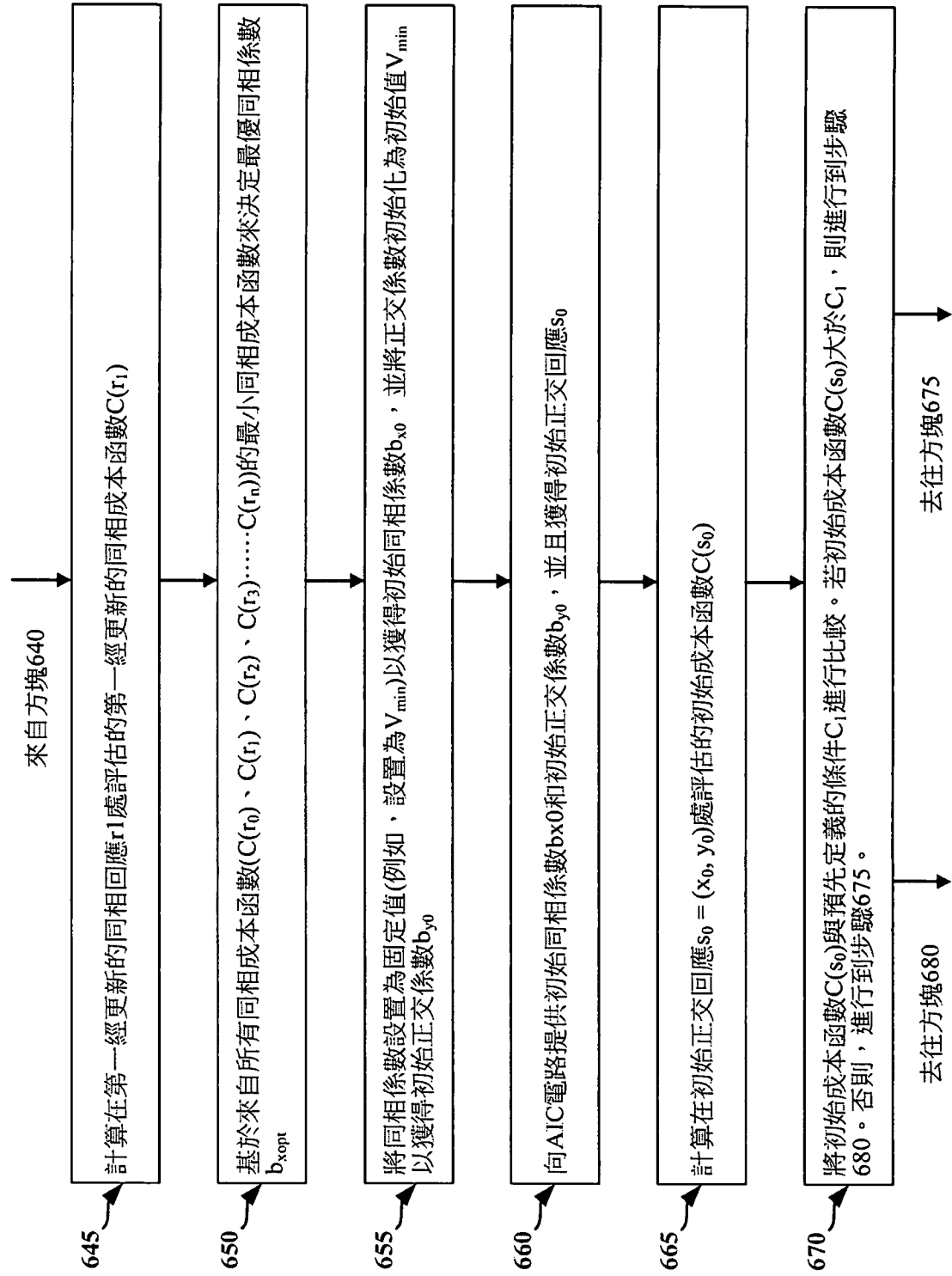


圖 6b

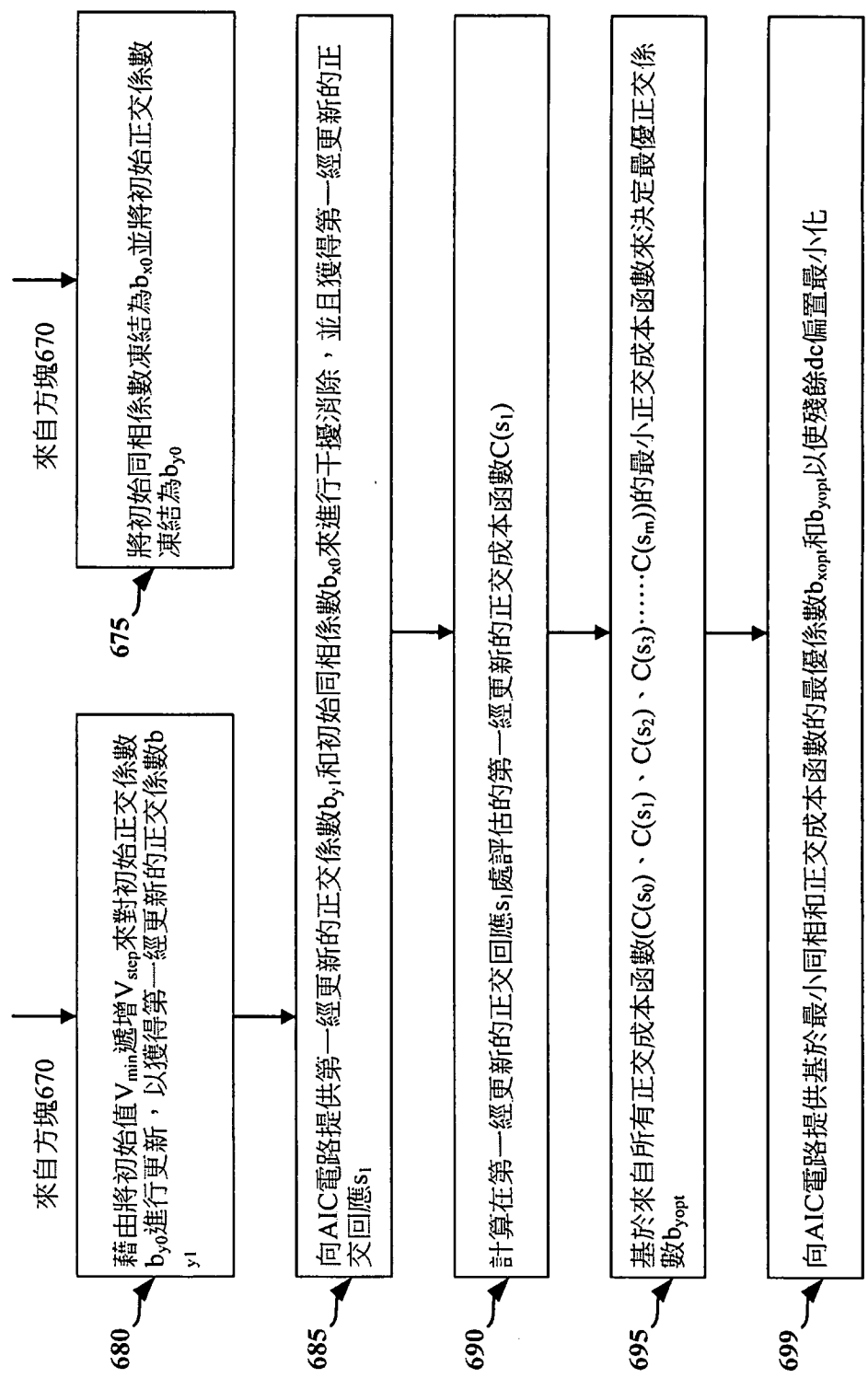


圖 6c

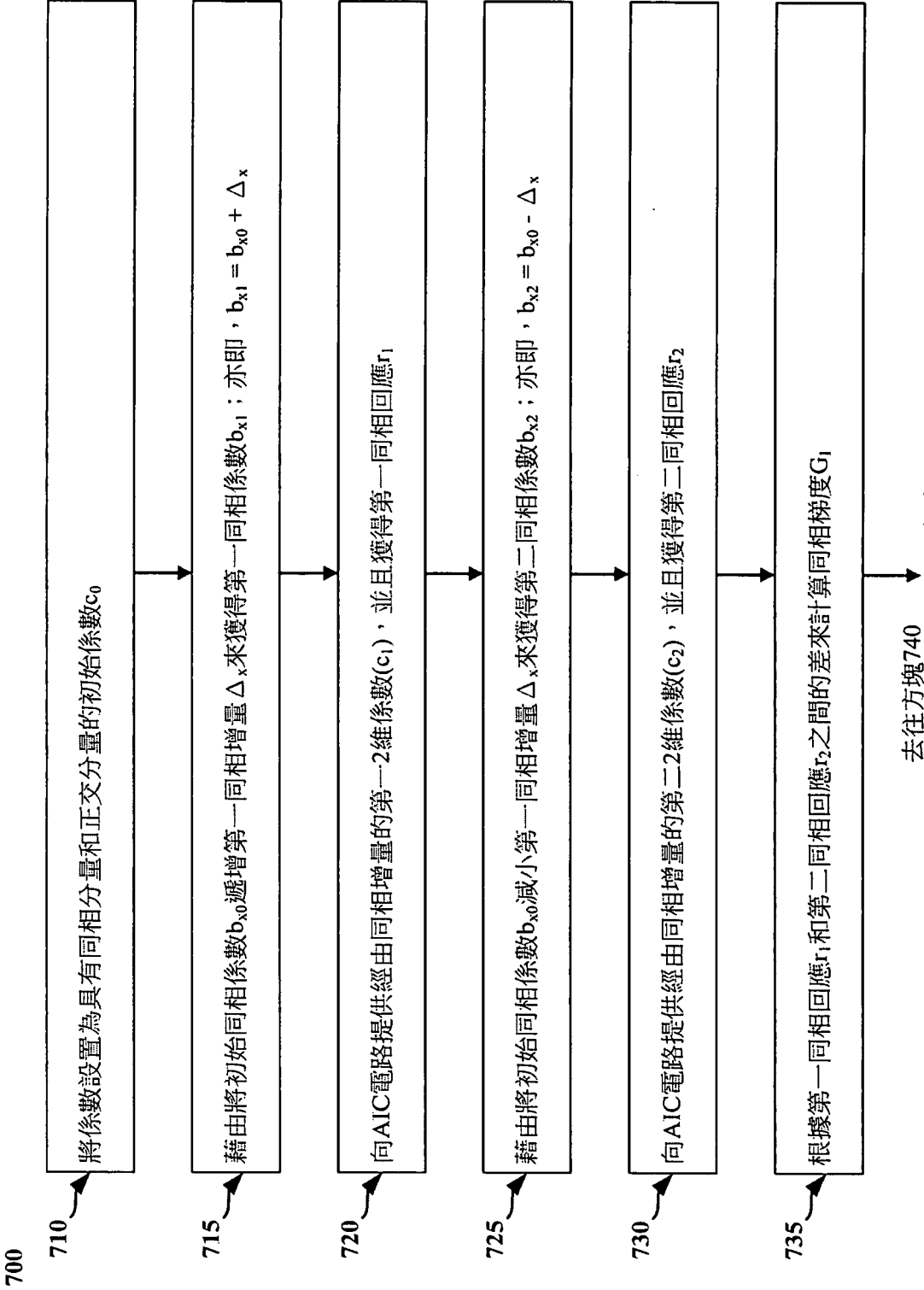


圖 7a

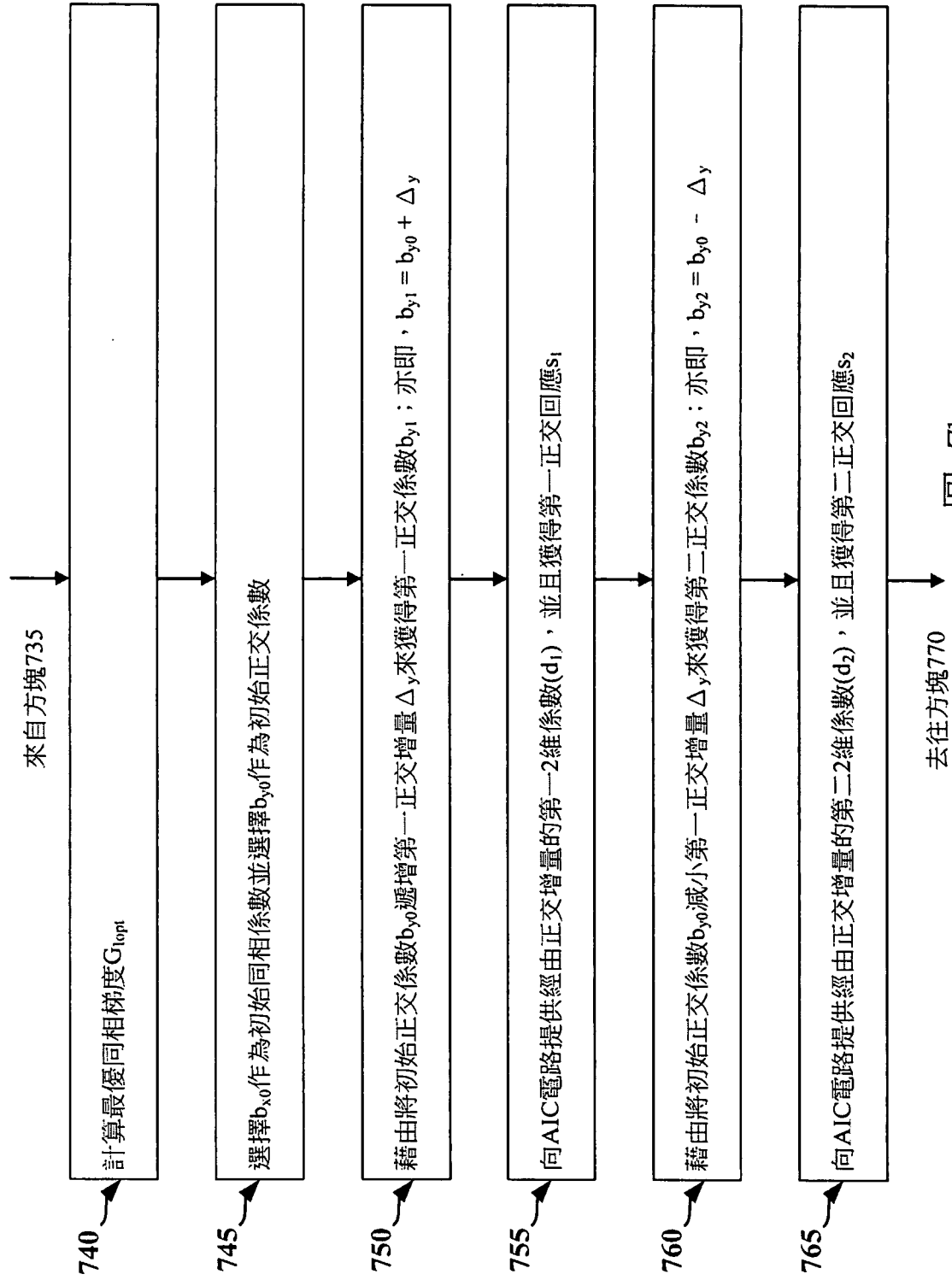


圖 7b

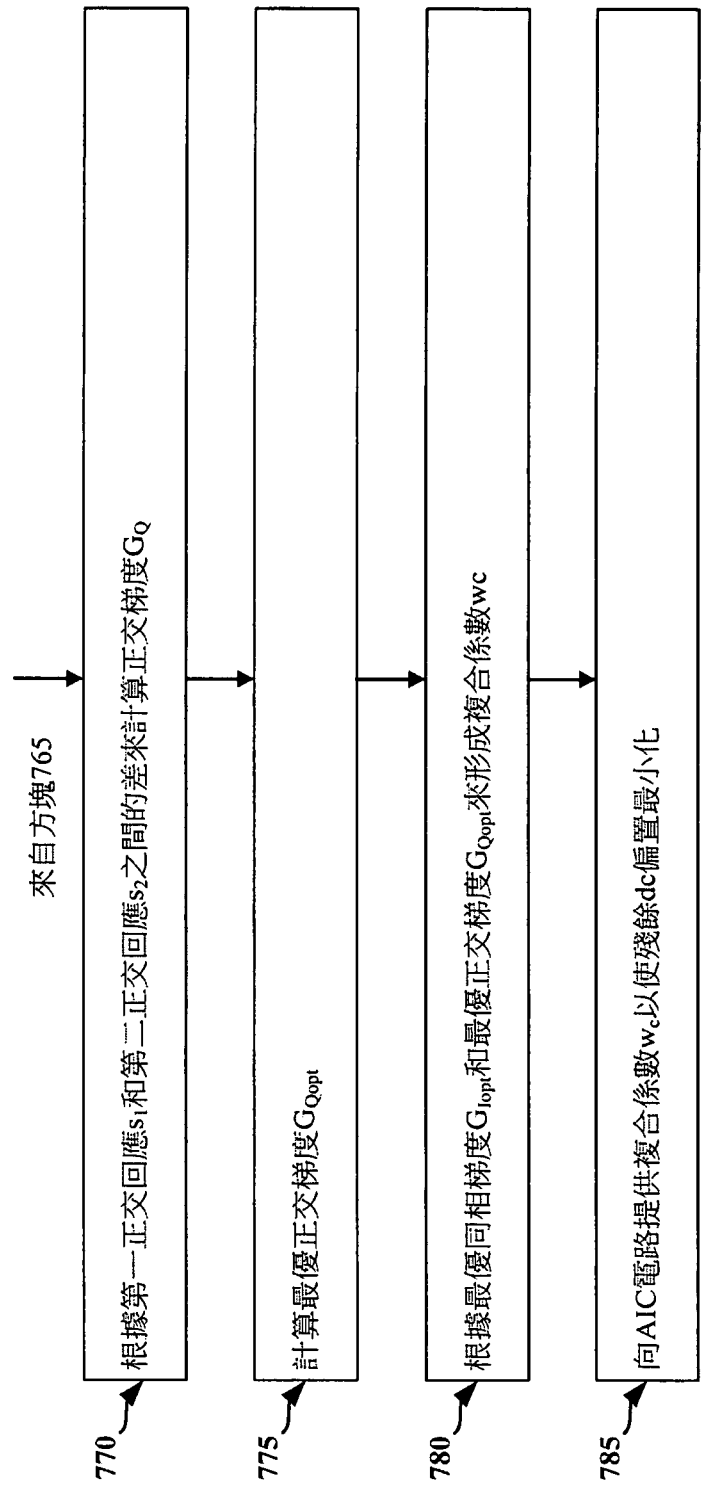


圖 7c

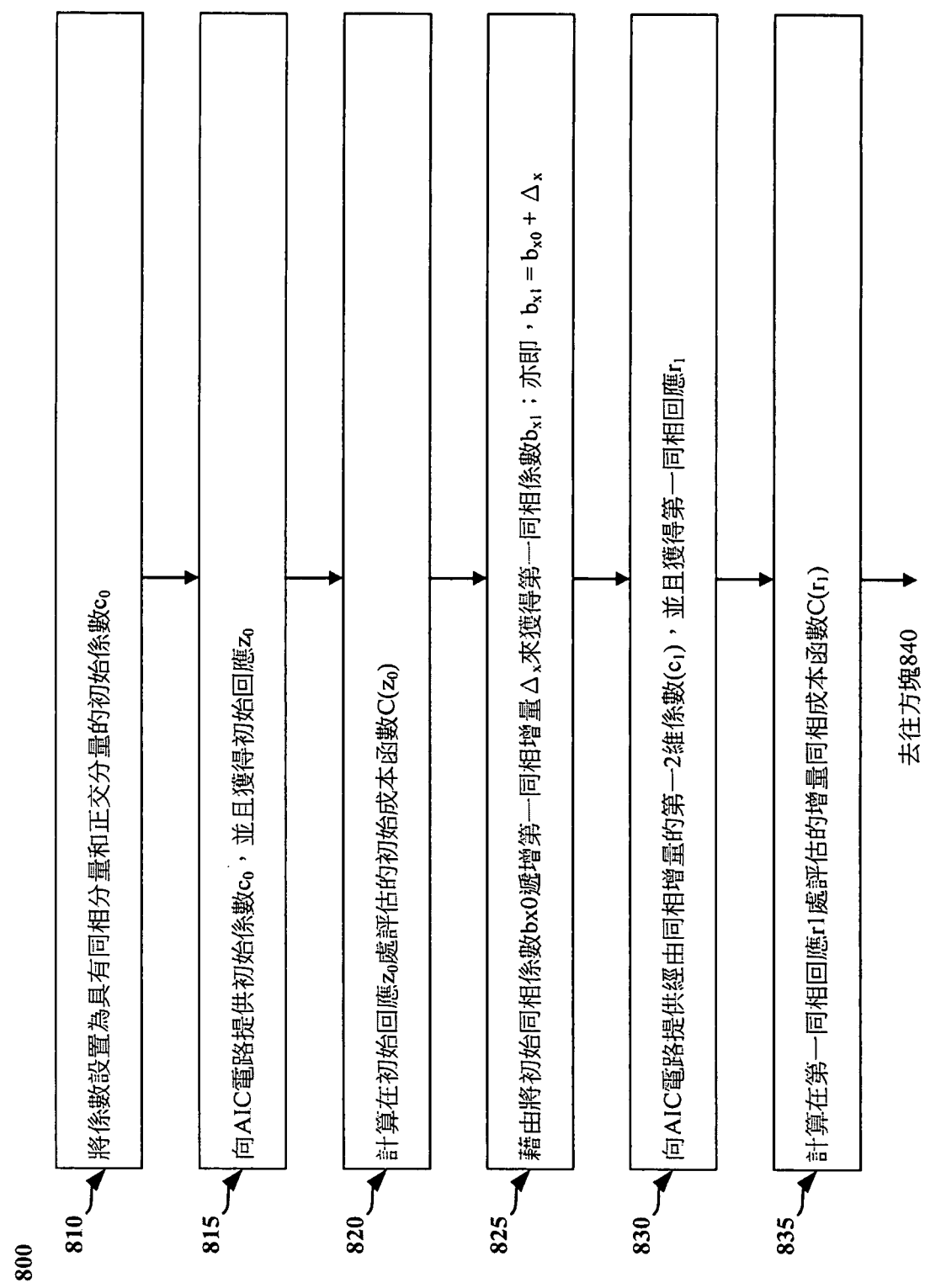


圖 8a

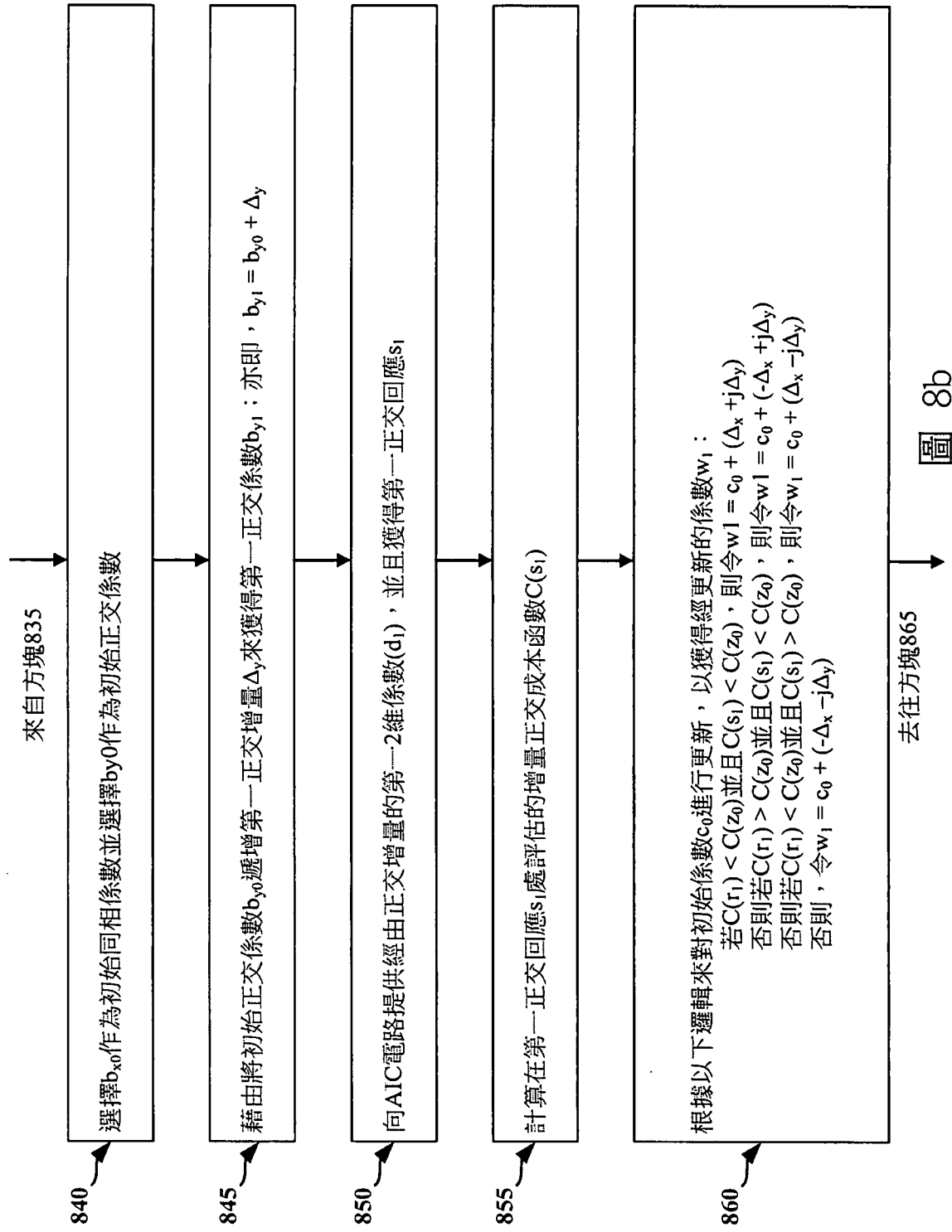


圖 8b

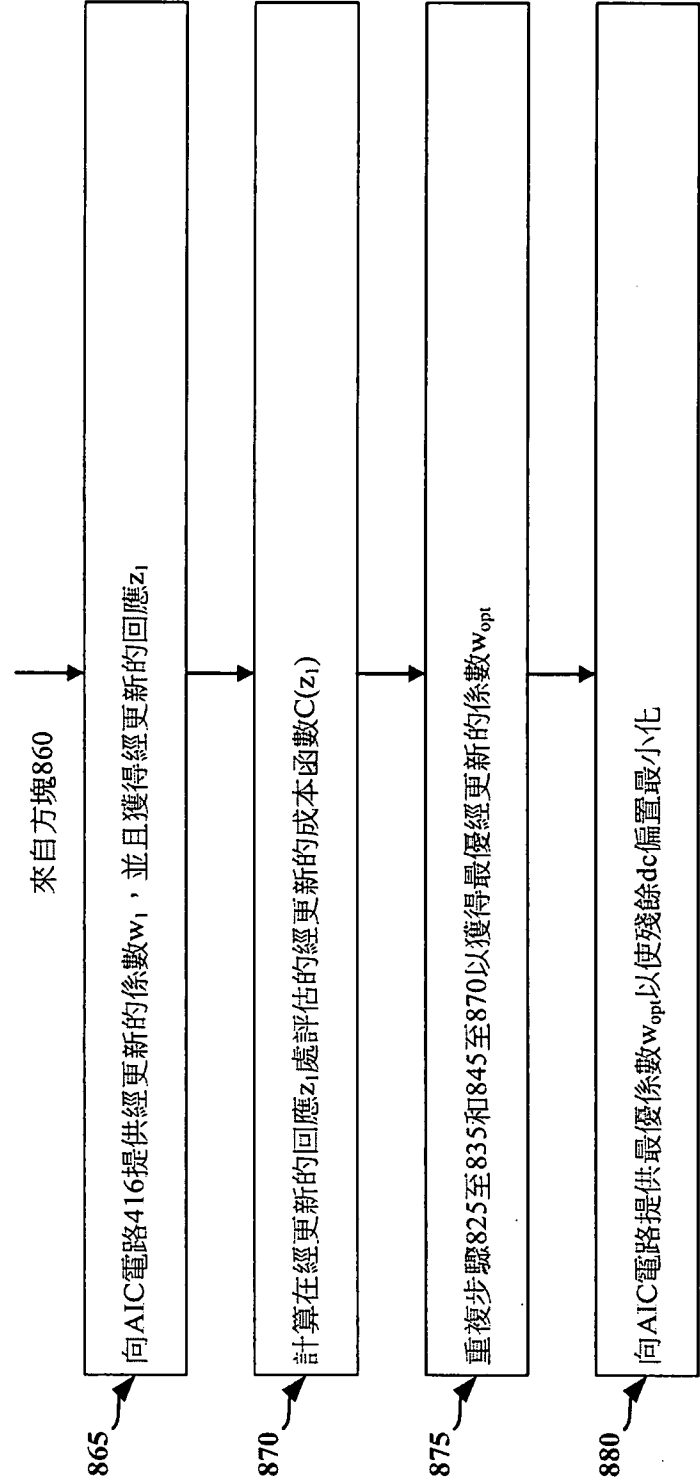


圖 8c

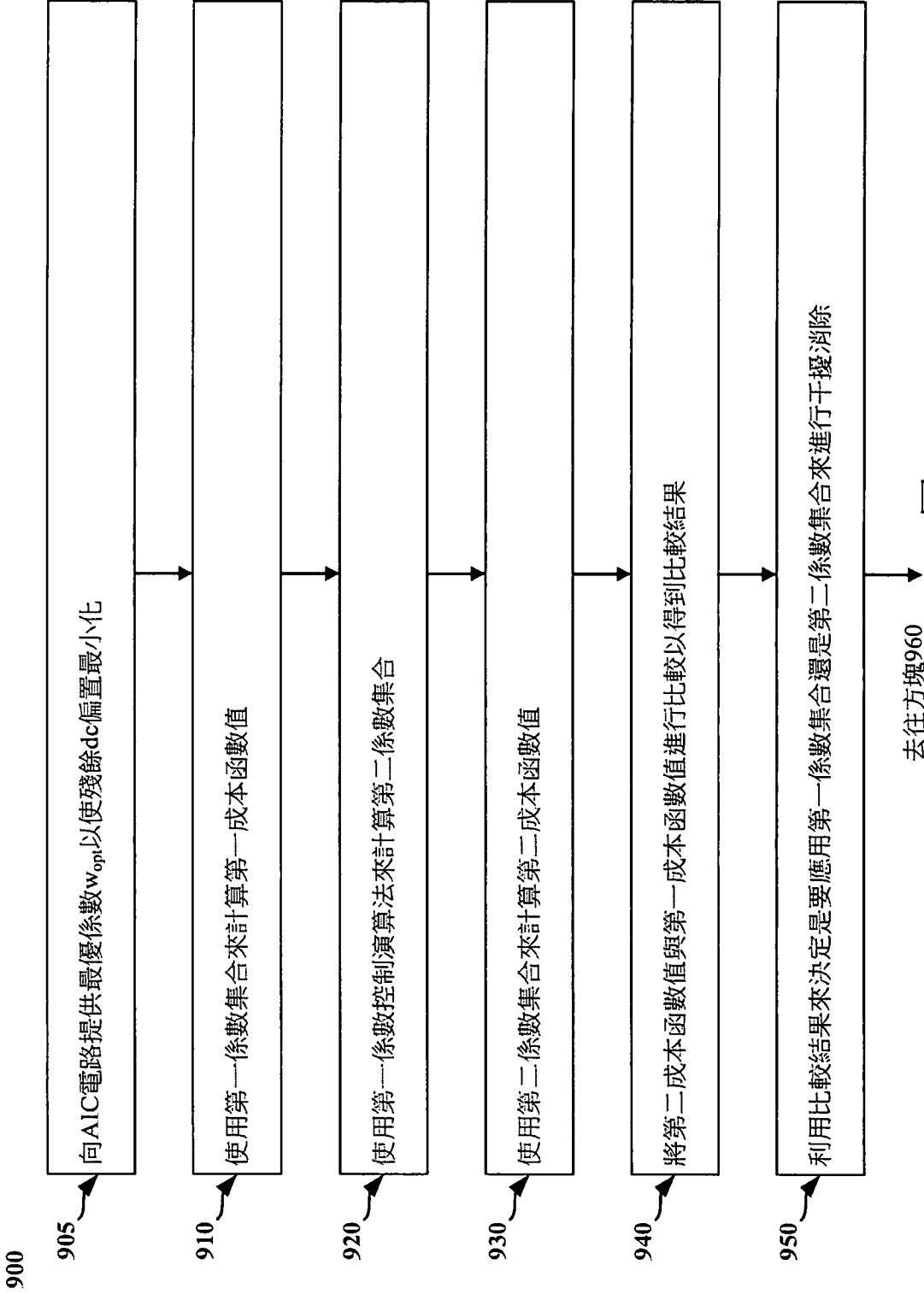


圖 9a

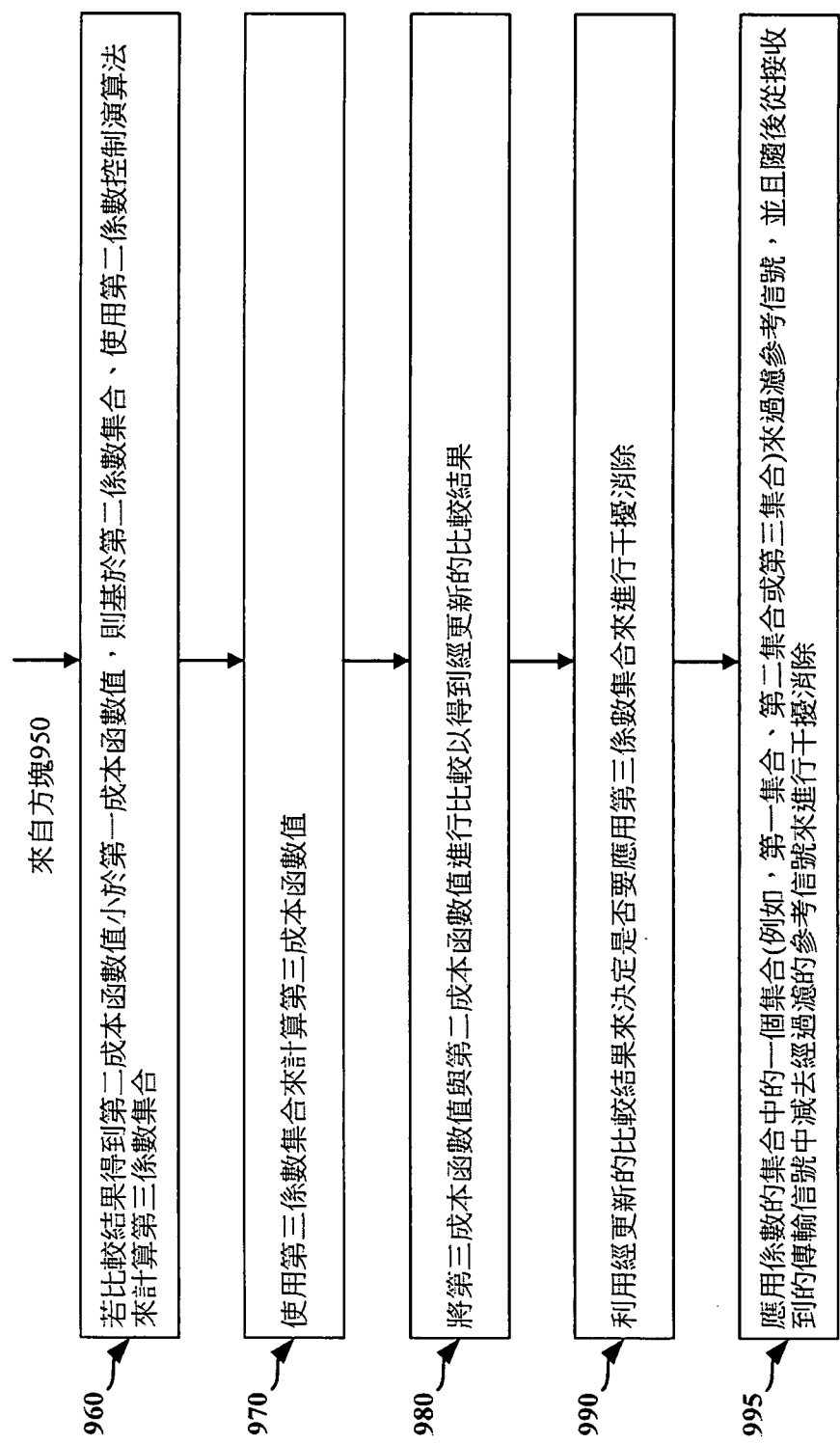


圖 9b

1000

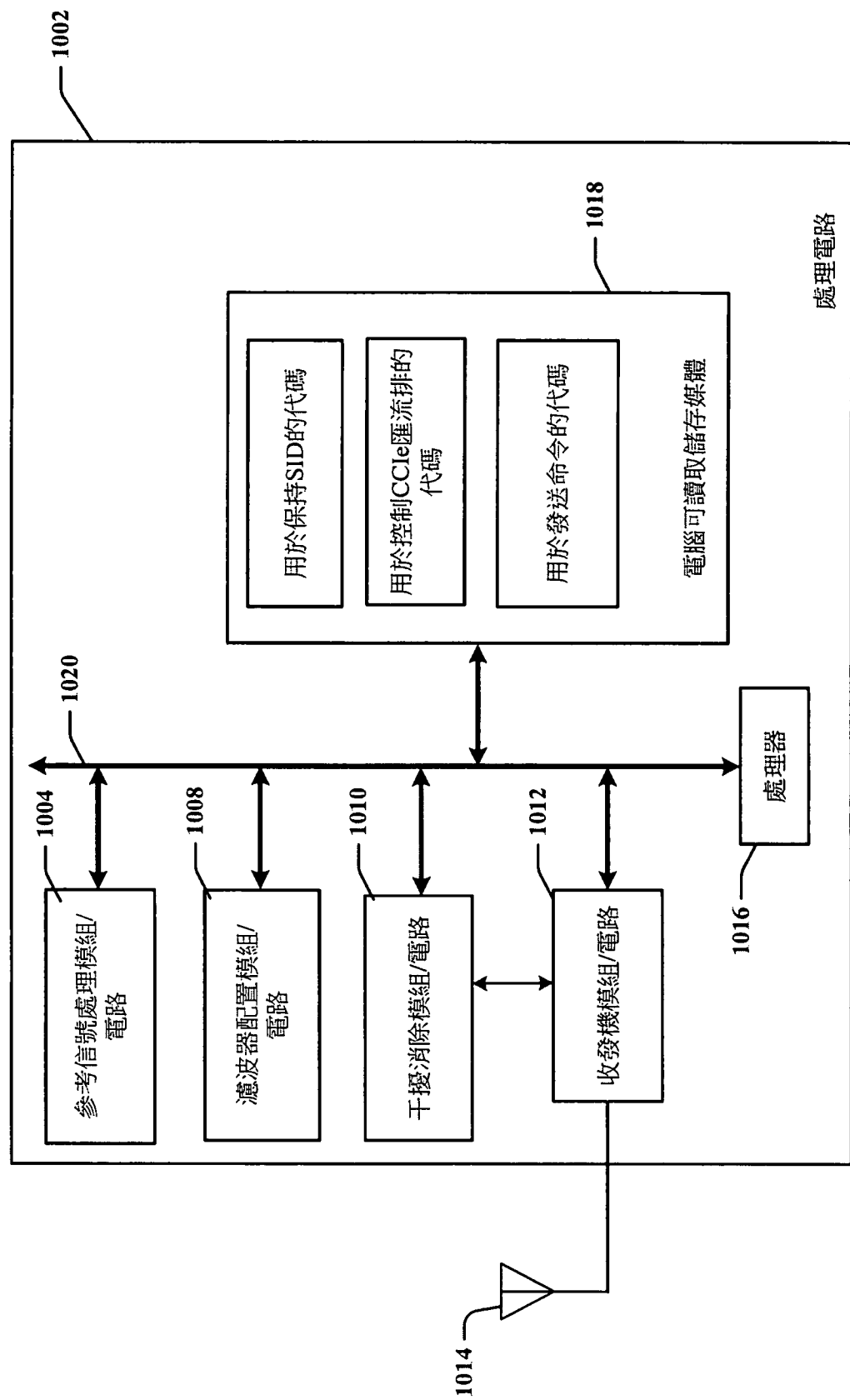


圖 10

1100

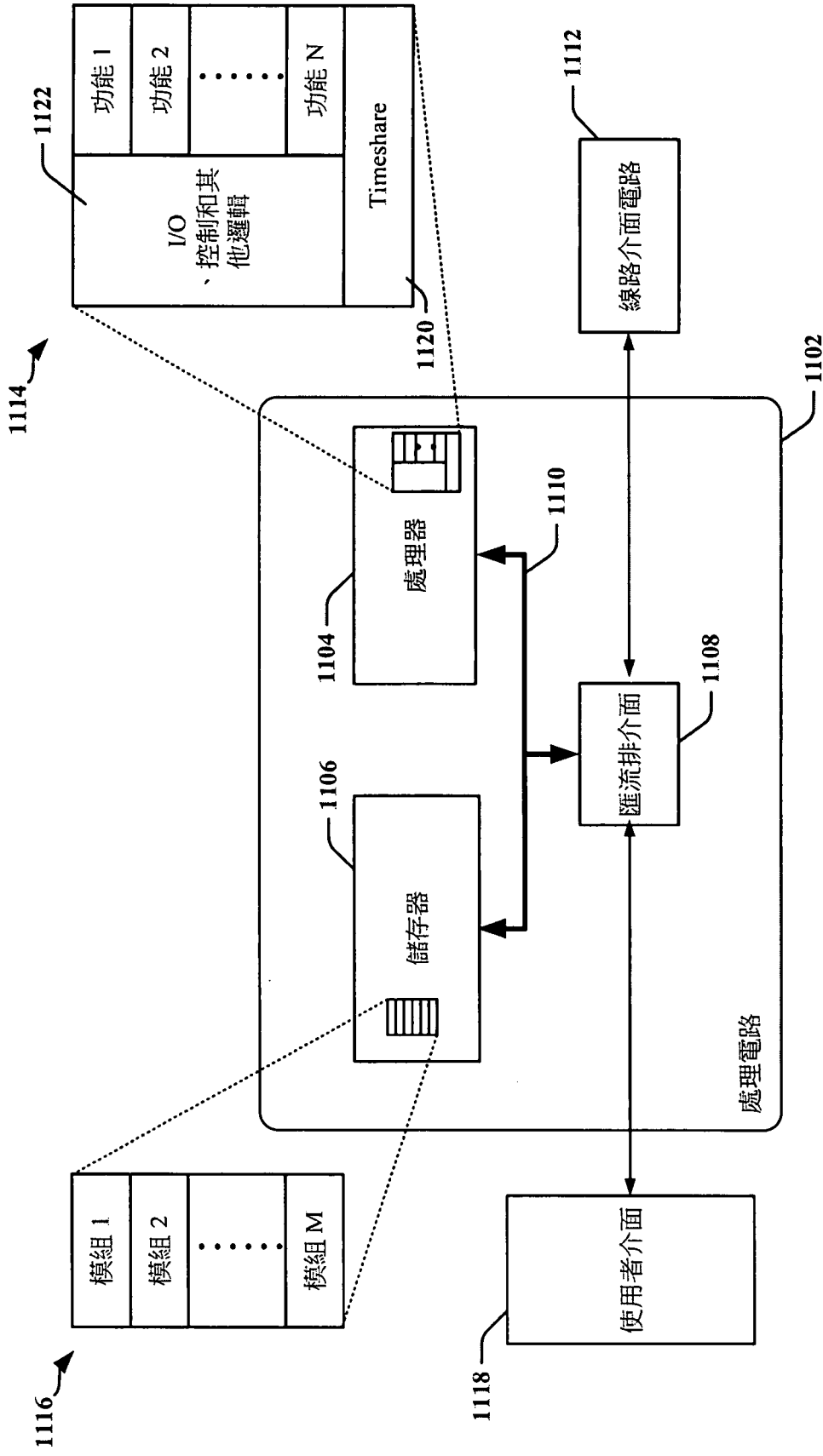


圖 11