

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6526233号
(P6526233)

(45) 発行日 令和1年6月5日(2019.6.5)

(24) 登録日 令和1年5月17日(2019.5.17)

(51) Int.Cl.	F I					
G06F 3/06	(2006.01)	G06F	3/06	301K		
G06F 13/14	(2006.01)	G06F	3/06	301W		
G06F 12/00	(2006.01)	G06F	13/14	320H		
		G06F	12/00	510B		
		G06F	12/00	514Z		

請求項の数 28 (全 28 頁)

(21) 出願番号 特願2017-552037 (P2017-552037)
 (86) (22) 出願日 平成28年9月28日 (2016.9.28)
 (65) 公表番号 特表2018-532166 (P2018-532166A)
 (43) 公表日 平成30年11月1日 (2018.11.1)
 (86) 国際出願番号 PCT/CN2016/100629
 (87) 国際公開番号 W02018/058382
 (87) 国際公開日 平成30年4月5日 (2018.4.5)
 審査請求日 平成29年10月3日 (2017.10.3)

(73) 特許権者 503433420
 華為技術有限公司
 HUAWEI TECHNOLOGIES
 CO., LTD.
 中華人民共和国 518129 広東省深
 ▲チェン▼市龍崗区坂田 華為総部▲ベン
 ▼公樓
 Huawei Administration Building, Bantian,
 Longgang District, Shenzhen, Guangdong
 518129, P. R. China
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 記憶システムにおける重複排除のための方法、記憶システムおよびコントローラ

(57) 【特許請求の範囲】

【請求項1】

記憶システムにおける重複排除のための方法であって、前記記憶システムはコントローラおよび記憶デバイスを含み、且つ、前記方法は、

前記コントローラによって、第1の書込み要求を受信するステップであって、前記第1の書込み要求は、第1の論理ブロックアドレスおよび第1の書き込まれるべきデータを含む、ステップと、

前記コントローラによって、前記第1の書き込まれるべきデータの第1のフィンガープリントを取得するステップと、

フィンガープリントテーブルが前記第1のフィンガープリントを含まない場合、前記コントローラによって、前記第1のフィンガープリントを前記フィンガープリントテーブルに挿入し、前記記憶デバイスから前記第1の書き込まれるべきデータに第1の記憶アドレスを割り当てるステップと、

前記コントローラによって、前記第1の記憶アドレスに前記第1の書き込まれるべきデータを記憶するステップと、

前記コントローラによって、前記第1の論理ブロックアドレスと前記第1の記憶アドレスとの間のマッピング関係を確立するステップと、

前記コントローラによって、第2の書込み要求を受信するステップであって、前記第2の書込み要求は、第2の論理ブロックアドレスおよび第2の書き込まれるべきデータを含む、ステップと、

10

20

前記コントローラによって、前記第2の書き込まれるべきデータのフィンガープリントを取得するステップであって、前記第2の書き込まれるべきデータの前記フィンガープリントは前記第1のフィンガープリントである、ステップと、

前記コントローラが、前記第2の書き込まれるべきデータの前記第1のフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが存在しないと判定した場合、前記コントローラによって、前記記憶デバイスから前記第2の書き込まれるべきデータに第2の記憶アドレスを割り当てるステップと、

前記コントローラによって、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶するステップと、

10

前記コントローラによって、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間のマッピング関係を確立するステップと、

前記コントローラによって、前記第2の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立するステップとを含む方法。

【請求項2】

前記コントローラによって、前記記憶デバイスから前記第1の書き込まれるべきデータに第1の記憶アドレスを割り当てる前記ステップは、具体的には、前記コントローラによって、前記記憶デバイスの第1の記憶領域から前記第1の書き込まれるべきデータに前記第1の記憶アドレスを割り当てるステップを含み、且つ、前記コントローラによって、前記記憶デバイスから前記第2の書き込まれるべきデータに第2の記憶アドレスを割り当てる前記ステップは、具体的には、前記コントローラによって、前記記憶デバイスの第2の記憶領域から前記第2の書き込まれるべきデータに前記第2の記憶アドレスを割り当てるステップを含み、前記第2の記憶領域の記憶性能は前記第1の記憶領域の記憶性能よりも高い、請求項1に記載の方法。

20

【請求項3】

前記方法は、

前記コントローラによって、第3の書き込み要求を受信するステップであって、前記第3の書き込み要求は、第3の論理ブロックアドレスおよび第3の書き込まれるべきデータを含む、ステップと、

前記コントローラによって、前記第3の書き込まれるべきデータのフィンガープリントを取得するステップであって、前記第3の書き込まれるべきデータの前記フィンガープリントは前記第1のフィンガープリントである、ステップと、

30

前記第3の書き込まれるべきデータの前記第1のフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが前記第2の記憶アドレスであると判定した場合、前記コントローラによって、前記第3の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立するステップとをさらに含む、請求項1または2に記載の方法。

【請求項4】

前記方法は、

前記コントローラによって、前記第2の記憶アドレスの参照回数を前記フィンガープリントテーブル内に記録するステップをさらに含む、請求項1乃至3のいずれか1項に記載の方法。

40

【請求項5】

前記方法は、

前記コントローラによって、前記フィンガープリントテーブル内に、前記第1のフィンガープリントが挿入された時刻を記録するステップをさらに含む、請求項1乃至4のいずれか1項に記載の方法。

【請求項6】

前記方法は、

前記コントローラによって、前記フィンガープリントテーブルから第2のフィンガーブ

50

リントを削除するステップであって、前記第2のフィンガープリントに対応する記憶アドレスは存在せず、且つ、前記第2のフィンガープリントが前記フィンガープリントテーブル内に存在する期間は事前に設定された期間を超過する、ステップをさらに含む、請求項5に記載の方法。

【請求項7】

前記方法は、

前記コントローラによって、受信された書込み要求が、そのフィンガープリント値が前記第1のフィンガープリントである書き込まれるべきデータを含む回数をカウントし、前記コントローラによって、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶し、前記回数が事前に設定された回数Nよりも大きい場合、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間の前記マッピング関係を確立するステップをさらに含み、Nは1以上の整数である、請求項1に記載の方法。

10

【請求項8】

コントローラおよび記憶デバイスを含む記憶システムであって、

前記コントローラは、第1の書込み要求を受信し、第1の書き込まれるべきデータの第1のフィンガープリントを取得し、フィンガープリントテーブルが前記第1のフィンガープリントを含まない場合、前記第1のフィンガープリントを前記フィンガープリントテーブルに挿入し、前記記憶デバイスから前記第1の書き込まれるべきデータに第1の記憶アドレスを割り当て、前記第1の記憶アドレスに前記第1の書き込まれるべきデータを記憶し、第1の論理ブロックアドレスと前記第1の記憶アドレスとの間のマッピング関係を確立するように構成され、前記第1の書込み要求は、前記第1の論理ブロックアドレスおよび前記第1の書き込まれるべきデータを含み、

20

前記コントローラは、第2の書込み要求を受信し、第2の書き込まれるべきデータのフィンガープリントを取得し、前記第2の書き込まれるべきデータのフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが存在しないと判定した場合、前記記憶デバイスから前記第2の書き込まれるべきデータに第2の記憶アドレスを割り当て、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶し、第2の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立し、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間のマッピング関係を確立するようにさらに構成され、前記第2の書込み要求は、前記第2の論理ブロックアドレスおよび前記第2の書き込まれるべきデータを含み、前記第2の書き込まれるべきデータのフィンガープリントは前記第1のフィンガープリントであり、

30

前記記憶デバイスは、前記第1の記憶アドレスおよび前記第2の記憶アドレスを提供するように構成される、記憶システム。

【請求項9】

前記コントローラは、具体的には、前記記憶デバイスの第1の記憶領域から前記第1の書き込まれるべきデータに前記第1の記憶アドレスを割り当て、且つ、前記記憶デバイスの第2の記憶領域から前記第2の書き込まれるべきデータに前記第2の記憶アドレスを割り当てるように構成され、前記第2の記憶領域の記憶性能は前記第1の記憶領域の記憶性能よりも高い、請求項8に記載の記憶システム。

40

【請求項10】

前記コントローラは、第3の書込み要求を受信し、第3の書き込まれるべきデータのフィンガープリントを取得し、前記第3の書き込まれるべきデータのフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが前記第2の記憶アドレスであると判定した場合、第3の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立するようにさらに構成され、前記第3の書込み要求は、前記第3の論理ブロックアドレスおよび前記第3の書き込まれるべきデータを含み、前記第3の書き込まれるべきデータのフィンガー

50

プリントは前記第1のフィンガープリントである、請求項8または9に記載の記憶システム。

【請求項11】

前記コントローラは、前記第2の記憶アドレスの参照回数を前記フィンガープリントテーブル内に記録するようにさらに構成される、請求項8乃至10のいずれか1項に記載の記憶システム。

【請求項12】

前記コントローラは、前記フィンガープリントテーブル内に、前記第1のフィンガープリントが挿入された時刻を記録するようにさらに構成される、請求項8乃至11のいずれか1項に記載の記憶システム。

10

【請求項13】

前記コントローラは、第2のフィンガープリントを削除するようにさらに構成され、前記第2のフィンガープリントに対応する記憶アドレスは存在せず、且つ、前記第2のフィンガープリントが前記フィンガープリントテーブル内に存在する期間は事前に設定された期間を超過する、請求項12に記載の記憶システム。

【請求項14】

前記コントローラは、受信された書込み要求が、そのフィンガープリント値が前記第1のフィンガープリントである書き込まれるべきデータを含む回数をカウントし、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶し、前記回数が事前に設定された回数Nよりも大きい場合、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間の前記マッピング関係を確立するようにさらに構成され、Nは1以上の整数である、請求項8に記載の記憶システム。

20

【請求項15】

記憶システムに適用されるコントローラであって、前記記憶システムは前記コントローラおよび記憶デバイスを含み、前記コントローラは、インタフェースおよびプロセッサを含み、前記インタフェースは前記プロセッサと通信し、

前記インタフェースは第1の書込み要求を受信するように構成され、前記第1の書込み要求は、第1の論理ブロックアドレスおよび第1の書き込まれるべきデータを含み、

前記プロセッサは、前記第1の書き込まれるべきデータの第1のフィンガープリントを取得し、フィンガープリントテーブルが前記第1のフィンガープリントを含まない場合、前記第1のフィンガープリントを前記フィンガープリントテーブルに挿入し、前記記憶デバイスから前記第1の書き込まれるべきデータに第1の記憶アドレスを割り当て、前記第1の記憶アドレスに前記第1の書き込まれるべきデータを記憶し、前記第1の論理ブロックアドレスと前記第1の記憶アドレスとの間のマッピング関係を確立するように構成され、

30

前記インタフェースは、第2の書込み要求を受信するようにさらに構成され、前記第2の書込み要求は、第2の論理ブロックアドレスおよび第2の書き込まれるべきデータを含み、

前記プロセッサは、前記第2の書き込まれるべきデータのフィンガープリントを取得し、前記第2の書き込まれるべきデータのフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが前記フィンガープリントテーブル内に存在しないと判定した場合、前記記憶デバイスから前記第2の書き込まれるべきデータに第2の記憶アドレスを割り当て、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶し、前記第2の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立し、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間のマッピング関係を確立するようにさらに構成され、前記第2の書き込まれるべきデータのフィンガープリントは前記第1のフィンガープリントである、コントローラ。

40

【請求項16】

前記プロセッサは、具体的には、前記記憶デバイスの第1の記憶領域から前記第1の書き込まれるべきデータに前記第1の記憶アドレスを割り当て、且つ、前記記憶デバイスの第2の記憶領域から前記第2の書き込まれるべきデータに前記第2の記憶アドレスを割り当てる

50

ように構成され、前記第2の記憶領域の記憶性能は前記第1の記憶領域の記憶性能よりも高い、請求項15に記載のコントローラ。

【請求項17】

前記インタフェースは、第3の書込み要求を受信するようにさらに構成され、前記第3の書込み要求は、第3の論理ブロックアドレスおよび第3の書き込まれるべきデータを含む、前記プロセッサは、前記第3の書き込まれるべきデータのフィンガープリントを取得し、前記第3の書き込まれるべきデータの前記第1のフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが前記第2の記憶アドレスであると判定した場合、前記第3の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確認するようにさらに構成され、前記第3の書き込まれるべきデータの前記フィンガープリントは前記第1のフィンガープリントである、請求項15または16に記載のコントローラ。

10

【請求項18】

前記プロセッサは、前記第2の記憶アドレスの参照回数を前記フィンガープリントテーブル内に記録するようにさらに構成される、請求項15乃至17のいずれか1項に記載のコントローラ。

【請求項19】

前記プロセッサは、前記フィンガープリントテーブル内に、前記第1のフィンガープリントが挿入された時刻を記録するようにさらに構成される、請求項15乃至18のいずれか1項に記載のコントローラ。

20

【請求項20】

前記プロセッサは、前記フィンガープリントテーブルから第2のフィンガープリントを削除するようにさらに構成され、前記第2のフィンガープリントに対応する記憶アドレスは存在せず、且つ、前記第2のフィンガープリントが前記フィンガープリントテーブル内に存在する期間は事前に設定された期間を超過する、請求項19に記載のコントローラ。

【請求項21】

前記プロセッサは、受信された書込み要求が、そのフィンガープリント値が前記第1のフィンガープリントである書き込まれるべきデータを含む回数をカウントし、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶し、前記回数が事前に設定された回数Nよりも大きい場合、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間の前記マッピング関係を確認するようにさらに構成され、Nは1以上の整数である、請求項15に記載のコントローラ。

30

【請求項22】

記憶システムに適用されるコントローラであって、前記記憶システムは前記コントローラおよび記憶デバイスを含み、前記コントローラは、受信ユニット、取得ユニット、挿入ユニット、割り当てユニット、記憶ユニットおよび確立ユニットを含み、

前記受信ユニットは第1の書込み要求を受信するように構成され、前記第1の書込み要求は、第1の論理ブロックアドレスおよび第1の書き込まれるべきデータを含む、

前記取得ユニットは、前記第1の書き込まれるべきデータの第1のフィンガープリントを取得するように構成され、

40

前記挿入ユニットは、フィンガープリントテーブルが前記第1のフィンガープリントを含まない場合、前記第1のフィンガープリントを前記フィンガープリントテーブルに挿入するように構成され、

前記割り当てユニットは、前記記憶デバイスから前記第1の書き込まれるべきデータに第1の記憶アドレスを割り当てるように構成され、

前記記憶ユニットは、前記第1の記憶アドレスに前記第1の書き込まれるべきデータを記憶するように構成され、

前記確立ユニットは、前記第1の論理ブロックアドレスと前記第1の記憶アドレスとの間のマッピング関係を確認するように構成され、

前記受信ユニットは、第2の書込み要求を受信するようにさらに構成され、前記第2の書

50

込み要求は、第2の論理ブロックアドレスおよび第2の書き込まれるべきデータを含み、

前記取得ユニットは、前記第2の書き込まれるべきデータのフィンガープリントを取得するようにさらに構成され、前記第2の書き込まれるべきデータの前記フィンガープリントは前記第1のフィンガープリントであり、

前記割り当てユニットは、前記第2の書き込まれるべきデータの前記第1のフィンガープリントに従って、前記フィンガープリントテーブルを照会して、前記第1のフィンガープリントに対応する記憶アドレスが前記フィンガープリントテーブル内に存在しないと判定した場合、前記記憶デバイスから前記第2の書き込まれるべきデータに第2の記憶アドレスを割り当てるようにさらに構成され、

前記記憶ユニットは、前記第2の記憶アドレスに前記第2の書き込まれるべきデータを記憶するようにさらに構成され、

前記確立ユニットは、前記第2の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立し、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間のマッピング関係を確立するようにさらに構成される、コントローラ。

【請求項 2 3】

前記割り当てユニットは、具体的には、前記記憶デバイスの第1の記憶領域から前記第1の書き込まれるべきデータに前記第1の記憶アドレスを割り当て、且つ、前記記憶デバイスの第2の記憶領域から前記第2の書き込まれるべきデータに前記第2の記憶アドレスを割り当てるように構成され、前記第2の記憶領域の記憶性能は前記第1の記憶領域の記憶性能よりも高い、請求項22に記載のコントローラ。

【請求項 2 4】

前記受信ユニットは、第3の書込み要求を受信するようにさらに構成され、前記第3の書込み要求は、第3の論理ブロックアドレスおよび第3の書き込まれるべきデータを含み、

前記取得ユニットは、前記第3の書き込まれるべきデータのフィンガープリントを取得するようにさらに構成され、前記第3の書き込まれるべきデータの前記フィンガープリントは前記第1のフィンガープリントであり、

前記確立ユニットは、前記第3の書き込まれるべきデータの前記第1のフィンガープリントに従って、前記フィンガープリントテーブルが照会されて、前記第1のフィンガープリントに対応する記憶アドレスが前記第2の記憶アドレスであると判定した場合、前記第3の論理ブロックアドレスと前記第2の記憶アドレスとの間のマッピング関係を確立するようにさらに構成される、請求項22または23に記載のコントローラ。

【請求項 2 5】

前記コントローラは記録ユニットをさらに含み、前記記録ユニットは、前記第2の記憶アドレスの参照回数を前記フィンガープリントテーブル内に記録するように構成される、請求項22乃至24のいずれか1項に記載のコントローラ。

【請求項 2 6】

前記記録ユニットは、前記フィンガープリントテーブル内に、前記第1のフィンガープリントが挿入された時刻を記録するようにさらに構成される、請求項25に記載のコントローラ。

【請求項 2 7】

前記コントローラは削除ユニットをさらに含み、前記削除ユニットは、前記フィンガープリントテーブルから第2のフィンガープリントを削除するように構成され、前記第2のフィンガープリントに対応する記憶アドレスは存在せず、且つ、前記第2のフィンガープリントが前記フィンガープリントテーブル内に存在する期間は事前に設定された期間を超過する、請求項26に記載のコントローラ。

【請求項 2 8】

前記コントローラは、受信された書込み要求が、そのフィンガープリント値が前記第1のフィンガープリントである書き込まれるべきデータを含む回数をカウントするように構成されるカウントユニットをさらに含み、前記記憶ユニットは、前記第2の記憶アドレス

10

20

30

40

50

に前記第2の書き込まれるべきデータを記憶し、前記確立ユニットは、前記回数が事前に設定された回数Nよりも大きい場合、前記フィンガープリントテーブル内で、前記第1のフィンガープリントと前記第2の記憶アドレスとの間の前記マッピング関係を確立し、Nは1以上の整数である、請求項22に記載のコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は情報技術の分野に関し、詳細には、記憶システムにおける重複排除のための方法、記憶システムおよびコントローラに関する。

【背景技術】

【0002】

重複排除機能は、記憶システムにおいて重要な特性である。重複排除機能が記憶システムに導入された後、重複データの記憶は低減されることができ、従って、記憶空間は節約される。

【0003】

従来技術では、重複排除操作は、一般に、以下のプロセスを含む：

【0004】

データブロックのフィンガープリントが取得され、フィンガープリントテーブルが照会されて、フィンガープリントテーブルが同じフィンガープリントを含むかどうか判定し、フィンガープリントテーブルがそのフィンガープリントを含まない場合、記憶領域で記憶アドレスが割り当てられ、データブロックはその記憶アドレスに記憶され、フィンガープリントと記憶アドレスとの間のマッピング関係およびデータブロックの論理ブロックアドレスとフィンガープリントとの間のマッピング関係がフィンガープリントテーブル内で確立される。同じフィンガープリントを有するデータブロックが繰り返し書き込まれる場合、繰り返し書き込まれるデータブロックの論理ブロックアドレスとフィンガープリントとの間のマッピング関係のみが確立される必要があり、繰り返し書き込まれるデータブロックを再び記憶する必要はない。従来技術の重複排除技術を使用することによって、記憶空間は節約され、しかしながら、フィンガープリントテーブル内の大量のデータという課題がある。

【発明の概要】

【課題を解決するための手段】

【0005】

第1の態様によると、本発明の実施形態は、記憶システムにおける重複排除に対する解決手段を提供し、記憶システムはコントローラおよび記憶デバイスを含む。解決手段は、コントローラによって、第1の書き込み要求を受信するステップであって、ここで、第1の書き込み要求は、第1の論理ブロックアドレスおよび第1の書き込まれるべきデータを搬送する、ステップと、コントローラによって、第1の書き込まれるべきデータの第1のフィンガープリントを取得するステップと、フィンガープリントテーブルが第1のフィンガープリントを含まない場合、第1のフィンガープリントをフィンガープリントテーブルに挿入し、記憶デバイスから第1の書き込まれるべきデータに第1の記憶アドレスを割り当てるステップと、コントローラによって、第1の記憶アドレスに第1の書き込まれるべきデータを記憶するステップと、コントローラによって、第1の論理ブロックアドレスと第1の記憶アドレスとの間のマッピング関係を確立するステップと、コントローラによって、第2の書き込み要求を受信するステップであって、ここで、第2の書き込み要求は、第2の論理ブロックアドレスおよび第2の書き込まれるべきデータを搬送する、ステップと、コントローラによって、第2の書き込まれるべきデータのフィンガープリントを取得するステップであって、ここで、第2の書き込まれるべきデータのフィンガープリントは第1のフィンガープリントである、ステップと、コントローラが、第2の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルを照会して、第1のフィンガープリントに対応する記憶アドレスが存在しないと判定した場合、コントローラによって、記憶デバ

10

20

30

40

50

イスから第2の書き込まれるべきデータに第2の記憶アドレスを割り当てるステップと、コントローラによって、第2の記憶アドレスに第2の書き込まれるべきデータを記憶するステップと、コントローラによって、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立するステップと、コントローラによって、第2の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立するステップとを含む。

【0006】

一般に、重複排除では、フィンガープリントテーブルは、フィンガープリントインデックスまたはフィンガープリントメタデータとも呼ばれ、フィンガープリントと、フィンガープリントに対応する記憶アドレスとの間のマッピング関係を記憶するために使用される。フィンガープリントに対応するデータブロックは記憶アドレスに記憶される。

10

【0007】

前述の解決手段が具体的に実施されるとき、フィンガープリントテーブル内のフィンガープリントエントリは、フィンガープリントと、フィンガープリントに対応する記憶アドレスとの間のマッピング関係を記憶するために使用されてよい。フィンガープリントテーブルが第1のフィンガープリントを含まない場合、第1のフィンガープリントをフィンガープリントテーブルに挿入するプロセスは、具体的には、フィンガープリントテーブル内に第1のフィンガープリントを含むフィンガープリントエントリがない場合、コントローラによって、フィンガープリントテーブル内に第1のフィンガープリントエントリを作成して、第1のフィンガープリントを第1のフィンガープリントエントリに挿入することを含む。第2の書き込まれるべきデータの第1のフィンガープリントに従って、コントローラがフィンガープリントテーブルを照会して、第1のフィンガープリントに対応する記憶アドレスが存在しないと判定するプロセスは、具体的には、コントローラによって、第2の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルを照会して、第1のフィンガープリントが、第1のフィンガープリントエントリにおける記憶アドレスと対応していないと判定することを含む。コントローラによって、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立するプロセスは、具体的には、コントローラによって、第2の記憶アドレスを第1のフィンガープリントエントリに挿入することである。

20

【0008】

前述の解決手段では、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内に存在しないことは、具体的には、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内で定義されていないか、または、第1のフィンガープリントがどの記憶アドレスにも対応していないことであってよい。フィンガープリントテーブル内で、フィンガープリントと記憶アドレスとの間のマッピング関係を記録するためにフィンガープリントエントリを使用する実施では、フィンガープリントテーブル内のフィンガープリントエントリが第1のフィンガープリントを含まない場合、コントローラは、フィンガープリントテーブル内に第1のフィンガープリントエントリを作成し、第1のフィンガープリントが第1のフィンガープリントエントリに挿入されるとき、記憶アドレスは、第1のフィンガープリントエントリ内で定義されなくてよく、すなわち、記憶アドレスパラメータは、第1のフィンガープリントエントリ内で定義されなくてよく、または、記憶アドレスはなく、すなわち、記憶アドレスパラメータはNullで定義される。これらのケースは、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内に存在せず、すなわち、第1のフィンガープリントと第1の記憶アドレスとの間のマッピング関係はフィンガープリントテーブル内で確立されないことを示す。

30

40

【0009】

前述の解決手段では、第1の書き込まれるべきデータおよび第2の書き込まれるべきデータのフィンガープリントはいずれも第1のフィンガープリントであり、第1の書き込まれるべきデータは第2の書き込まれるべきデータと同じであることを示す。コントローラは、

50

第1の記憶アドレスに最初に書き込まれたデータブロックを記憶し、フィンガープリントテーブルに、最初に書き込まれた第1の書き込まれるべきデータの第1のフィンガープリントを挿入するが、第1のフィンガープリントと第1の記憶アドレスとの間のマッピング関係を確立しない。次に書き込まれる第2の書き込まれるべきデータを受信すると（第2の書き込まれるべきデータは、2回目にコントローラによって受信された同じデータに限定されない）、コントローラは、重複する第2の書き込まれるべきデータに第2の記憶アドレスを割り当て、第2の記憶アドレスに第2の書き込まれるべきデータを記憶し、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立する。すなわち、コントローラは、複数回（少なくとも2回）受信された同じデータに対してのみ重複排除を実行し、このことは、フィンガープリントテーブル内のデータ量を低減する。

10

【0010】

任意で、コントローラは、受信された書込み要求が、そのフィンガープリント値が第1のフィンガープリントである書き込まれるべきデータを搬送する回数をカウントする。コントローラは、回数が事前に設定された回数Nよりも大きい場合、第2の記憶アドレスに第2の書き込まれるべきデータを記憶して、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立し、ここで、Nは1以上の整数である。すなわち、(N+1)回目に現れる重複データ（第2の書き込まれるべきデータ）は第2の記憶アドレスに記憶され、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係がフィンガープリントテーブル内で確立される。第2の記憶アドレスに記憶されるデータは参照可能なデータである。従って、その重複度が一定値に達したデータブロックに対する重複排除は、記憶システムの要件に従って設定されてよい。参照可能なデータは、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスに記憶されるデータであり、参照不可能なデータは、記憶システムに記憶されるが、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスには記憶されないデータである。

20

【0011】

任意で、コントローラは、記憶デバイスの第1の記憶領域から第1の書き込まれるべきデータに第1の記憶アドレスを割り当て、且つ、コントローラは、記憶デバイスの第2の記憶領域から第2の書き込まれるべきデータに第2の記憶アドレスを割り当て、ここで、第2の記憶領域の記憶性能は第1の記憶領域の記憶性能よりも高く、参照可能なデータにアクセスすることにおけるコントローラの性能は改善されることができる。

30

【0012】

任意で、コントローラは、第3の書込み要求を受信し、ここで、第3の書込み要求は、第3の論理ブロックアドレスおよび第3の書き込まれるべきデータを搬送し、コントローラは、第3の書き込まれるべきデータのフィンガープリントを取得し、ここで、第3の書き込まれるべきデータのフィンガープリントは第1のフィンガープリントであり、第3の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルを照会して、第1のフィンガープリントに対応する記憶アドレスが第2の記憶アドレスであると判定した場合、コントローラは、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立する。第1の書き込まれるべきデータ、第2の書き込まれるべきデータおよび第3の書き込まれるべきデータのフィンガープリントが第1のフィンガープリントである場合、第1の書き込まれるべきデータ、第2の書き込まれるべきデータおよび第3の書き込まれるべきデータは同じであることを示す。このことに基づいて、コントローラは、重複データに対して重複排除操作を実行し、記憶空間は節約されることができる。具体的な実施では、第3の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブル内の第1のフィンガープリントエントリを照会して、第1のフィンガープリントに対応する記憶アドレスが第2の記憶アドレスであると判定した場合、コントローラは、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立する。

40

50

【 0 0 1 3 】

任意で、コントローラは、フィンガープリントテーブル内に、第2の記憶アドレスの参照回数を記録する。参照回数は、論理ブロックアドレスが、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスを参照する回数である。論理ブロックアドレスが、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスを参照する回数は、論理ブロックアドレスと記憶アドレスとの間のマッピング関係によって決定される。コントローラが、論理ブロックアドレスと記憶アドレスとの間のマッピング関係を確立して、記憶アドレスがフィンガープリントテーブル内に記録されるとき、論理ブロックアドレスは、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスを一度参照する。具体的な実施では、コントローラは、フィンガープリントテーブル内の第1のフィンガープリントエントリに、第2の記憶アドレスの参照回数を記録する。この実施では、参照回数は、論理ブロックアドレスがフィンガープリントエントリにおける記憶アドレスを参照した回数である。参照回数に従って、データが第2の記憶アドレスに再び書き込まれることができるかどうか判定されることができる。参照回数が0である場合、第2の記憶アドレスを指す論理ブロックアドレスがないことを示し、第2の記憶アドレスは解放されることができ、その結果、第2の記憶アドレスは、記憶デバイスにおいて空き記憶アドレスになり、再びデータを書き込むために使用されてよい。

10

【 0 0 1 4 】

任意で、コントローラは、フィンガープリントテーブル内に記録されている参照回数に従って、コントローラのキャッシュ内に、その参照回数が事前に設定された閾値よりも大きいフィンガープリントと、フィンガープリントに対応する記憶アドレスとの間のマッピング関係を記憶し、このことは、重複排除中のフィンガープリント検索効率を改善する。具体的には、コントローラは、フィンガープリントテーブル内のフィンガープリントエントリに記録されている参照回数に従って、この操作を実施してよい。任意で、コントローラは、フィンガープリントテーブル内に、第1のフィンガープリントが挿入される時刻を記録する。具体的には、第1のフィンガープリントが挿入される時刻は、フィンガープリントテーブル内の第1のフィンガープリントエントリに記録されてよい。

20

【 0 0 1 5 】

任意で、コントローラは、フィンガープリントテーブルから第2のフィンガープリントを削除する。第2のフィンガープリントに対応する記憶アドレスはフィンガープリントテーブル内に存在せず、第2のフィンガープリントがフィンガープリントテーブルに挿入されている期間は、事前に設定された期間を超過する。コントローラは、フィンガープリントテーブルから、事前に設定された期間を超える期間、フィンガープリントテーブル内に存在し、且つ、どの記憶アドレスにも対応していないフィンガープリントを削除してよく、このことは、フィンガープリントテーブル内のデータ量をさらに低減する。具体的な実施では、第2のフィンガープリントが挿入されたときの、フィンガープリントテーブル内に記録される時刻に従って、第2のフィンガープリントがフィンガープリントテーブル内に存在する期間が事前に設定された期間を超過すると判定されてよい。任意で、フィンガープリントエントリが例として使用される。コントローラによって、フィンガープリントエントリ内に記録されている第2のフィンガープリントについては、第2のフィンガープリントは第2のフィンガープリントエントリにおけるどの記憶アドレスにも対応せず、第2のフィンガープリントが第2のフィンガープリントエントリ内に存在する期間は事前に設定された期間を超過する。フィンガープリントに対応する記憶アドレスが存在しないという意味については、前述の説明を参照されたく、詳細はここでは再び説明されない。

30

40

【 0 0 1 6 】

任意で、記憶システムは、逆マッピングテーブルをさらに含んでよい。逆マッピングテーブル内のエントリは、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスと、記憶アドレスを指す論理ブロックアドレスとの間のマッピング関係を記録するために使用される。第1のフィンガープリントに対応する第2の記憶アドレスについては、第2の記憶アドレスを指す論理ブロックアドレスはそれぞれ、第2の論理ブロックア

50

ドレスおよび第3の論理ブロックアドレスである。第2の記憶アドレスを提供する記憶デバイスが故障した（または第2の記憶領域が故障した）場合、故障した記憶デバイスは、新しい記憶デバイスによって置き換えられる（故障した第2の記憶領域は、新しい記憶領域によって置き換えられる）。従って、新しい記憶デバイスまたは新しい記憶領域から第2の記憶アドレスが再割り当てされた場合、第2の記憶アドレスに対応している第2の論理ブロックアドレスおよび第3の論理ブロックアドレスは、逆マッピングテーブル内のエントリに従って決定される必要があるのみであり、記憶システム内の全ての論理ユニットの論理ブロックアドレスと記憶アドレスとの間のマッピング関係をトラバースすることによって、第2の記憶アドレスを指す論理ブロックアドレスを決定する必要はない。従って、データ回復中の論理ブロックアドレス検索効率が改善される。

10

【0017】

任意で、論理ブロックアドレスと記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子をさらに含んでよい。例えば、第1の論理ブロックアドレスと第1の記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子を搬送し、第2の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子を搬送し、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子を搬送する。コントローラは、前述のマッピング関係における参照可能なデータの識別子を使用することによって、記憶アドレスに記憶されているデータが参照可能なデータであるかどうかを容易に識別することができる。

20

【0018】

本発明の実施形態では、重複排除を実行するとき、コントローラは、従来技術における、論理ブロックアドレスとフィンガープリントとの間のマッピング関係およびフィンガープリントと、フィンガープリントに対応するデータを記憶する記憶アドレスとの間のマッピング関係の代わりに、論理ブロックアドレスと記憶アドレスとの間のマッピング関係を確立する。従って、本発明の実施形態で提供される解決手段に従って、コントローラは、コントローラが重複排除を実行しないときでさえ、論理ブロックアドレスと記憶アドレスとの間のマッピング関係に従って、記憶デバイス内のデータに依然としてアクセスし、データを書き込み、記憶デバイスからデータを削除することができる。コントローラが重複排除を実行しないケースは、例えば、コントローラの重複排除ロジックがオフラインであり、フィンガープリントテーブル内のエントリがアクセスされることができないことを含む。従って、記憶システムのデータアクセス性は改善される。

30

【0019】

第2の態様によると、対応して、本発明の実施形態は、第1の態様の様々な実施の解決手段を実施するように構成される、記憶システムおよびコントローラをさらに提供する。コントローラは、本発明の実施形態における第1の態様の様々な実施の解決手段を実施するための構造ユニットを含み、または、コントローラは、本発明の実施形態における第1の態様の様々な実施の解決手段を別々に実行するためのインタフェースおよびプロセッサを含む。

40

【0020】

対応して、本発明は、不揮発性コンピュータ可読記憶媒体およびコンピュータプログラム製品をさらに提供する。本発明の実施形態で提供されるコントローラのメモリが不揮発性コンピュータ可読記憶媒体およびコンピュータプログラム製品に含まれるコンピュータ命令をロードし、コントローラの中央処理装置（Central Processing Unit, CPU）がコンピュータ命令を実行するとき、記憶デバイスは、本発明の実施形態における第1の態様の様々な可能な実施の解決手段を別々に実行することが可能になる。

【図面の簡単な説明】**【0021】**

【図1】 図1は、本発明の実施形態に係る、記憶システムの概略構築図である。

50

【図2】図2は、本発明の実施形態に係るコントローラの概略構成図である。

【図3】図3は、本発明の実施形態に係る記憶システムにおけるストレージリソース割り当ての概略図である。

【図4】図4は、本発明の実施形態に係る、論理ブロックアドレスと記憶アドレスとの間のマッピング関係の概略図である。

【図5】図5は、本発明の実施形態に係る、フィンガープリントエントリの概略図である。

【図6】図6は、本発明の実施形態に係る、論理ブロックアドレスと記憶アドレスとの間のマッピング関係の概略図である。

【図7】図7は、本発明の実施形態に係る、フィンガープリントエントリの概略図である。

【図8】図8は、本発明の実施形態に係る、論理ブロックアドレスと記憶アドレスとの間のマッピング関係の概略図である。

【図9】図9は、本発明の実施形態に係る、フィンガープリントエントリの概略図である。

【図10】図10は、本発明の実施形態に係る、逆マッピングテーブルの概略構成図である。

【図11】図11は、本発明の実施形態に係る、フィンガープリントエントリの概略図である。

【図12】図12は、本発明の実施形態に係る、論理ブロックアドレスと記憶アドレスとの間のマッピング関係の概略図である。

【図13】図13は、本発明の実施形態に係るフローチャートである。

【図14】図14は、本発明の実施形態に係るコントローラの概略構成図である。

【発明を実施するための形態】

【0022】

図1に示されるように、本発明の実施形態における記憶システムは、コントローラおよび記憶デバイスを含み、記憶デバイスは1つ以上のハードディスクである。ハードディスクは、ソリッドステートディスク (Solid State Disk, SSD) またはメカニカルハードディスク、またはSSDおよびメカニカルハードディスクの組合せを含む。メカニカルハードディスクは、HDD (Hard Disk Drive) 等であってよい。任意で、記憶デバイス内のハードディスクは、ハイブリッド (Hybrid) ハードディスクであってよく、または、記憶デバイスは、非常に大容量を有するハードディスク等の単一ハードディスクであってよい。

【0023】

図2に示されるように、コントローラは、中央処理装置 (Central Processing Unit, CPU) 201およびメモリ202を含む。メモリ202はコンピュータ命令を記憶する。CPU 201は、メモリ202内のコンピュータ命令を実行して、記憶システムを管理し、重複排除操作を実行する。加えて、CPU 201の計算リソースを節約するために、本発明の本実施形態で説明される技術的解決手段を実施するために、本発明の本実施形態におけるCPUの全ての操作を実行するために、フィールドプログラマブルゲートアレイ (Field Programmable Gate Array, FPGA) または他のハードウェアがまた使用されてよく、または、本発明の本実施形態におけるCPUの一部の操作を実行するために、FPGAまたは他のハードウェアおよびCPUが別々に使用される。説明を容易にするために、本発明の本実施形態における共通の説明は、コントローラ内のプロセッサが、本発明の実施形態における技術的解決手段を実施するように構成されることである。プロセッサは、ストレージリソース管理ロジックおよび重複排除ロジックを含む。ストレージリソース管理ロジックは、ストレージリソース管理および割り当ておよび論理ユニット (Logical Unit, LU) 管理を実施するために使用される。本発明の本実施形態では、論理ユニットは、論理ユニット番号 (Logical Unit Number, LUN) とも呼ばれる。重複排除ロジックは、重複排除操作を実施するために使用される。加えて、コントローラはインタフェースをさらに含む。インタフェースはプロセッサと通信し、書込み要求、削除要求または読出し要求等の操作要求を受信するように構成され

10

20

30

40

50

る。インタフェースは、具体的には、ホストバスアダプタ (Host Bus Adapter, HBA) カード、周辺部品相互接続Express (Peripheral Component Interconnect Express, PCIe) インタフェースカード等であってよい。

【 0 0 2 4 】

SSDの記憶性能は、HDDの記憶性能よりも良好であるため、図3に示される実施では、コントローラは、記憶システム内のメカニカルハードディスクおよびソリッドステートディスクを固定サイズチャンク (Chunk) に別々に分割し、チャンクは、記憶領域1および記憶領域2を形成する。本発明の本実施形態では、記憶領域は、ストレージリソースプールとも呼ばれる。ストレージリソースプール1は、メカニカルハードディスクを分割することによってコントローラによって取得されるチャンク

10

【 数 1 】



を含み、ストレージリソースプール2は、ソリッドステートディスクを分割することによってコントローラによって取得されるチャンク

【 数 2 】



20

を含む。ここで、ストレージリソースプール2は、第1レベルリソースプールと呼ばれ、ストレージリソースプール1は、第2レベルリソースプールと呼ばれる。独立ディスクの冗長アレイ (Redundant Array of Independent Disks, RAID) アルゴリズムによると、コントローラは、ストレージリソースプール1における複数のメカニカルハードディスク内で分配されるチャンクをランダムに選択して、チャンクグループ (Chunk Group) を形成する。例えば、

【 数 3 】



30

はチャンクグループを形成し、すなわち、4つの

【 数 4 】



は、それぞれ異なるハードディスク由来である。同様に、RAIDアルゴリズムによると、コントローラは、ストレージリソースプール2における複数のソリッドステートディスク内で分配されるチャンクをランダムに選択して、チャンクグループ (Chunk Group) を形成する。例えば、

40

【 数 5 】



はチャンクグループを形成し、すなわち、4つの

【数 6】



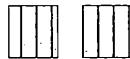
は、それぞれ異なるハードディスク由来である。コントローラは、チャンクグループを、
【数 7】



10

または

【数 8】



等の固定サイズのエクステント (Extent) に分割して、エクステントをLUNに使用のために割り当てる。図3に示されるように、LUN 1は、ストレージリソースプール1におけるエクステントを使用し、LUN 2は、ストレージリソースプール1およびストレージリソースプール2におけるエクステントを使用する。すなわち、LUN 1は、記憶領域1で提供されるエクステントを使用し、LUN 2は、記憶領域1および記憶領域2で提供されるエクステントを使用する。従って、LUN 1は非階層ストレージLUNと呼ばれ、且つ、LUN 2は階層ストレージLUNと呼ばれる。

20

【0025】

例としてLUN 2を使用して、コントローラは、第1の書き込み要求を受信し、第1の書き込み要求は、一般に、LUN 2の識別子、論理ブロックアドレス (Logical Block Address, LBA) 1および第1の書き込まれるべきデータを搬送する。LBA 1は、第1の書き込まれるべきデータのターゲット論理ブロックアドレスである。コントローラは、第1の書き込まれるべきデータのフィンガープリントAを取得し、例えば、ハッシュ (Hash) アルゴリズムを使用することによって、第1の書き込まれるべきデータのフィンガープリントを取得する。コントローラは、フィンガープリントテーブルを照会して、フィンガープリントAがフィンガープリントテーブル内に存在するかどうかを判定する。フィンガープリントテーブル内のフィンガープリントエントリがフィンガープリントAを含まない場合、コントローラは、フィンガープリントテーブル内に新しいフィンガープリントエントリを作成して、フィンガープリントAを新しいフィンガープリントエントリに挿入する。コントローラは、ストレージリソースプール1から第1の書き込まれるべきデータにエクステントを割り当て、すなわち、記憶アドレスSD 1を割り当て、SD 1に第1の書き込まれるべきデータを記憶し、図4に示されるように、LBA 1とSD 1との間のマッピング関係を確立する。すなわち、LUN 2におけるLBA 1はSD 1を指す。任意で、マッピング関係は、データが参照可能なデータかどうかを示す識別子をさらに搬送してよい。例えば、0は、参照不可能なデータを識別するために使用され、1は、参照可能なデータを識別するために使用される。本発明の本実施形態では、参照可能なデータは、フィンガープリントテーブル内のフィンガープリントエントリにおける記憶アドレスに記憶されるデータであり、参照不可能なデータは、記憶システムに記憶されるが、フィンガープリントテーブル内のフィンガープリントエントリに記録された記憶アドレスには記憶されないデータである。コントローラは、LBA 1とSD 1との間のマッピング関係における参照可能なデータの識別子によって、SD 1に記憶されたデータが参照可能なデータでないことを容易に識別することができる。

30

40

【0026】

従来技術では、第1の書き込まれるべきデータが、最初に書き込まれるデータであると

50

き、フィンガープリントAがフィンガープリントテーブルに挿入された後、フィンガープリントAと記憶アドレスSD 1との間のマッピング関係が、フィンガープリントテーブル内で確立される。しかしながら、本発明の本実施形態では、図5に示されるように、第1の書き込まれるべきデータが、最初に書き込まれるデータであるとき、コントローラが、フィンガープリントAを新しいフィンガープリントエントリに挿入した後、フィンガープリントAは、新しいフィンガープリントエントリ内のどの記憶アドレスにも対応せず、すなわち、第1の記憶アドレスは、新しいフィンガープリントエントリに挿入されない。本発明の本実施形態では、任意で、フィンガープリントテーブル内のフィンガープリントエントリは、フィンガープリントが挿入された時刻および論理ブロックアドレスがフィンガープリントエントリ内の記憶アドレスを参照した回数をさらに含んでよい。論理ブロックアドレスがフィンガープリントエントリ内の記憶アドレスを参照した回数は、フィンガープリントエントリ内のフィンガープリントに対応する記憶アドレスの参照回数とも呼ばれる。論理ブロックアドレスがフィンガープリントエントリ内の記憶アドレスを参照した回数は、論理ブロックアドレスと記憶アドレスとの間のマッピング関係によって決定される。コントローラが、論理ブロックアドレスと記憶アドレスとの間のマッピング関係を確立し、且つ、記憶アドレスがフィンガープリントテーブル内に記録されるとき、論理ブロックアドレスは、フィンガープリントエントリ内の記憶アドレスを一度参照する。

【0027】

本発明の本実施形態では、フィンガープリントAが挿入される時刻はT1である。新しいフィンガープリントエントリ内にはフィンガープリントAのみがあり、フィンガープリントAはどの記憶アドレスにも対応しないため、論理ブロックアドレスがその記憶アドレスにおけるデータを参照する回数は0である。フィンガープリントエントリが、フィンガープリントを含むが、フィンガープリントに対応する記憶アドレスを含まない場合、記憶システムは、フィンガープリントに対応する参照可能なデータを持たないことを示す。これに基づいて、コントローラは、フィンガープリントテーブルから、事前に設定された期間を超過する期間、フィンガープリントテーブル内に存在し、且つ、どの記憶アドレスにも対応しないフィンガープリントを削除してよく、このことは、フィンガープリントテーブル内のデータ量を低減する。具体的には、本発明の本実施形態では、フィンガープリントAが挿入される時刻はT1であり、時点T2において、コントローラは、事前に設定された期間を超過する期間、フィンガープリントテーブル内に存在し、且つ、どの記憶アドレスにも対応しないフィンガープリントを削除する必要がある。フィンガープリントAがフィンガープリントテーブル内に存在する期間、すなわち、時点T1から時点T2までの期間は、T2とT1との間の差に従って決定されてよい。フィンガープリントテーブル内のフィンガープリントエントリにおけるフィンガープリントAがどの記憶アドレスにも対応せず、T2とT1との間の差が事前に設定された期間を超過するとき、フィンガープリントAは、フィンガープリントテーブルから削除されてよい。

【0028】

一般に、重複排除では、フィンガープリントテーブルは、フィンガープリントインデックスまたはフィンガープリントメタデータとも呼ばれ、フィンガープリントと、フィンガープリントに対応する記憶アドレスとの間のマッピング関係を記憶するために使用される。フィンガープリントに対応するデータブロックは記憶アドレスに記憶される。具体的な実施では、フィンガープリントエントリは、フィンガープリントと、フィンガープリントに対応する記憶アドレスとの間のマッピング関係を記憶するために使用されてよい。

【0029】

本発明の本実施形態では、フィンガープリントAに対応する記憶アドレスが存在しないことは、フィンガープリントAに対応する記憶アドレスがフィンガープリントテーブル内で定義されていないか、または、フィンガープリントAがどの記憶アドレスにも対応しないことを意味する。フィンガープリントと記憶アドレスとの間のマッピング関係を記録するためのフィンガープリントエントリの実施では、記憶アドレスは、新しいフィンガープリントエントリ内で定義されなくてよく、すなわち、記憶アドレスパラメータは、新しい

フィンガープリントエントリ内で定義されなくてよく、または、記憶アドレスはなく、すなわち、記憶アドレスパラメータはNullで定義される。

【0030】

コントローラが第2の書き込み要求を受信したとき、第2の書き込み要求は、一般に、LUN 2の識別子、LBA 2および第2の書き込まれるべきデータを搬送する。LBA 2は、第2の書き込まれるべきデータのターゲット論理ブロックアドレスである。コントローラは、第2の書き込まれるべきデータのフィンガープリントAを取得し、例えば、ハッシュ（Hash）アルゴリズムによって、第2の書き込まれるべきデータのフィンガープリントAを取得する。第1の書き込まれるべきデータおよび第2の書き込まれるべきデータのフィンガープリントは、いずれも、フィンガープリントAであり、且つ、第1の書き込まれるべきデータは第2の書き込まれるべきデータと同じであることを示す。フィンガープリントテーブルを照会して、フィンガープリントAが、新しいフィンガープリントエントリにおけるどの記憶アドレスにも対応していないと判定するとき、コントローラは、ストレージリソースプール2から第2の書き込まれるべきデータにエクステントを割り当て、すなわち、記憶アドレスSD 2を割り当て、第2の書き込まれるべきデータをSD 2に記憶し、図6に示されるように、LBA 2とSD 2との間のマッピング関係を確立する。すなわち、LUN 2におけるLBA 2はSD 2を指す。任意で、LBA 2とSD 2との間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子をさらに搬送してよい。例えば、1は、参照可能なデータを識別するために使用される。コントローラは、LBA 2とSD 2との間のマッピング関係における参照可能なデータの識別子によって、SD 2に記憶されているデータが参照可能なデータであることを容易に識別することができる。図7に示されるように、コントローラは、新しいフィンガープリントエントリ内で、フィンガープリントAとSD 2との間のマッピング関係を確立し、すなわち、フィンガープリントエントリに挿入されるフィンガープリントAに対応する記憶アドレスは、SD 2である。図7に示されるように、第2の書き込まれるべきデータは参照可能なデータであり、新しいフィンガープリントエントリにおける参照回数は1に更新される。

【0031】

コントローラは、受信された書き込み要求が、そのフィンガープリント値がフィンガープリントAである書き込まれるべきデータを搬送する回数をカウントする。回数が事前に設定された回数Nよりも大きい場合、コントローラは、ストレージリソースプール2から第2の書き込まれるべきデータにSD 2を割り当て、SD 2を新しいフィンガープリントエントリに挿入する。Nは1以上の整数であり、具体的には、記憶システムの要件に従って設定されてよい。従って、記憶システムの要件に応じて、コントローラによって受信された書き込まれるべきデータが同じフィンガープリントを搬送する回数がNよりも大きい場合、(N+1)回目に現れる重複データはSD 2に記憶され、SD 2は、フィンガープリントエントリに挿入される。すなわち、コントローラは、複数回受信された同じデータに対してのみ重複排除を実行し、このことは、フィンガープリントテーブル内のデータ量を低減する。

【0032】

本発明の本実施形態では、コントローラは、第1の記憶アドレスに最初に書き込まれたデータブロックを記憶し、最初に書き込まれたデータブロックのフィンガープリントを、フィンガープリントテーブル内に作成された新しいフィンガープリントエントリに挿入するが、データブロックが記憶される記憶アドレスは挿入しない。次に書き込まれる重複データブロックを受信するとき、コントローラは、第2の記憶アドレスを重複データブロックに割り当て、第2の記憶アドレスに重複データブロックを記憶し、第2の記憶アドレスをフィンガープリントテーブル内の対応するフィンガープリントエントリに挿入する。すなわち、コントローラは、複数回受信された同じデータに対してのみ重複排除を実行し、このことは、フィンガープリントテーブル内のデータ量を低減する。さらに、コントローラは、記憶領域2の記憶アドレスに参照可能なデータを記憶する。記憶領域2の記憶性能は、記憶領域1の記憶性能よりも良好であるため、参照可能なデータにアクセスすることにおけるコントローラの性能は改善されることことができる。

【 0 0 3 3 】

コントローラが第3の書き込み要求を受信するとき、第3の書き込み要求は、一般に、LUN 2の識別子、LBA 3および第3の書き込まれるべきデータを搬送する。LBA 3は、第3の書き込まれるべきデータのターゲット論理ブロックアドレスである。コントローラは、第3の書き込まれるべきデータのフィンガープリントAを取得し、例えば、ハッシュ (Hash) アルゴリズムによって、第3の書き込まれるべきデータのフィンガープリントAを取得する。第1の書き込まれるべきデータ、第2の書き込まれるべきデータおよび第3の書き込まれるべきデータのフィンガープリントは全てフィンガープリントAであり、第1の書き込まれるべきデータ、第2の書き込まれるべきデータおよび第3の書き込まれるべきデータは同一であることを示す。フィンガープリントAに従って新しいフィンガープリントエントリを照会して、フィンガープリントAに対応する記憶アドレスがSD 2であると判定した場合、コントローラは、図6に示されるように、LBA 3とSD 2との間のマッピング関係を確立する。すなわち、LUN 2におけるLBA 3はSD 2を指し、第3の書き込まれるべきデータは記憶されていない。このことに基づいて、コントローラは、重複データに対して重複排除操作を実行し、記憶空間は節約されることができる。任意で、LBA 3とSD 2との間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子をさらに搬送してよい。例えば、1は、参照可能なデータを識別するために使用される。コントローラは、LBA 3とSD 2との間のマッピング関係における参照可能なデータの識別子によって、SD 2に記憶されるデータが参照可能なデータであることを容易に識別することができる。図9に示されるように、コントローラは、新しいフィンガープリントエントリ内の参照回数を2に更新する。

10

20

【 0 0 3 4 】

任意で、本発明の本実施形態は、逆マッピングテーブルをさらに提供する。図10に示されるように、逆マッピングテーブルにおけるエントリは、フィンガープリントテーブル内のエントリにおける記憶アドレスと記憶アドレスを指す論理ブロックアドレスとの間のマッピング関係を記録するために使用される。例えば、フィンガープリントAに対応するSD 2については、SD 2を指す論理ブロックアドレスはそれぞれLBA 2およびLBA 3であり、従って、図10に示される逆マッピングテーブル内のエントリは、SD 2と、LBA 2およびLBA 3の両方との間のマッピング関係を記録する。記憶領域2を提供するSSDが故障した場合、新しいSSDが故障したSSDを置き換える。SD 2が故障したSSDによって提供される場合、SD 2が新しいSSDから再割り当てされるとき、SD 2に対応しているLBA 2およびLBA 3は、図10に示される逆マッピングテーブル内のエントリを照会することのみによって決定されることができ、LBA 2およびLBA 3のデータは、新しいSSDによって提供されるSD 2において回復されることができ、記憶システム内の全てのLUNの論理ブロックアドレスと記憶アドレスとの間のマッピング関係をトラバースすることによって、SD 2を指す論理ブロックアドレス (換言すると、SD 2に対応する論理ブロックアドレス) を決定する必要はない。従って、データ回復中の論理ブロックアドレス検索効率は改善される。

30

【 0 0 3 5 】

第1の書き込み要求が変更/書き込み要求である場合、すなわち、第1の書き込まれるべきデータが書き込まれる前、LBA 1にはデータブロックMが書き込まれており、データブロックMに対応するフィンガープリントはフィンガープリントBである。フィンガープリントテーブル内のフィンガープリントエントリは、図11に示される情報を含み：データブロックMを記憶する記憶アドレスは記憶領域2内のSD 3であり、参照回数は1である。LBA 1と記憶アドレスSD 3との間のマッピング関係は、図12に示され：LBA 1が指す記憶アドレスはSD 3であり、SD 3に記憶されるデータは参照可能なデータである。第1の書き込み要求に従って、SD 1に第1の書き込まれるべきデータを記憶するとき、コントローラは、図12に示されるマッピング関係を、図4に示されるマッピング関係に更新し；コントローラは、図11に示されるフィンガープリントエントリにおける参照回数を更新し、すなわち、参照回数を0に減少させ；次いで、コントローラは、LBA 1とSD 3との間のマッピング関係を直接削除するか、または、マッピング関係を無効にして、記憶アドレスSD 3を開放してよく、その

40

50

結果、SD 3は、記憶領域2内の空き記憶アドレスになり、すなわち、SD 3は、割り当てられていない記憶アドレスである。LBA 1とSD 3との間のマッピング関係を削除することは、マッピング関係を完全に削除することである。マッピング関係を無効にする具体的な実施は、マッピング関係を識別するために無効識別子を使用することによってよく、無効識別子は、マッピング関係が無効であることを示す。

【 0 0 3 6 】

コントローラの重複排除ロジックがオフラインである場合、コントローラは、第1の書き込み要求に従って、SD 1に第1の書き込まれるべきデータを書き込み（コントローラは、記憶領域1から書き込まれるべきデータに記憶アドレスを割り当てる）、LBA 1とSD 1との間のマッピング関係を確立する。LBA 1と記憶アドレスとの間のマッピング関係が図12に示される場合、すなわち、LBA 1に対応する記憶アドレスがSD 3であり、SD 3に記憶されるデータが参照可能なデータである場合、コントローラは、SD 3の参照回数の減少をログに記録する。コントローラの重複排除ロジックがオンラインになった後、ログ内のSD 3の参照回数の減少の記録に従って、コントローラは、図11に示されるフィンガープリントエントリ内の参照回数を更新し、すなわち、参照カウントを0に減少させる。本発明の本実施形態では、コントローラの重複排除ロジックがオフラインであることは、コントローラの重複排除機能が無効であるか、または故障していることを意味し、コントローラの重複排除ロジックがオンラインであることは、コントローラの重複排除機能が動作状態にあることを意味する。本発明の本実施形態で説明される態様によると、コントローラが重複排除を実行しない場合、コントローラは、論理ブロックアドレスと記憶アドレスとの間のマッピング関係に従って、記憶デバイス内に記憶されているデータに依然としてアクセスし、データを書き込み、記憶デバイスからデータを削除することができる。従って、記憶システムのデータアクセス性は改善される。本発明の本実施形態では、コントローラが重複排除を実行しないシナリオは、コントローラの重複排除ロジックがオフラインであるシナリオ、コントローラがフィンガープリントテーブル内のエントリにアクセスすることができないシナリオ等を含んでよい。

【 0 0 3 7 】

さらに、本発明の本実施形態では、コントローラは第4の削除要求を受信し、第4の削除要求は、一般に、LUN 2の識別子およびLBA 3を搬送する。コントローラは、LBA 3に従って、図8に示されるマッピング関係を照会し、図8に示されるLBA 3とSD 2との間のマッピング関係を無効にするか、または削除する。LBA 3とSD 2との間のマッピング関係を削除することは、マッピング関係を完全に削除することである。LBA 3とSD 2との間のマッピング関係を無効にする具体的な実施は、マッピング関係を識別するために無効識別子を使用することによってよく、無効識別子は、マッピング関係が無効であることを示す。

【 0 0 3 8 】

LBA 3はSD 2をもはや指さないため、図9に示されるフィンガープリントエントリ内の参照回数は1減らされ、すなわち、1に更新される。コントローラが、第4の削除要求に従って、図8に示されるマッピング関係を削除するか、または無効にするが、コントローラの重複排除ロジックがオフラインである場合、コントローラは、SD 2の参照回数の減少をログ内に記録する。コントローラの重複排除ロジックがオンラインになった後、ログ内のSD 2の参照回数の減少の記録に従って、コントローラは、図9に示されるフィンガープリントエントリ内の参照回数を更新し、すなわち、参照カウントを1に減少させる。

【 0 0 3 9 】

本発明の本実施形態で説明される解決手段はまた、LUN 1に適用可能である。すなわち、記憶アドレスは同じ記憶領域から割り当てられる。任意で、本発明の本実施形態で説明される解決手段は、1つのLUNの操作要求に適用可能なだけでなく、複数のLUNの操作要求にも適用可能である。このことは、本発明では限定されない。本発明の本実施形態では、別の記憶アドレス割り当て方式が、図1に示される記憶システムに基づいてさらに使用されてよい。例えば、記憶アドレスは、RAIDアルゴリズムに基づいて、ハードディスクからLUNに直接提供される。このことは、本発明では限定されない。

【0040】

さらに、本発明の本実施形態では、その参照回数が事前に設定された閾値よりも大きいフィンガープリントエントリは、重複排除中のフィンガープリント検索効率を改善するために、フィンガープリントテーブル内のフィンガープリントエントリに記録されている参照回数に従って、コントローラのキャッシュに記憶されてよい。

【0041】

図1乃至図3および前述の実施形態で説明される記憶システムを参照すると、図13は、本発明の記憶システムにおける重複排除のための方法の実施形態のフローチャートを提供する。

【0042】

ステップ1301：コントローラは、第1の書込み要求を受信し、ここで、第1の書込み要求は、第1の論理ブロックアドレスおよび第1の書き込まれるべきデータを搬送する。

【0043】

ステップ1302：コントローラは、第1の書き込まれるべきデータの第1のフィンガープリントを取得する。

【0044】

前述の実施形態で説明されるように、コントローラは、ハッシュアルゴリズム等に従って、第1の書き込まれるべきデータに対する計算を実行することによって、第1のフィンガープリントを取得してよい。

【0045】

ステップ1303：フィンガープリントテーブルが第1のフィンガープリントを含まない場合、コントローラは、第1のフィンガープリントをフィンガープリントテーブルに挿入し、記憶デバイスから第1の書き込まれるべきデータに第1の記憶アドレスを割り当てる。

【0046】

具体的な実施では、フィンガープリントと記憶アドレスとの間のマッピング関係を記録するためにフィンガープリントエントリが使用され、フィンガープリントテーブル内のフィンガープリントエントリが第1のフィンガープリントを含まない場合、コントローラは、フィンガープリントテーブル内に第1のフィンガープリントエントリを作成して、第1のフィンガープリントを第1のフィンガープリントエントリに挿入する。

【0047】

ステップ1304：コントローラは、第1の記憶アドレスに第1の書き込まれるべきデータを記憶し、第1の論理ブロックアドレスと第1の記憶アドレスとの間のマッピング関係を確立する。

【0048】

任意で、コントローラは、フィンガープリントテーブル内に、第1のフィンガープリントが挿入される時刻を記録する。具体的には、コントローラは、第1のフィンガープリントエントリ内に、第1のフィンガープリントが挿入される時刻を記録する。

【0049】

フィンガープリントテーブルが第1のフィンガープリントを含まない場合、コントローラは、第1のフィンガープリントをフィンガープリントテーブルに挿入するが、第1のフィンガープリントに対応する記憶アドレスは存在しない。従って、第1の記憶アドレスに記憶されている第1の書き込まれるべきデータは、参照可能なデータではない。具体的な実施では、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内に存在しないことは、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内で定義されていないか、または、第1のフィンガープリントがどの記憶アドレスにも対応していないことを意味してよい。フィンガープリントと記憶アドレスとの間のマッピング関係を記録するためにフィンガープリントエントリを使用する実施では、フィンガープリントテーブル内のフィンガープリントエントリが第1のフィンガープリントを含まない場合、コントローラは、フィンガープリントテーブル内に第1のフィンガープリントエントリを作成し、第1のフィンガープリントが第1のフィンガープリント

10

20

30

40

50

エントリに挿入されるとき、記憶アドレスは、第1のフィンガープリントエントリ内で定義されなくてよく、すなわち、記憶アドレスパラメータは、第1のフィンガープリントエントリ内で定義されなくてよく、または、記憶アドレスはなく、すなわち、記憶アドレスパラメータはNullで定義される。これらのケースは、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内に存在せず、すなわち、第1のフィンガープリントと第1の記憶アドレスとの間のマッピング関係はフィンガープリントテーブル内で確立されないことを示す。

【 0 0 5 0 】

ステップ1305：コントローラは、第2の書込み要求を受信し、ここで、第2の書込み要求は、第2の論理ブロックアドレスおよび第2の書き込まれるべきデータを搬送する。

10

【 0 0 5 1 】

ステップ1306：コントローラは、第2の書き込まれるべきデータのフィンガープリントを取得し、ここで、第2の書き込まれるべきデータのフィンガープリントは第1のフィンガープリントである。

【 0 0 5 2 】

前述の実施形態で説明されるように、コントローラは、ハッシュアルゴリズム等に従って、第2の書き込まれるべきデータに対して計算を実行することによって第1のフィンガープリントを取得してよい。第1の書き込まれるべきデータおよび第2の書き込まれるべきデータのフィンガープリントは同じであり、第1の書き込まれるべきデータは第2の書き込まれるべきデータと同じであることを示す。

20

【 0 0 5 3 】

ステップ1307：コントローラが、第2の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルを照会して、第1のフィンガープリントに対応する記憶アドレスが存在しないと判定した場合、コントローラは、記憶デバイスから第2の書き込まれるべきデータに第2の記憶アドレスを割り当てる。

【 0 0 5 4 】

ステップ1308：コントローラは、第2の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立し、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立する。

【 0 0 5 5 】

任意で、コントローラは、記憶デバイスの第1の記憶領域から第1の書き込まれるべきデータに第1の記憶アドレスを割り当て、且つ、コントローラは、記憶デバイスの第2の記憶領域から第2の書き込まれるべきデータに第2の記憶アドレスを割り当て、ここで、第2の記憶領域の記憶性能は第1の記憶領域の記憶性能よりも高く、参照可能なデータにアクセスすることにおけるコントローラの性能は改善されることができる。

30

【 0 0 5 6 】

任意で、コントローラは、フィンガープリントテーブル内に、第2の記憶アドレスの参照回数を記録する。具体的な実施では、コントローラは、フィンガープリントテーブル内の第1のフィンガープリントエントリにおける第2の記憶アドレスの参照回数を記録してよい。参照回数は、論理ブロックアドレスが、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスを参照する回数である。論理ブロックアドレスが、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスを参照する回数は、論理ブロックアドレスと記憶アドレスとの間のマッピング関係によって決定される。コントローラが、論理ブロックアドレスと記憶アドレスとの間のマッピング関係を確立して、記憶アドレスがフィンガープリントテーブル内に記録されるとき、論理ブロックアドレスは、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスを一度参照する。具体的な実施では、コントローラは、フィンガープリントテーブル内の第1のフィンガープリントエントリに、第2の記憶アドレスの参照回数を記録し、参照回数は、論理ブロックアドレスがフィンガープリントエントリにおける記憶アドレスを参照した回数である。参照回数に従って、データが第2の記憶アドレスに再び書き込まれることが

40

50

できるかどうか判定されることができる。参照回数が0である場合、第2の記憶アドレスを指す論理ブロックアドレスがないことを示し、第2の記憶アドレスは解放されることができ、その結果、第2の記憶アドレスは、記憶デバイスにおいて空き記憶アドレスになり、再びデータを書き込むために使用されてよい。コントローラは、フィンガープリントテーブル内に記録されている参照回数に従って、コントローラのキャッシュ内に、その参照回数が事前に設定された閾値よりも大きいフィンガープリントと、フィンガープリントに対応する記憶アドレスとの間のマッピング関係を記憶し、このことは、重複排除中のフィンガープリント検索効率を改善する。

【 0 0 5 7 】

コントローラは、受信された書込み要求が、そのフィンガープリント値が第1のフィンガープリントである書き込まれるべきデータを搬送する回数をカウントする。回数が事前に設定された回数Nよりも大きい場合、コントローラは、第2の記憶アドレスに第2の書き込まれるべきデータを記憶して、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立し、ここで、Nは1以上の整数である。すなわち、(N+1)回目に現れる重複データ(第2の書き込まれるべきデータ)は第2の記憶アドレスに記憶され、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係がフィンガープリントテーブル内で確立される。第2の記憶アドレスに記憶されるデータは参照可能なデータである。上で説明されるように、コントローラによって、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立する具体的な実施は、具体的には、コントローラによって、第2の記憶アドレスをフィンガープリントテーブル内の第1のフィンガープリントエンタリに挿入することであってよい。従って、その重複度が一定値に達したデータブロックに対する重複排除は、記憶システムの要件に従って設定されてよい。参照可能なデータは、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスに記憶されるデータであり、参照不可能なデータは、記憶システムに記憶されるが、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスには記憶されないデータである。具体的な実施では、参照可能なデータは、フィンガープリントテーブル内のフィンガープリントエンタリにおける記憶アドレスに記憶されるデータであり、参照不可能なデータは、記憶システムに記憶されるが、フィンガープリントテーブル内のフィンガープリントエンタリに記録された記憶アドレスには記憶されないデータである。

【 0 0 5 8 】

コントローラは、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立し、従って、第2の記憶アドレスに記憶される第2の書き込まれるべきデータは、参照可能なデータである。

【 0 0 5 9 】

任意で、コントローラは、第3の書込み要求を受信し、ここで、第3の書込み要求は、第3の論理ブロックアドレスおよび第3の書き込まれるべきデータを搬送し、コントローラは、第3の書き込まれるべきデータのフィンガープリントを取得し、ここで、第3の書き込まれるべきデータのフィンガープリントは第1のフィンガープリントであり、第3の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルを照会して、第1のフィンガープリントに対応する記憶アドレスが第2の記憶アドレスであると判定した場合、コントローラは、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立する。第1の書き込まれるべきデータ、第2の書き込まれるべきデータおよび第3の書き込まれるべきデータのフィンガープリントは全て第1のフィンガープリントであり、第1の書き込まれるべきデータ、第2の書き込まれるべきデータおよび第3の書き込まれるべきデータは同一であることを示す。このことに基づいて、コントローラは、重複データに対して重複排除操作を実行し、記憶空間は節約されることができる。具体的な実施では、第3の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブル内の第1のフィンガープリントエンタリを照会して、第1のフィンガープリントに対応する記憶アドレスが第2の記憶アドレスであると判定した場合、コ

10

20

30

40

50

ントローラは、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立する。

【0060】

任意で、コントローラは、フィンガープリントテーブルから第2のフィンガープリントを削除する。第2のフィンガープリントに対応する記憶アドレスは存在せず、第2のフィンガープリントがフィンガープリントテーブルに存在する期間は、事前に設定された期間を超過し、このことは、フィンガープリントテーブル内のデータ量をさらに低減する。具体的な実施では、第2のフィンガープリントが挿入されたときの、フィンガープリントテーブル内に記録される時刻に従って、第2のフィンガープリントがフィンガープリントテーブル内に存在する期間が事前に設定された期間を超過すると判定されてよい。任意で、フィンガープリントエントリが例として使用される。コントローラによって、フィンガープリントエントリ内に記録されている第2のフィンガープリントについては、第2のフィンガープリントは第2のフィンガープリントエントリにおけるどの記憶アドレスにも対応せず、第2のフィンガープリントが第2のフィンガープリントエントリ内に存在する期間は事前に設定された期間を超過する。

10

【0061】

任意で、記憶システムは、逆マッピングテーブルをさらに含む。逆マッピングテーブル内のエントリは、フィンガープリントテーブル内のフィンガープリントに対応する記憶アドレスと、記憶アドレスを指す論理ブロックアドレスとの間のマッピング関係を記録するために使用される。第1のフィンガープリントに対応する第2の記憶アドレスについては、第2の記憶アドレスを指す論理ブロックアドレスはそれぞれ、第2の論理ブロックアドレスおよび第3の論理ブロックアドレスである。記憶デバイスによって提供された第2の記憶アドレスが故障した（または第2の記憶領域が故障した）場合、故障した記憶デバイスは、新しい記憶デバイスによって置き換えられる（故障した第2の記憶領域は、新しい記憶領域によって置き換えられる）。従って、新しい記憶デバイスまたは新しい記憶領域から第2の記憶アドレスが再割り当てされた場合、第2の記憶アドレスに対応している第2の論理ブロックアドレスおよび第3の論理ブロックアドレスは、逆マッピングテーブル内のエントリに従って決定される必要があるのみであり、記憶システム内の全ての論理ユニットの論理ブロックアドレスと記憶アドレスとの間のマッピング関係をトラバースすることによって、第2の記憶アドレスを指す論理ブロックアドレスを決定する必要はない。従って、データ回復中の論理ブロックアドレス検索効率が改善される。

20

30

【0062】

任意で、論理ブロックアドレスと記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子をさらに含んでよい。例えば、第1の論理ブロックアドレスと第1の記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子を搬送し、第2の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子を搬送し、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係は、データが参照可能なデータであるかどうかを示す識別子を搬送する。コントローラは、前述のマッピング関係における参照可能なデータの識別子を使用することによって、記憶アドレスに記憶されているデータが参照可能なデータであるかどうかを容易に識別することができる。

40

【0063】

図13に示されるフローチャートによると、第1の書き込まれるべきデータおよび第2の書き込まれるべきデータのフィンガープリントはいずれも第1のフィンガープリントであり、第1の書き込まれるべきデータは第2の書き込まれるべきデータと同じであることを示す。コントローラは、第1の記憶アドレスに最初書き込まれたデータブロックを記憶し、フィンガープリントテーブルに、最初書き込まれた第1の書き込まれるべきデータの第1のフィンガープリントを挿入するが、第1のフィンガープリントと第1の記憶アドレスとの間のマッピング関係を確立しない。次に書き込まれる第2の書き込まれるべきデータを受

50

信すると（第2の書き込まれるべきデータは、2回目にコントローラによって受信された同じデータに限定されない）、コントローラは、重複する第2の書き込まれるべきデータに第2の記憶アドレスを割り当て、第2の記憶アドレスに第2の書き込まれるべきデータを記憶し、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確認する。すなわち、コントローラは、複数回受信された同じデータに対してのみ重複排除を実行し、このことは、フィンガープリントテーブル内のデータ量を低減する。

【0064】

図13に示されるフローチャートの具体的な実施については、前述の実施形態における説明を参照されたく、詳細はここでは再び説明されない。

10

【0065】

本発明の実施形態で説明される解決手段によると、本発明の別の実施形態は、本発明の実施形態における記憶システムに適用される、図14に示されるコントローラを提供する。コントローラは、受信ユニット1401、取得ユニット1402、挿入ユニット1403、割り当てユニット1404、記憶ユニット1405および確立ユニット1406を含む。受信ユニット1401は第1の書き込み要求を受信するように構成され、ここで、第1の書き込み要求は、第1の論理ブロックアドレスおよび第1の書き込まれるべきデータを搬送する。取得ユニット1402は、第1の書き込まれるべきデータの第1のフィンガープリントを取得するように構成される。挿入ユニット1403は、フィンガープリントテーブルが第1のフィンガープリントを含まない場合、第1のフィンガープリントをフィンガープリントテーブルに挿入するように構成される。割り当てユニット1404は、記憶デバイスから第1の書き込まれるべきデータに第1の記憶アドレスを割り当てるように構成される。記憶ユニット1405は、第1の記憶アドレスに第1の書き込まれるべきデータを記憶するように構成される。確立ユニット1406は、第1の論理ブロックアドレスと第1の記憶アドレスとの間のマッピング関係を確認するように構成される。受信ユニット1401は、第2の書き込み要求を受信するようにさらに構成され、ここで、第2の書き込み要求は、第2の論理ブロックアドレスおよび第2の書き込まれるべきデータを搬送する。取得ユニット1402は、第2の書き込まれるべきデータのフィンガープリントを取得するようにさらに構成され、ここで、第2の書き込まれるべきデータのフィンガープリントは第1のフィンガープリントである。割り当てユニット1404は、第2の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルを照会して、第1のフィンガープリントに対応する記憶アドレスがフィンガープリントテーブル内に存在しないと判定した場合、記憶デバイスから第2の書き込まれるべきデータに第2の記憶アドレスを割り当てるようにさらに構成される。記憶ユニット1405は、第2の記憶アドレスに第2の書き込まれるべきデータを記憶するようにさらに構成される。確立ユニット1406は、第2の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確認し、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確認するようにさらに構成される。

20

30

【0066】

任意で、割り当てユニット1404は、具体的には、記憶デバイスの第1の記憶領域から第1の書き込まれるべきデータに第1の記憶アドレスを割り当て、且つ、記憶デバイスの第2の記憶領域から第2の書き込まれるべきデータに第2の記憶アドレスを割り当てるように構成される。第2の記憶領域の記憶性能は第1の記憶領域の記憶性能よりも高い。

40

【0067】

任意で、受信ユニット1401は、第3の書き込み要求を受信するようにさらに構成され、ここで、第3の書き込み要求は、第3の論理ブロックアドレスおよび第3の書き込まれるべきデータを搬送する。取得ユニット1402は、第3の書き込まれるべきデータのフィンガープリントを取得するようにさらに構成され、ここで、第3の書き込まれるべきデータのフィンガープリントは第1のフィンガープリントである。確立ユニット1406は、第3の書き込まれるべきデータの第1のフィンガープリントに従って、フィンガープリントテーブルが照会されて、第1のフィンガープリントに対応する記憶アドレスが第2の記憶アドレスであると

50

判定した場合、第3の論理ブロックアドレスと第2の記憶アドレスとの間のマッピング関係を確立するようにさらに構成される。

【0068】

任意で、コントローラは記録ユニットをさらに含み、記録ユニットは、第2の記憶アドレスの参照回数を第1のフィンガープリントエントリ内に記録するように構成される。任意で、記録ユニットは、第2の記憶アドレスの参照回数をフィンガープリントテーブル内に記録するようにさらに構成される。

【0069】

任意で、コントローラは削除ユニットをさらに含み、削除ユニットは、フィンガープリントテーブルから第2のフィンガープリントを削除するように構成される。第2のフィンガープリントに対応する記憶アドレスは存在せず、且つ、第2のフィンガープリントがフィンガープリントテーブル内に存在する期間は事前に設定された期間を超過する。

【0070】

任意で、コントローラは、受信された書込み要求が、そのフィンガープリント値が第1のフィンガープリントである書き込まれるべきデータを搬送する回数をカウントするように構成されるカウントユニットをさらに含む。記憶ユニット1405は、第2の記憶アドレスに第2の書き込まれるべきデータを記憶し、確立ユニット1406は、回数が事前に設定された回数Nよりも大きい場合、フィンガープリントテーブル内で、第1のフィンガープリントと第2の記憶アドレスとの間のマッピング関係を確立し、ここで、Nは1以上の整数である。

【0071】

図14に示されるコントローラによって実施される効果についておよびさらなる実施については、前述の実施形態における対応する説明を参照されたく、詳細はここでは再び説明されない。

【0072】

図14に示されるコントローラについては、実施は、前述のユニットがコントローラ内にインストールされ、前述のユニットは、コントローラのメモリ内にロードされてよく、コントローラ内のCPUは、本発明の対応する実施形態における機能を実施するために、メモリ内の命令を実行することであり、別の実施は、コントローラ内に含まれるユニットが、ハードウェアによって実施されてよく、または、ハードウェアとCPUによって実行されるメモリ内の命令との組合せによって実施されてよい。前述のユニットは、構造ユニットとも呼ばれる。

【0073】

本発明の実施形態は不揮発性コンピュータ可読記憶媒体およびコンピュータプログラム製品と、不揮発性コンピュータ可読記憶媒体およびコンピュータプログラム製品に含まれるコンピュータ命令をさらに提供する。CPUは、本発明の実施形態におけるコントローラに対応する機能を実施するために、メモリにロードされたコンピュータ命令を実行する。

【0074】

本発明の実施形態で説明される態様によると、コントローラがフィンガープリントテーブル内のエントリにアクセスすることができないとき、コントローラは、依然として、論理ブロックアドレスと記憶アドレスとの間のマッピング関係に従って、記憶デバイス内のデータにアクセスし、データを書き込み、記憶デバイスからデータを削除することができる。

【0075】

本発明の実施形態では、フィンガープリントテーブル内のフィンガープリントエントリおよび論理ブロックアドレスと記憶アドレスとの間のマッピング関係は、データ構造または他の適切な記述的構造であってよく、対応する情報を記録するために使用される。例示的な説明が、本発明の実施形態では与えられる。本発明の実施形態における「第1」、「第2」、「第3」および「第4」は、順序を厳密に限定するために使用されるものではない。例えば、操作要求を表すために使用されるとき、「第1」、「第2」および「第3」は、

異なる操作要求間で区別するためだけに使用され、書き込まれるべきデータを表すために使用されるとき、「第1」、「第2」および「第3」は、異なる書き込み要求内で搬送される書き込まれるべきデータを表すためにのみ使用される。コントローラは、第1の書き込み要求と第2の書き込み要求との間で1つ以上の書き込み要求をさらに受信してよい。本発明の実施形態における記憶性能は、帯域幅 (Bandwidth)、入力/出力操作毎秒 (Input/Output Operations Per Second, IOPS)、シーケンシャル (Sequential) 読出し/書き込み速度、ランダム (Random) 読出し/書き込み速度、持続スループット (Sustained Throughput) 能力およびバースト処理能力 (Burst I/O) 等の、1つ以上のインジケータによって測定されてよく、本発明の実施形態はそれらへの限定を設定しない。

【0076】

10

本発明で提供されるいくつかの実施形態では、開示される装置および方法は、他の方式で実施されてよいことは理解されるべきである。例えば、記載されている装置の実施形態におけるユニット分割は、単に、論理的な機能分割であり、実際の実施では別の分割であってよい。例えば、複数のユニットまたは構成要素は、別のシステムに結合または統合されてよく、または、一部の特徴は無視されるかまたは実行されなくてよい。加えて、表示または議論される相互結合または直接結合または通信接続は、いくつかのインタフェースを使用することによって実施されてよい。装置またはユニット間の間接結合または通信接続は、電氣的、機械的または他の形態で実施されてよい。

【0077】

20

別個の部分として記載されているユニットは、物理的に分離していてもしていなくてもよく、ユニットとして表示されている部分は、物理ユニットであってもなくてもよく、1つの位置に配置されてよく、または、複数のネットワークユニットに分配されてよい。ユニットの一部または全ては、実施形態の解決手段の目的を達成するための実際のニーズに従って選択されてよい。

【0078】

加えて、本発明の実施形態における機能ユニットは、1つの処理ユニットに統合されてよく、または、ユニットの各々は物理的に孤立して存在してよく、または、2つ以上のユニットは1つのユニットに統合される。

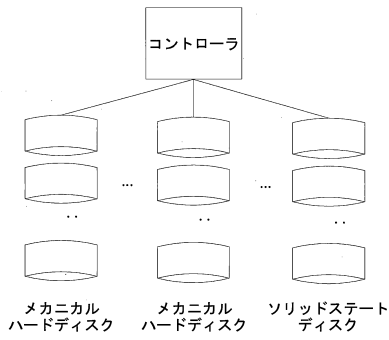
【符号の説明】

【0079】

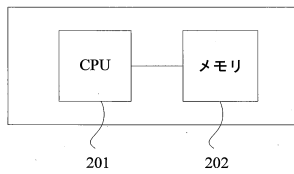
30

- 201 CPU
- 202 メモリ
- 1401 受信ユニット
- 1402 取得ユニット
- 1403 挿入ユニット
- 1404 割り当てユニット
- 1405 記憶ユニット
- 1406 確立ユニット

【図 1】



【図 2】



【図 4】

LBA	記憶アドレス	参照可能データか否か
LBA 1	SD 1	0

【図 5】

フィンガープリント	記憶アドレス	参照カウント	挿入時刻
フィンガープリントA		0	T1

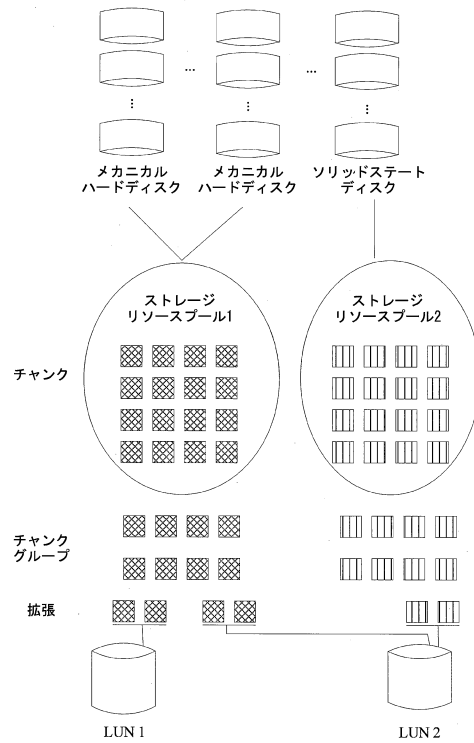
【図 6】

LBA	記憶アドレス	参照可能データか否か
LBA 1	SD 1	0
LBA 2	SD 2	1

【図 7】

フィンガープリント	記憶アドレス	参照カウント	挿入時刻
フィンガープリントA	SD 2	1	T1

【図 3】



【図 8】

LBA	記憶アドレス	参照可能データか否か
LBA 1	SD 1	0
LBA 2	SD 2	1
LBA 3	SD 2	1

【図 9】

フィンガープリント	記憶アドレス	参照カウント	挿入時刻
フィンガープリントA	SD 2	2	T1

【図 10】

記憶アドレス	論理アドレス
SD 2	LBA 2, LBA 3

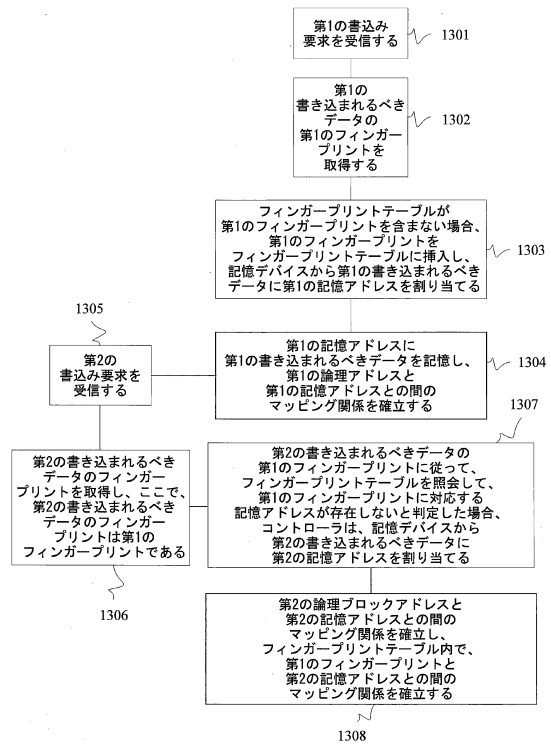
【図 1 1】

フィンガープリント	記憶アドレス	参照カウント	挿入時刻
フィンガープリントB	SD 3	1	T2

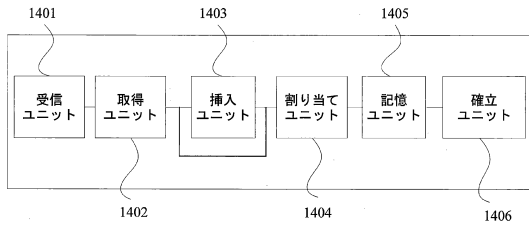
【図 1 2】

LBA	記憶アドレス	参照可能データか否か
LBA 1	SD 3	1

【図 1 3】



【図 1 4】



フロントページの続き

(74)代理人 100140534

弁理士 木内 敬二

(72)発明者 藍 文 海

中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為總部 ベン 公楼

(72)発明者 張 巍

中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為總部 ベン 公楼

(72)発明者 余 小安

中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為總部 ベン 公楼

(72)発明者 劉 叙友

中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為總部 ベン 公楼

(72)発明者 張 志雄

中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為總部 ベン 公楼

審査官 田中 啓介

(56)参考文献 国際公開第2016/041127(WO, A1)

特開2013-222230(JP, A)

特開2014-199574(JP, A)

特開2013-047933(JP, A)

特表2015-534684(JP, A)

特表2016-509310(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F3/06-3/08

G06F12/00、12/08-12/128

G06F13/10-13/14