



(12)

## Patentschrift

(21) Deutsches Aktenzeichen: 11 2011 100 841.4  
(86) PCT-Aktenzeichen: PCT/JP2011/053589  
(87) PCT-Veröffentlichungs-Nr.: WO 2011/111503  
(86) PCT-Anmelddatag: 14.02.2011  
(87) PCT-Veröffentlichungstag: 15.09.2011  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: 24.01.2013  
(45) Veröffentlichungstag  
der Patenterteilung: 25.11.2021

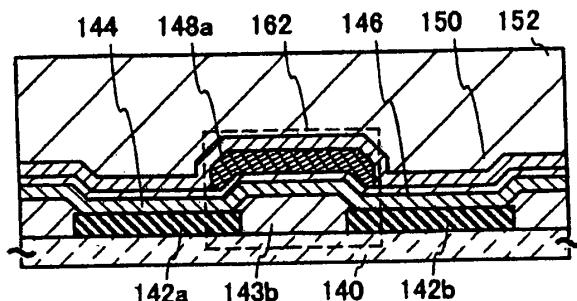
(51) Int Cl.: **H01L 27/088 (2006.01)**  
**H01L 21/8234 (2006.01)**  
**H01L 29/786 (2006.01)**  
**H01L 27/12 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität: <b>2010-051008</b> 08.03.2010 JP	(72) Erfinder: <b>Yamazaki, Shunpei, Kanagawa-ken, JP; Godo, Hiromichi, Kanagawa-ken, JP</b>
(73) Patentinhaber: <b>Semiconductor Energy Laboratory Co., Ltd., Kanagawa, JP</b>	(56) Ermittelter Stand der Technik:
(74) Vertreter: <b>Grünecker Patent- und Rechtsanwälte PartG mbB, 80802 München, DE</b>	US 2006 / 0 270 122 A1 US 2012 / 0 326 145 A1 US 5 712 496 A JP S61- 204 976 A

(54) Bezeichnung: **HALBLEITERVORRICHTUNG UND VERFAHREN ZUR HERSTELLUNG DER HALBLEITERVORRICHTUNG**

(57) Hauptanspruch: Prozessor, der umfasst:  
eine Registeranordnung;  
eine Arithmetik-Logik-Einheit, die mit der Registeranordnung  
funktional verbunden ist; und  
ein Befehlsregister, das mit der Arithmetik-Logik-Einheit  
funktional verbunden ist,  
wobei ein Teil des Prozessors einen ersten Transistor und einen  
zweiten Transistor über dem ersten Transistor umfasst,  
wobei ein Kanalausbildungsgebiet des ersten Transistors Silicium umfasst,  
wobei ein Kanalausbildungsgebiet des zweiten Transistors einen  
Oxidhalbleiter umfasst, und  
wobei eine Gate-Elektrode des ersten Transistors mit einer  
Source-Elektrode oder mit einer Drain-Elektrode des zweiten  
Transistors elektrisch verbunden ist.



**Beschreibung****TECHNISCHES GEBIET**

**[0001]** Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung und auf ein Herstellungsverfahren dafür. Es wird angemerkt, dass sich Halbleitervorrichtungen hier auf allgemeine Elemente und Vorrichtungen beziehen, die unter Nutzung von Halbleitereigenschaften fungieren.

**STAND DER TECHNIK**

**[0002]** Es gibt eine breite Vielfalt von Metalloxiden und diese Metalloxide werden für verschiedene Anwendungen verwendet. Indiumoxid ist ein gut bekanntes Material und wird als ein Material für durchsichtige Elektroden verwendet, die für Flüssigkristallanzeigevorrichtungen oder dergleichen notwendig sind.

**[0003]** Einige Metalloxide weisen Halbleitereigenschaften auf. Beispiele dieser Metalloxide mit Halbleitereigenschaften enthalten Wolframoxid, Zinnoxid, Indiumoxid, Zinkoxid und dergleichen. Ein Dünnlagentransistor, in dem ein Kanalausbildungsgebiet unter Verwendung eines solchen Metalloxids ausgebildet wird, ist bereits bekannt (siehe z. B. Patentdokumente 1 bis 4, Nicht-Patent-Dokument 1 und dergleichen).

**[0004]** Beispiele für Metalloxide enthalten nicht nur ein Einkomponentenoxid, sondern auch ein Mehrkomponentenoxid. Zum Beispiel ist  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$ : natürliche Zahl) mit einer homologen Phase als ein Mehrkomponentenoxid-Halbleiter, der In, Ga und Zn enthält, bekannt (siehe z. B. Nicht-Patent-Dokumente 2 bis 4 und dergleichen).

**[0005]** Darüber hinaus ist bestätigt worden, dass ein Oxidhalbleiter, der ein solches Oxid auf der Grundlage von In-Ga-Zn enthält, auch auf ein Kanalausbildungsgebiet eines Dünnlagentransistors angewendet werden kann (siehe z. B. Patentdokument 5, Nicht-Patent-Dokumente 5 und 6 und dergleichen).

**[0006]** Um einen schnellen Betrieb eines Transistors oder dergleichen zu erreichen, ist eine Miniaturisierung des Transistors notwendig. Zum Beispiel ist im Patentdokument 6 ein Dünnlagentransistor, der einen für eine Kanalschicht mit einer Dicke von etwa 10 nm oder kleiner verwendeten Oxidhalbleiter enthält, offenbart. Im Nicht-Patent-Dokument 7 ist ein Dünnlagentransistor, der einen Oxidhalbleiter enthält, dessen Kanallänge 2  $\mu\text{m}$  bis 100  $\mu\text{m}$  beträgt, offenbart.

**[0007]** Aus der US 2006/0270122 A1 ist ein organischer TFT bekannt. Eine lichtemittierende Vorrichtung wird in der US 2012/0326145 A1 beschrieben. Die JP S61-204976 A offenbart einen TFT und

ein entsprechendes Herstellungsverfahren. Aus der US 5712496 A ist ein MOS-Poly-Si-TFT mit geglätteter Kanaloberfläche bekannt.

[Literaturhinweise]

[Patentdokumente]

[Patentdokument 1] Japanische veröffentlichte Patentanmeldung JP S60-198861 A

[Patentdokument 2] Japanische veröffentlichte Patentanmeldung JP H8-264794 A

[Patentdokument 3] Japanische Übersetzung der internationalen PCT-Anmeldung JP H11-505377 A

[Patentdokument 4] Japanische veröffentlichte Patentanmeldung JP 2000-150900 A

[Patentdokument 5] Japanische veröffentlichte Patentanmeldung JP 2004-103957 A

[Patentdokument 6] Japanische veröffentlichte Patentanmeldung JP 2010-21170 A

[Nicht-Patent-Dokumente]

[Nicht-Patent-Dokument 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening und R. M. Wolf, „A ferroelectric transparent thin-film transistor“, Appl. Phys. Lett., 17. Juni 1996, Bd. 68, S. 3650-3652.

[Nicht-Patent-Dokument 2] M. Nakamura, N. Kimizuka und T. Mohri, „The Phase Relations in the  $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$  System at 1350 °C“, J. Solid State Chem., 1991, Bd. 93, S. 298-315.

[Nicht-Patent-Dokument 3] N. Kimizuka, M. Isobe und M. Nakamura, „Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})^m$  ( $m = 3, 4$ , and  $5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9$ , and  $16$ ) in the  $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}-\text{ZnO}$  System“, J. Solid State Chem., 1995, Bd. 116, S. 170-178.

[Nicht-Patent-Dokument 4] M. Nakamura, N. Kimizuka, T. Mohri und M. Isobe, „Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ( $\text{InFeO}_3(\text{ZnO})_m$ ) ( $m$ : natural number) and related compounds“, KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Bd. 28, Nr. 5, S. 317-327.

[Nicht-Patent-Dokument 5] K. Nomura, H. Ohata, K. Ueda, T. Kamiya, M. Hirano und H. Hosono, „Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor“, SCIENCE, 2003, Bd. 300, S. 1269-1272.

[Nicht-Patent-Dokument 6] K. Nomura, H. Ohata, A. Takagi, T. Kamiya, M. Hirano und H. Hosono, „Room-temperature fabrication of trans-

parent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Bd. 432, S. 488-492.

[Nicht-Patent-Dokument 7] T. Kawamura, H. Uchiyama, S. Saito, H. Wakana, T. Mine und M. Hatano, „Low-Voltage Operating Amorphous Oxide TFTs“, IDW'09, S. 1689-1692.

## OFFENBARUNG DER ERFINDUNG

**[0008]** Die Erfindung stellt Prozessoren gemäß den Ansprüchen 1 bis 4 bereit, die jeweils unter anderem in bestimmter Weise einen ersten Transistor und einen zweiten Transistor umfassen.

**[0009]** Falls ein Transistor miniaturisiert wird, wird ein in dem Herstellungsprozess erzeugter Defekt zu einem großen Problem. Zum Beispiel weist bei einem Transistor, bei dem eine Halbleiterschicht über einer Verdrahtung ausgebildet wird, die als eine Source- oder als eine Drain-Elektrode, als eine Gate-Elektrode oder dergleichen fungiert, die Verdrahtung eine größere Dicke als die Halbleiterschicht auf, was eine schlechte Bedeckung mit der Halbleiterschicht verursacht, wenn zusammen mit der Miniaturisierung die Dicke der Halbleiterschicht verringert wird. Im Ergebnis kann eine Unterbrechung, eine defekte Verbindung oder dergleichen auftreten.

**[0010]** Falls ein Transistor miniaturisiert wird, tritt ein weiteres Problem eines Kurzkanaleffekts auf. Der Kurzkanaleffekt bezieht sich auf die Verschlechterung elektrischer Eigenschaften, die bei Miniaturisierung eines Transistors (einer Verringerung der Kanallänge (L)) offensichtlich wird. Der Kurzkanaleffekt ergibt sich aus der Wirkung eines elektrischen Felds eines Drains an einer Source. Spezifische Beispiele eines Kurzkanaleffekts sind eine Verringerung der Schwellenspannung, eine Zunahme des S-Werts (Sub-Schwellenwert-Hubs), eine Zunahme des Leckstroms und dergleichen. Der Kurzkanaleffekt tritt insbesondere wahrscheinlich in einem Transistor auf, der einen Oxidhalbleiter enthält, da bei einem solchen Transistor anders als bei einem Transistor, der Silicium enthält, die Schwellenspannung nicht durch Dotieren gesteuert werden kann.

**[0011]** Angesichts dessen geht es insbesondere darum, eine Halbleitervorrichtung zu schaffen, bei der ein Defekt unterdrückt wird und eine Miniaturisierung erzielt wird. Ferner ist es eine weitere Aufgabe einer Ausführungsform der offenbarten Erfindung, eine Halbleitervorrichtung zu schaffen, die vorteilhafte Eigenschaften erhält und eine Miniaturisierung erzielt.

**[0012]** Offenbart wird eine Halbleitervorrichtung, die eine Isolierschicht, eine Source-Elektrode und eine Drain-Elektrode, die in die Isolierschicht eingebettet sind, eine Oxidhalbleiterschicht in Kontakt mit einem Teil einer Oberfläche der Isolierschicht, mit einem Teil

einer Oberfläche der Source-Elektrode und mit einem Teil einer Oberfläche der Drain-Elektrode, eine Gate-Isolierschicht, die die Oxidhalbleiterschicht bedeckt, und eine Gate-Elektrode über der Gate-Isolierschicht enthält. Ein Teil der Oberfläche der Isolierschicht, der mit der Oxidhalbleiterschicht in Kontakt steht, weist eine quadratische Rauheit (RMS-Rauheit) von 1 nm oder weniger auf. Die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der Drain-Elektrode betragen 5 nm oder mehr. Es wird angemerkt, dass die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der Drain-Elektrode 20 nm in der obigen Halbleitervorrichtung oder weniger betragen können.

**[0013]** Es wird angemerkt, dass die quadratische Rauheit (RMS-Rauheit) in dieser Patentschrift durch dreidimensionales Entwickeln der RMS-Rauheit einer Querschnittskurve, um sie auf die Messoberfläche anzuwenden, erhalten wird. Die RMS-Rauheit wird durch die Quadratwurzel des Mittelwerts des Quadrats der Abweichung von der Referenzoberfläche gegenüber der spezifischen Oberfläche dargestellt und durch die folgende Formel erhalten:

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY} \quad (1)$$

**[0014]** Es wird angemerkt, dass die Messoberfläche eine Oberfläche ist, die von allen Messdaten gezeigt wird und die durch die folgende Formel dargestellt ist.

$$Z = F(X, Y) \quad (2)$$

**[0015]** Die spezifische Oberfläche ist eine Oberfläche, die ein Gegenstand der Rauheitsmessung ist, wobei sie ein rechteckiges Gebiet ist, das von vier durch die Koordinaten  $(X_1, Y_1)$ ,  $(X_1, Y_2)$ ,  $(X_2, Y_1)$  und  $(X_2, Y_2)$  dargestellten Punkten umgeben ist. Die Fläche der spezifischen Oberfläche, wenn die spezifische Oberfläche ideal eben ist, ist durch  $S_0$  bezeichnet. Es wird angemerkt, dass  $S_0$  durch die folgende Formel erhalten werden kann.

$$S_0 = |X_2 - X_1| \cdot |Y_2 - Y_1| \quad (3)$$

**[0016]** Außerdem bezieht sich die Referenzoberfläche auf eine Oberfläche parallel zu einer X-Y-Oberfläche in der durchschnittlichen Höhe der spezifischen Oberfläche. Kurz gesagt ist die Höhe der Referenzoberfläche ebenfalls durch  $Z_0$  bezeichnet, wenn

der Mittelwert der Höhe der spezifischen Oberfläche durch  $Z_0$  bezeichnet ist. Es wird angemerkt, dass  $Z_0$  durch die folgende Formel erhalten werden kann.

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y)\} dXdY \quad (4)$$

**[0017]** Es wird angemerkt, dass die quadratische Rauheit (RMS-Rauheit) in dieser Patentschrift in einem Gebiet von  $10 \text{ nm} \times 10 \text{ nm}$ , vorzugsweise von  $100 \text{ nm} \times 100 \text{ nm}$ , bevorzugter von  $1 \mu\text{m} \times 1 \mu\text{m}$ , aus einem unter Verwendung eines Rasterkraftmikroskops (AFM) erhaltenen AFM-Bild berechnet wird.

**[0018]** Weiterhin offenbart wird eine Halbleitervorrichtung, die einen ersten Transistor und einen zweiten Transistor über dem ersten Transistor enthält. Der erste Transistor enthält ein erstes Kanalausbildungsgebiet, eine erste Gate-Isolierschicht, die über dem ersten Kanalausbildungsgebiet bereitgestellt ist, eine erste Gate-Elektrode, die über der ersten Gate-Isolierschicht in der Weise bereitgestellt ist, dass sie sich mit dem ersten Kanalausbildungsgebiet überlappt, und eine erste Source-Elektrode und eine erste Drain-Elektrode, die mit dem ersten Kanalausbildungsgebiet elektrisch verbunden sind. Der zweite Transistor enthält eine zweite Source-Elektrode und eine zweite Drain-Elektrode, die in eine Isolierschicht eingebettet sind, ein zweites Kanalausbildungsgebiet in Kontakt mit einem Teil einer Oberfläche der Isolierschicht, mit einem Teil einer Oberfläche der zweiten Source-Elektrode und mit einem Teil einer Oberfläche der zweiten Drain-Elektrode, eine zweite Gate-Isolierschicht, die das zweite Kanalausbildungsgebiet bedeckt, und eine zweite Gate-Elektrode über der zweiten Gate-Isolierschicht. Derjenige Teil der Oberfläche der Isolierschicht, der mit dem zweiten Kanalausbildungsgebiet in Kontakt steht, weist eine quadratische Rauheit von 1 nm oder weniger auf. Die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der zweiten Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der zweiten Drain-Elektrode betragen 5 nm oder mehr. Es wird angemerkt, dass die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der zweiten Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der Isolierschicht und der Oberfläche der zweiten Drain-Elektrode in der obigen Halbleitervorrichtung 20 nm oder weniger beträgt.

**[0019]** Weiterhin offenbart wird ein Verfahren zur Herstellung einer Halbleitervorrichtung, wobei das Verfahren die folgenden Schritte enthält: Ausbilden einer Source-Elektrode und einer Drain-Elektrode über einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger; Ausbilden einer Isolierschicht in der Weise, dass sie die Source-Elek-

trode und die Drain-Elektrode bedeckt; Ausführen einer Planarisierungsbehandlung einer Oberfläche der Isolierschicht und dadurch Ausbilden einer planarisierten Isolierschicht mit einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger; Ausbilden einer Öffnung, die die Source-Elektrode und die Drain-Elektrode erreicht, in der planarisierten Isolierschicht in der Weise, dass die Höhendifferenz zwischen einem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der Drain-Elektrode 5 nm oder mehr betragen; Ausbilden einer Oxidhalbleiterschicht in Kontakt mit dem Teil der Oberfläche der planarisierten Isolierschicht, mit einem Teil der Oberfläche der Source-Elektrode und mit einem Teil der Oberfläche der Drain-Elektrode; Ausbilden einer Gate-Isolierschicht in der Weise, dass sie die Oxidhalbleiterschicht bedeckt; und Ausbilden einer Gate-Elektrode über der Gate-Isolierschicht.

**[0020]** Weiterhin offenbart wird ein Verfahren zur Herstellung einer Halbleitervorrichtung, das die folgenden Schritte enthält: Ausbilden einer Source-Elektrode und einer Drain-Elektrode über einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger; Ausbilden einer Isolierschicht in der Weise, dass sie die Source-Elektrode und die Drain-Elektrode bedeckt; Ausführen einer Planarisierungsbehandlung einer Oberfläche der Isolierschicht und dadurch Ausbilden einer planarisierten Isolierschicht mit einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger und Freilegen der Source-Elektrode und der Drain-Elektrode; Verdünnen der Source-Elektrode und der Drain-Elektrode in der Weise, dass die Höhendifferenz zwischen einem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der Drain-Elektrode 5 nm oder mehr betragen; Ausbilden einer Oxidhalbleiterschicht in Kontakt mit dem Teil der Oberfläche der planarisierten Isolierschicht, mit einem Teil der Oberfläche der Source-Elektrode und mit einem Teil der Oberfläche der Drain-Elektrode; Ausbilden einer Gate-Isolierschicht in der Weise, dass sie die Oxidhalbleiterschicht bedeckt; und Ausbilden einer Gate-Elektrode über der Gate-Isolierschicht. Es wird angemerkt, dass die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und der Oberfläche der Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und der Oberfläche der Drain-Elektrode in dem obigen Verfahren zur Herstellung einer Halbleitervorrichtung 20 nm oder weniger betragen können.

**[0021]** Weiterhin offenbart wird ein Verfahren zur Herstellung einer Halbleitervorrichtung, das die fol-

genden Schritte enthält: Ausbilden eines ersten Transistors, der ein Kanalausbildungsgebiet, eine erste Gate-Isolierschicht über dem Kanalausbildungsgebiet, eine erste Gate-Elektrode über der ersten Gate-Isolierschicht, die sich mit dem Kanalausbildungsgebiet überlappt, und eine erste Source-Elektrode und eine erste Drain-Elektrode, die mit dem Kanalausbildungsgebiet elektrisch verbunden sind, enthält; Ausbilden einer ersten Isolierschicht mit einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger in der Weise, dass sie den ersten Transistor bedeckt; Ausbilden einer zweiten Source-Elektrode und einer zweiten Drain-Elektrode über der Oberfläche der ersten Isolierschicht; Ausbilden einer zweiten Isolierschicht in der Weise, dass sie die zweite Source-Elektrode und die zweite Drain-Elektrode bedeckt; Ausführen einer Planarisierungsbehandlung einer Oberfläche der zweiten Isolierschicht und dadurch Ausbilden einer planarisierten Isolierschicht mit einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger; Ausbilden einer Öffnung, die die zweite Source-Elektrode und die zweite Drain-Elektrode erreicht, in der planarisierten Isolierschicht in der Weise, dass die Höhendifferenz zwischen einem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der zweiten Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der zweiten Drain-Elektrode 5 nm oder mehr betragen; Ausbilden einer Oxidhalbleiterschicht in Kontakt mit dem Teil der Oberfläche der planarisierten Isolierschicht, mit einem Teil der Oberfläche der zweiten Source-Elektrode und mit einem Teil der Oberfläche der zweiten Drain-Elektrode; Ausbilden einer zweiten Gate-Isolierschicht in der Weise, dass sie die Oxidhalbleiterschicht bedeckt; und Ausbilden einer zweiten Gate-Elektrode über der zweiten Gate-Isolierschicht.

**[0022]** Weiterhin offenbart wird ein Verfahren zur Herstellung einer Halbleitervorrichtung, das die folgenden Schritte enthält: Ausbilden eines ersten Transistors, der ein Kanalausbildungsgebiet, eine erste Gate-Isolierschicht über dem Kanalausbildungsgebiet, eine erste Gate-Elektrode über der ersten Gate-Isolierschicht, die sich mit dem Kanalausbildungsgebiet überlappt, und eine erste Source-Elektrode und eine erste Drain-Elektrode, die mit dem Kanalausbildungsgebiet elektrisch verbunden sind, enthält; Ausbilden einer ersten Isolierschicht mit einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger in der Weise, dass sie den ersten Transistor bedeckt; Ausbilden einer zweiten Source-Elektrode und einer zweiten Drain-Elektrode über der Oberfläche der ersten Isolierschicht; Ausbilden einer zweiten Isolierschicht in der Weise, dass sie die zweite Source-Elektrode und die zweite Drain-Elektrode bedeckt; Ausführen einer Planarisierungsbehandlung einer Oberfläche der zweiten Isolierschicht und dadurch Ausbilden einer planarisierten Isolierschicht mit

einer Oberfläche mit einer quadratischen Rauheit von 1 nm oder weniger und Freilegen der zweiten Source-Elektrode und der zweiten Drain-Elektrode; Verdünnen der zweiten Source-Elektrode und der zweiten Drain-Elektrode in der Weise, dass die Höhendifferenz zwischen einem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der zweiten Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und einer Oberfläche der zweiten Drain-Elektrode 5 nm oder mehr betragen; Ausbilden einer Oxidhalbleiterschicht in Kontakt mit dem Teil der Oberfläche der planarisierten Isolierschicht, mit einem Teil der Oberfläche der zweiten Source-Elektrode und mit einem Teil der Oberfläche der zweiten Drain-Elektrode; Ausbilden einer zweiten Gate-Isolierschicht in der Weise, dass sie die Oxidhalbleiterschicht bedeckt; und Ausbilden einer zweiten Gate-Elektrode über der zweiten Gate-Isolierschicht. Es wird angemerkt, dass die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und der Oberfläche der zweiten Source-Elektrode und die Höhendifferenz zwischen dem Teil der Oberfläche der planarisierten Isolierschicht und der Oberfläche der zweiten Drain-Elektrode in dem obigen Verfahren zur Herstellung einer Halbleitervorrichtung 20 nm oder weniger betragen können.

**[0023]** Es wird angemerkt, dass die Kanallänge L des Transistors vorzugsweise weniger als 2 µm, bevorzugter 10 nm bis 350 nm (0,35 µm), beträgt. Die Dicke der Oxidhalbleiterschicht liegt in dem Bereich von 1 nm bis 50 nm, vorzugsweise von 2 nm bis 20 nm, bevorzugter von 3 nm bis 15 nm. Mit einer solchen Struktur kann eine Halbleitervorrichtung erzielt werden, die mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht. Für die Gate-Isolierschicht wird ein Material mit hoher Dielektrizitätskonstante wie etwa Hafniumoxid verwendet. Zum Beispiel beträgt die relative Dielektrizitätskonstante von Hafniumoxid näherungsweise 15, was viel mehr als die von Siliciumoxid ist, die 3 bis 4 beträgt. Mit einem solchen Material kann eine Gate-Isolierschicht, deren äquivalente Oxiddicke weniger als 15 nm, vorzugsweise von 2 nm bis 10 nm, beträgt, leicht ausgebildet werden. Mit anderen Worten, die Halbleitervorrichtung kann leicht miniaturisiert werden. Ferner kann als die Oxidhalbleiterschicht ein Oxideigenhalbleiter, der gereinigt worden ist, verwendet werden. Bei einem solchen Oxidhalbleiter kann die Ladungsträgerdichte der Oxidhalbleiterschicht z. B. weniger als  $1 \cdot 10^{12} \text{ cm}^{-3}$ , vorzugsweise weniger als  $1,45 \cdot 10^{10} \text{ cm}^{-3}$ , betragen, kann der Sperrstrom des Transistors  $100 \text{ zA} \cdot \mu\text{m}^{-2}$  (1 zA (Zeptoampere) ist  $1 \cdot 10^{-21} \text{ A}$ ) oder weniger, vorzugsweise  $10 \text{ zA} \cdot \mu\text{m}^{-2}$  oder weniger, betragen und kann der S-Wert des Transistors 65 mV/dec oder weniger, vorzugsweise weniger als 63 mV/dec, betragen. Wenn die obige Struktur genutzt wird, kann der Sperrstrom des Transistors theoretisch  $1 \cdot 10^{-24} \text{ A} \cdot \mu\text{m}^{-2}$  bis  $1 \cdot 10^{-30} \text{ A} \cdot \mu\text{m}^{-2}$  betra-

gen. Die Gate-Elektrode kann in der Weise bereitgestellt sein, dass sie sich mit der Source-Elektrode und mit der Drain-Elektrode überlappt, und alternativ kann nur ein Endabschnitt der Gate-Elektrode in der Weise bereitgestellt sein, dass er sich mit einem Endabschnitt der Source-Elektrode und mit einem Endabschnitt der Drain-Elektrode überlappt.

**[0024]** Es wird angemerkt, dass sich Halbleitervorrichtungen hier auf allgemeine Vorrichtungen beziehen, die unter Nutzung von Halbleitereigenschaften fungieren. Zum Beispiel sind in der Kategorie der Halbleitervorrichtungen eine Anzeigevorrichtung, eine Speichervorrichtung, eine integrierte Schaltung und dergleichen enthalten.

**[0025]** Es wird angemerkt, dass der Begriff wie etwa „über“ oder „unter“ in dieser Patentschrift nicht notwendig bedeutet, dass eine Komponente „direkt auf“ oder „direkt unter“ einer anderen Komponente angeordnet ist. Zum Beispiel schließt der Ausdruck „eine Gate-Elektrode über einer Gate-Isolierschicht“ den Fall, dass eine Komponente zwischen der Gate-Isolierschicht und der Gate-Elektrode angeordnet ist, nicht aus.

**[0026]** Außerdem begrenzt der Begriff wie etwa „Elektrode“ oder „Verdrahtung“ in dieser Beschreibung nicht eine Funktion einer Komponente. Zum Beispiel kann eine „Elektrode“ als Teil einer „Verdrahtung“ verwendet sein und kann die „Verdrahtung“ als Teil der „Elektrode“ verwendet sein. Darüber hinaus kann der Begriff „Elektrode“ oder „Verdrahtung“ den Fall enthalten, dass mehrere „Elektroden“ oder „Verdrahtungen“ auf integrierte Weise ausgebildet sind.

**[0027]** Gelegentlich, wenn z. B. ein Transistor mit entgegengesetzter Polarität verwendet ist oder wenn die Stromflussrichtung im Schaltungsbetrieb geändert ist, sind die Funktionen einer „Source“ und eines „Drains“ miteinander vertauscht. Somit können die Begriffe „Source“ und „Drain“ in dieser Patentschrift zur Bezeichnung des Drains bzw. der Source verwendet sein.

**[0028]** Es wird angemerkt, dass der Begriff „elektrisch verbunden“ in dieser Patentschrift den Fall enthält, dass Komponenten über ein „Objekt mit einer elektrischen Funktion“ verbunden sind. Solange zwischen Komponenten, die über das Objekt verbunden sind, elektrische Signale gesendet und empfangen werden können, gibt es keine besondere Beschränkung an ein Objekt mit einer elektrischen Funktion. Beispiele eines „Objekts mit einer elektrischen Funktion“ sind ein Schaltelement wie etwa ein Transistor, ein Widerstand, eine Induktionsspule, ein Kondensator und ein Element mit einer Vielzahl von Funktionen wie etwa eine Elektrode und eine Verdrahtung.

**[0029]** In Übereinstimmung mit der vorliegenden Offenbarung kann ein durch die Miniaturisierung verursachtes Problem gelöst werden. Im Ergebnis kann die Größe des Transistors ausreichend verringert werden. Durch ausreichendes Verkleinern des Transistors wird eine Fläche einer Halbleitervorrichtung, die den Transistor enthält, verringert und wird die Anzahl der mit einem Substrat hergestellten Halbleitervorrichtungen erhöht. Somit werden die Herstellungskosten pro Halbleitervorrichtung verringert. Da die Halbleitervorrichtung verkleinert wird, kann ferner eine Halbleitervorrichtung mit einer ähnlichen Größe wie die herkömmliche Halbleitervorrichtung verbesserte Funktionen aufweisen. Darüber hinaus können wegen Verringerung der Kanallänge vorteilhafte Wirkungen wie etwa schneller Betrieb und niedriger Leistungsverbrauch erhalten werden. Das heißt, es wird eine Miniaturisierung eines Transistors, der einen Oxidhalbleiter enthält, erzielt, sodass eine Vielzahl vorteilhafter Wirkungen, die diese begleiten, erhalten werden können.

**[0030]** Wie oben beschrieben wurde, kann eine Halbleitervorrichtung, die eine Miniaturisierung erzielt sowie einen Defekt unterdrückt oder vorteilhafte Eigenschaften bewahrt, geschaffen werden.

#### Figurenliste

**Fig. 1A bis Fig. 1C** sind Querschnittsansichten, die jeweils ein Beispiel einer Struktur einer Halbleitervorrichtung darstellen.

**Fig. 2A bis Fig. 2G** sind Querschnittsansichten, die einen Herstellungsprozess einer Halbleitervorrichtung darstellen.

**Fig. 3A bis Fig. 3G** sind Querschnittsansichten, die einen Herstellungsprozess einer Halbleitervorrichtung darstellen.

**Fig. 4A bis Fig. 4C** sind eine Querschnittsansicht, eine Draufsicht und ein Stromlaufplan, die ein Beispiel einer Struktur einer Halbleitervorrichtung darstellen.

**Fig. 5A bis Fig. 5D** sind Querschnittsansichten, die einen Herstellungsprozess einer Halbleitervorrichtung darstellen.

**Fig. 6A bis Fig. 6C** sind Querschnittsansichten, die einen Herstellungsprozess einer Halbleitervorrichtung darstellen.

**Fig. 7A-1, Fig. 7A-2 und Fig. 7B** sind Diagramme, die ein Anwendungsbeispiel einer Halbleitervorrichtung darstellen.

**Fig. 8A und Fig. 8B** sind Diagramme, die ein Anwendungsbeispiel einer Halbleitervorrichtung darstellen.

**Fig. 9A** bis **Fig. 9C** sind Diagramme, die ein Anwendungsbeispiel einer Halbleitervorrichtung darstellen.

**Fig. 10** ist ein Diagramm, das ein Anwendungsbeispiel einer Halbleitervorrichtung darstellt.

**Fig. 11A** und **Fig. 11B** sind Diagramme, die ein Anwendungsbeispiel einer Halbleitervorrichtung darstellen.

**Fig. 12A** bis **Fig. 12F** sind Diagramme, die jeweils eine elektronische Vorrichtung darstellen, die eine Halbleitervorrichtung enthält.

**Fig. 13A** und **Fig. 13B** sind Diagramme, die jeweils ein für die Berechnung verwendetes Modell darstellen.

**Fig. 14** ist ein Diagramm, das die Beziehung zwischen Gate-Spannung VG (V) und Drain-Strom ID (A) darstellt.

**Fig. 15** ist ein Diagramm, das die Beziehung zwischen Kanallänge L (nm) und Schwellenspannung Vth (V) darstellt.

**Fig. 16** ist ein Diagramm, das die Beziehung zwischen Kanallänge L (nm) und S-Wert (V/dec) zeigt.

**Fig. 17A** und **Fig. 17B** sind Diagramme, die jeweils ein für die Berechnung verwendetes Modell darstellen.

**Fig. 18** ist ein Diagramm, das die Beziehung zwischen Gate-Spannung VG (V) und Drain-Strom ID (A) zeigt.

#### BESTE AUSFÜHRUNGSART DER ERFINDUNG

**[0031]** Anhand der Zeichnungen werden nun Beispiele für Ausführungsformen für die vorliegende Erfindung beschrieben. Es wird angemerkt, dass die vorliegende Erfindung nicht auf die folgende Beschreibung beschränkt ist, und für den Fachmann auf dem Gebiet geht leicht hervor, dass die Arten und Einzelheiten der vorliegenden Erfindung auf verschiedene Weise geändert werden können, ohne von deren Erfindungsgedanken und Umfang abzuweichen. Somit ist die vorliegende Erfindung nicht auf die Beschreibung in den folgenden Ausführungsformen beschränkt zu interpretieren.

**[0032]** Es wird angemerkt, dass die Lage, die Größe, der Bereich oder dergleichen jeder in den Zeichnungen und dergleichen dargestellten Komponente in einigen Fällen zum leichten Verständnis nicht genau dargestellt ist. Somit ist die offenbare Erfindung nicht notwendig auf die Lage, auf die Größe, auf den Bereich oder dergleichen wie in den Zeichnungen und dergleichen offenbar beschränkt.

**[0033]** Es wird angemerkt, dass Ordnungszahlen wie etwa „erstes“, „zweites“ und „drittes“ in dieser

Patentschrift verwendet sind, um eine Verwechslung zwischen Komponenten zu vermeiden, und dass die Begriffe die Komponenten nicht zahlenmäßig beschränken.

(Ausführungsform 1)

**[0034]** In dieser Ausführungsform werden anhand von **Fig. 1A** bis **Fig. 1C**, **Fig. 2A** bis **Fig. 2G** und **Fig. 3A** bis **Fig. 3G** eine Struktur und ein Herstellungsverfahren einer Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der offebarten Erfindung beschrieben.

<Beispiel einer Struktur einer Halbleitervorrichtung>

**[0035]** **Fig. 1A** bis **Fig. 1C** stellen jeweils ein Beispiel einer Struktur einer Halbleitervorrichtung dar. **Fig. 1A** ist ein erstes Strukturbispiel und **Fig. 1B** ist ein zweites Strukturbispiel. **Fig. 1C** ist ein geändertes Beispiel von **Fig. 1A**.

**[0036]** Ein Transistor **162** in **Fig. 1A** enthält eine Isolierschicht **143b** über einem Substrat **140**, das eine Oberfläche aufweist, auf der Komponenten ausgebildet sind, eine Source-Elektrode **142a** und eine Drain-Elektrode **142b**, die in eine Isolierschicht, die die Isolierschicht **143b** enthält, eingebettet sind, eine Oxidhalbleiterschicht **144** in Kontakt mit einem Teil einer oberen Oberfläche der Isolierschicht **143b**, einer oberen Oberfläche der Source-Elektrode **142a** und einer oberen Oberfläche der Drain-Elektrode **142b**, eine Gate-Isolierschicht **146**, die die Oxidhalbleiterschicht **144** bedeckt, und eine Gate-Elektrode **148a** über der Gate-Isolierschicht **146**.

**[0037]** Unter Verwendung eines Oxidhalbleiters für eine aktive Schicht eines Transistors wie in **Fig. 1A** dargestellt können vorteilhafte Eigenschaften enthalten werden. Zum Beispiel kann der S-Wert eines Transistors 65 mV/dec oder weniger, vorzugsweise weniger als 63 mV/dec, betragen.

**[0038]** Außerdem weist ein Teil der oberen Oberfläche der Isolierschicht **143b** (insbesondere in Bezug auf ein Gebiet parallel zu der Oberfläche, auf der Komponenten ausgebildet sind), der mit der Oxidhalbleiterschicht in Kontakt steht, eine quadratische Rauheit (RMS-Rauheit) von 1 nm oder weniger (vorzugsweise 0,5 nm oder weniger) auf. Die Höhendifferenz zwischen dem Teil der oberen Oberfläche der Isolierschicht **143b** und der oberen Oberfläche der Source-Elektrode **142a** und die Höhendifferenz zwischen dem Teil der oberen Oberfläche der Isolierschicht **143b** und der oberen Oberfläche der Drain-Elektrode **142b** betragen 5 nm oder mehr.

**[0039]** Wie oben beschrieben ist, ist in einer Ausführungsform der offebarten Erfindung über einem äußerst ebenen Gebiet mit einer quadratischen Rau-

heit (RMS-Rauheit) von 1 nm oder weniger ein Kanalausbildungsgebiet des Transistors **162** bereitgestellt. Dies ermöglicht es, ein Problem wie etwa einen Kurzkanaleffekt selbst in einer Situation zu verhindern, in der der Transistor **162** miniaturisiert ist, und den Transistor **162** mit vorteilhaften Eigenschaften bereitzustellen.

**[0040]** Außerdem kann die Oxidhalbleiterschicht **144** dadurch, dass die Planarität der Oberfläche, auf der Komponenten ausgebildet sind, verbessert ist, eine gleichförmige Dicke aufweisen und kann der Transistor **162** verbesserte Eigenschaften aufweisen. Darüber hinaus kann eine Verringerung der Bedeckung, die durch eine große Höhendifferenz verursacht werden kann, unterdrückt werden und kann eine Unterbrechung oder eine defekte Verbindung der Oxidhalbleiterschicht **144** verhindert werden.

**[0041]** Darüber hinaus kann der Weg des elektrischen Stroms dadurch, dass zwischen einem Teil der oberen Oberfläche der Isolierschicht **143b** und der oberen Oberfläche der Source-Elektrode **142a** und zwischen dem Teil der oberen Oberfläche der Isolierschicht **143b** und der oberen Oberfläche der Drain-Elektrode **142b** eine kleine Höhendifferenz (z. B. 5 nm bis 20 nm) hergestellt wird, verlängert werden. Dies ermöglicht es, die Konzentration eines elektrischen Felds in dem Transistor **162** zu mildern und einen Kurzkanaleffekt zu unterdrücken.

**[0042]** Die Oxidhalbleiterschicht **144** ist hier vorzugsweise eine Oxidhalbleiterschicht, die durch ausreichendes Entfernen von Störstellen wie etwa Wasserstoff daraus oder durch ausreichendes Zuführen von Sauerstoff darein gereinigt worden ist. Genauer beträgt die Wasserstoffkonzentration der Oxidhalbleiterschicht **144** z. B.  $5 \cdot 10^{19}$  Atome · cm<sup>-3</sup> oder weniger, vorzugsweise  $5 \cdot 10^{18}$  Atome · cm<sup>-3</sup> oder weniger, bevorzugter  $5 \cdot 10^{17}$  Atome · cm<sup>-3</sup> oder weniger. Es wird angemerkt, dass die obige Wasserstoffkonzentration der Oxidhalbleiterschicht **144** durch Sekundärionenmassenspektrometrie (SIMS) gemessen wird. Die Konzentration der Ladungsträger, die wie oben beschrieben wegen eines Donators wie etwa Sauerstoff in der Oxidhalbleiterschicht **144**, in der Wasserstoff auf eine so niedrige Konzentration verringert worden ist, dass die Oxidhalbleiterschicht gereinigt ist, und in der Defektzustände in einer Energielücke wegen Sauerstoffmangels durch ausreichendes Zuführen von Sauerstoff verringert worden sind, erzeugt werden, beträgt weniger als  $1 \cdot 10^{12}$  cm<sup>-3</sup>, vorzugsweise weniger als  $1 \cdot 10^{11}$  cm<sup>-3</sup>, bevorzugter weniger als  $1,45 \cdot 10^{10}$  cm<sup>-3</sup>. Außerdem beträgt z. B. der Sperrstrom (hier pro Kanalbreiteeinheit (1 µm)) bei Raumtemperatur (25 °C) 100 zA (1 zA (Zepetoampere) sind  $1 \cdot 10^{-21}$  A) oder weniger, vorzugsweise 10 zA oder weniger. Auf diese Weise kann unter Verwendung eines i-Oxidhalbleiters (Oxideigenhalbleiter) oder im Wesentlichen i-Oxidhalbleiter der Transistor

sistor **162**, der äußerst vorteilhafte Sperrstromeigenschaften aufweist, erhalten werden.

**[0043]** Es wird angemerkt, dass, wie im Nicht-Patent-Dokument 7 und dergleichen offenbart ist, ein verhältnismäßig großer Transistor, dessen Kanallänge 2 µm bis 100 µm beträgt, unter Verwendung eines n-Oxidhalbleiters mit einer hohen Ladungsträgerdichte von  $2 \cdot 10^{19}$  cm<sup>-3</sup> hergestellt werden kann. Allerdings verschiebt sich die Schwellenspannung drastisch negativ, sodass es schwierig ist, einen normal ausgeschalteten Transistor zu verwirklichen, wenn ein solches Material auf einen miniaturisierten Transistor angewendet wird, dessen Kanallänge weniger als 2 µm beträgt. Mit anderen Worten, der Transistor, der eine Kanallänge von weniger als 2 µm aufweist und unter Verwendung eines solchen Materials hergestellt worden ist, funktioniert in der Praxis nicht. Im Gegensatz dazu hat ein Oxideigenhalbleiter oder im Wesentlichen Oxideigenhalbleiter, der gereinigt worden ist, eine Ladungsträgerdichte von höchstens  $1 \cdot 10^{14}$  cm<sup>-3</sup>, was kein Problem darstellt, wenn er normal eingeschaltet ist; somit kann unter Verwendung eines Oxideigenhalbleiters oder im Wesentlichen Oxideigenhalbleiter leicht ein Transistor verwirklicht werden, dessen Kanallänge weniger als 2 µm beträgt.

**[0044]** Ein Transistor **262** in Fig. 1B weist eine ähnliche Struktur wie der Transistor **162** auf. Das heißt, der Transistor **262** enthält eine Isolierschicht **243b** über einem Substrat **240** mit einer Oberfläche, auf der Komponenten ausgebildet sind, eine Source-Elektrode **242a** und eine Drain-Elektrode **242b**, die in eine Isolierschicht, die die Isolierschicht **243b** enthält, eingebettet sind, eine Oxidhalbleiterschicht **244** in Kontakt mit einem Teil einer oberen Oberfläche der Isolierschicht **243b**, einer oberen Oberfläche der Source-Elektrode **242a** und einer oberen Oberfläche der Drain-Elektrode **242b**, eine Gate-Isolierschicht **246**, die die Oxidhalbleiterschicht **244** bedeckt, und eine Gate-Elektrode **248a** über der Gate-Isolierschicht **246**.

**[0045]** Außerdem weist ein Teil der oberen Oberfläche der Isolierschicht **243b**, der mit der Oxidhalbleiterschicht in Kontakt steht, eine quadratische Rauheit (RMS-Rauheit) von 1 nm oder weniger (vorzugsweise 0,5 nm oder weniger) auf. Die Höhendifferenz zwischen dem Teil der oberen Oberfläche der Isolierschicht **243b** und der oberen Oberfläche der Source-Elektrode **242a** und die Höhendifferenz zwischen dem Teil der oberen Oberfläche der Isolierschicht **243b** und der oberen Oberfläche der Drain-Elektrode **242b** betragen 5 nm oder mehr.

**[0046]** Ein Unterschied zwischen dem Transistor **262** in Fig. 1B und dem Transistor **162** in Fig. 1A besteht darin, ob ein Teil der Isolierschicht in der Weise vorgesehen ist, dass er die Endabschnitte der Source-Elektrode und der Drain-Elektrode bedeckt. Mit

anderen Worten, die Isolierschicht **143b** des Transistors **162** in **Fig. 1A** ist in der Weise vorgesehen, dass sie die Source-Elektrode **142a** und die Drain-Elektrode **142b** bedeckt, während die Isolierschicht **243b** des Transistors **262** in **Fig. 1B** die Source-Elektrode **242a** und die Drain-Elektrode **242b** nicht bedeckt.

**[0047]** Die Wirkungen, die sich aus der Struktur in **Fig. 1B** ergeben, sind ähnlich den im Fall von **Fig. 1A** erhaltenen. Mit anderen Worten, da ein Kanalausbildungsgebiet des Transistors **262** über einem äußerst ebenen Gebiet bereitgestellt ist, kann ein Problem wie etwa ein Kurzkanaleffekt selbst in einer Situation verhindert werden, in der der Transistor **262** miniaturisiert ist, und kann der Transistor **262** mit vorteilhaften Eigenschaften bereitgestellt werden. Außerdem kann die Oxidhalbleiterschicht **244** dadurch, dass die Planarität der Oberfläche verbessert ist, auf der Komponenten ausgebildet sind, eine gleichförmige Dicke aufweisen und kann der Transistor **262** verbesserte Eigenschaften aufweisen. Darüber hinaus kann eine Verringerung der Bedeckung, die durch eine große Höhendifferenz verursacht sein kann, unterdrückt werden und kann eine Unterbrechung oder eine defekte Verbindung der Oxidhalbleiterschicht **244** verhindert werden. Darüber hinaus kann dadurch, dass zwischen der Isolierschicht und der Source-Elektrode (und der Drain-Elektrode) wie oben beschrieben eine kleine Höhendifferenz hergestellt ist, die Konzentration eines elektrischen Felds in dem Transistor **262** gemildert werden und ein Kurzkanaleffekt unterdrückt werden.

**[0048]** Ein Transistor **162** in **Fig. 1C** ist ein geändertes Beispiel des Transistors **162** in **Fig. 1A**. Genauer entspricht der Transistor **162** in **Fig. 1C** einem Transistor, der durch Ändern der Source-Elektrode **142a** und der Drain-Elektrode **142b** in **Fig. 1A** zu einer abgeschrägten Form erhalten wurde. Der Abschrägungswinkel kann z. B. größer oder gleich  $30^\circ$  und kleiner oder gleich  $60^\circ$  sein. Es wird angemerkt, dass der „Abschrägungswinkel“ einen durch die Seitenfläche und durch die untere Oberfläche einer Schicht mit einer abgeschrägten Form (z. B. der Source-Elektrode **142a**) in einer Richtung senkrecht zu einem Querschnitt (einer Ebene senkrecht zu einer Oberfläche des Substrats **140**) davon gesehen gebildeten Winkel bedeutet.

<Beispiel eines Verfahrens zur Herstellung der Halbleitervorrichtung>

**[0049]** Nachfolgend wird anhand von **Fig. 2A** bis **Fig. 2G** und **Fig. 3A** bis **Fig. 3G** ein Beispiel eines Verfahrens zur Herstellung der Halbleitervorrichtung beschrieben. **Fig. 2A** bis **Fig. 2G** veranschaulichen hier ein Beispiel eines Verfahrens zur Herstellung des in **Fig. 1A** gezeigten Transistors **162** und **Fig. 3A** bis **Fig. 3G** veranschaulichen ein Beispiel eines Verfahrens zur Herstellung des in **Fig. 1B** gezeigten Tran-

sistors **262**. Es wird angemerkt, dass **Fig. 2A** bis **Fig. 2G** im Folgenden zuerst beschrieben werden und dass daraufhin für **Fig. 3A** bis **Fig. 3G** nur ein Hauptunterschied zu **Fig. 2A** bis **Fig. 2G** beschrieben wird. Außerdem kann die in **Fig. 1C** gezeigte Struktur auf ähnliche Weise wie die in **Fig. 1A** gezeigte Struktur hergestellt werden; somit kann die ausführliche Beschreibung davon weggelassen sein.

**[0050]** Im Folgenden werden **Fig. 2A** bis **Fig. 2G** beschrieben. Zunächst werden über dem Substrat **140** mit einer Oberfläche, auf der Komponenten ausgebildet werden, die Source-Elektrode **142a** und die Drain-Elektrode **142b** ausgebildet (siehe **Fig. 2A**).

**[0051]** Obwohl es keine besondere Beschränkung an ein Substrat gibt, das als das Substrat **140** verwendet werden kann, ist es notwendig, dass das Substrat **140** wenigstens eine Wärmebeständigkeit aufweist, die hoch genug ist, damit es die später ausgeführte Wärmebehandlung aushält. Das Substrat kann z. B. ein Glassubstrat, ein Keramiksubstrat, ein Quarzsubstrat, ein Saphirsubstrat oder dergleichen sein. Alternativ kann das Substrat ein Einkristallhalbleitersubstrat oder ein polykristallines Halbleitersubstrat aus Silicium, Siliciumcarbid oder dergleichen, ein Verbindungshalbleitersubstrat aus Silicium-Germanium oder dergleichen, ein SOI-Substrat oder dergleichen sein, solange das Substrat eine isolierende Oberfläche aufweist. Nochmals alternativ kann das Substrat irgendeines dieser mit einem Halbleiterelement versehenen Substrate sein. Nochmals alternativ kann das Substrat **140** mit einer Basislage versehen sein.

**[0052]** Es wird angemerkt, dass die bevorzugte Oberfläche des Substrats **140**, auf der Komponenten ausgebildet werden, eine ausreichend ebene Oberfläche ist. Zum Beispiel wird eine Oberfläche mit einer quadratischen Rauheit (RMS) von 1 nm oder weniger (vorzugsweise 0,5 nm oder weniger) genutzt.

**[0053]** Wenn der Transistor **162** über einer solchen Oberfläche ausgebildet wird, können die Eigenschaften ausreichend verbessert werden. Falls die Oberfläche des Substrats **140** eine schlechte Ebenheit aufweist, ist es erwünscht, dass die Oberfläche einer Behandlung durch chemisch-mechanisches Polieren (CMP), einer Ätzbehandlung oder dergleichen ausgesetzt wird, damit sie die obige Ebenheit aufweist. Es wird angemerkt, dass für die Einzelheiten der CMP-Behandlung auf die im Folgenden erwähnte Beschreibung der CMP-Behandlung für eine Isolierschicht **143** Bezug genommen werden kann.

**[0054]** Die Source-Elektrode **142a** und die Drain-Elektrode **142b** können durch Ausbilden einer leitenden Schicht über dem Substrat **140** mit einer Oberfläche, auf der Komponenten ausgebildet werden, und

daraufhin selektives Ätzen der leitenden Schicht ausgebildet werden.

**[0055]** Die obige leitende Schicht kann durch ein PVD-Verfahren wie etwa durch ein Zerstäubungsverfahren oder durch ein CVD-Verfahren wie etwa ein Plasma-CVD-Verfahren ausgebildet werden. Als ein Material der leitenden Schicht kann ein Element, das aus Aluminium, Chrom, Kupfer, Tantal, Titan, Molybdän und Wolfram ausgewählt wird, eine Legierung, die irgendeines dieser Elemente als eine Komponente enthält, oder dergleichen verwendet werden. Es kann ein Material, das Mangan oder Magnesium oder Zirkon oder Beryllium oder Neodym oder Scandium oder eine Kombination mehrerer dieser Elemente enthält, verwendet werden.

**[0056]** Die leitende Schicht kann eine Einschichtstruktur oder eine gestapelte Schichtstruktur, die zwei oder mehr Schichten enthält, aufweisen. Zum Beispiel kann die leitende Schicht eine Einschichtstruktur aus einer Titanlage oder aus einer Titannitridlage, eine Einschichtstruktur aus einer Aluminiumlage, die Silicium enthält, eine Zweischichtstruktur, in der eine Titanlage über einer Aluminiumlage gestapelt ist, eine Zweischichtstruktur, in der eine Titanlage über einer Titannitridlage gestapelt ist, eine Dreischichtstruktur, in der eine Titanlage, eine Aluminiumlage und eine Titanlage in dieser Reihenfolge gestapelt sind, oder dergleichen aufweisen. Es wird angemerkt, dass die leitende Schicht mit einer Einschichtstruktur aus einer Titanlage oder aus einer Titannitridlage einen Vorteil besitzt, dass sie leicht zu der Source-Elektrode **142a** und zu der Drain-Elektrode **142b** mit einer abgeschrägten Form verarbeitet werden kann.

**[0057]** Die leitende Schicht kann unter Verwendung eines leitenden Metalloxids ausgebildet werden. Als das leitende Metalloid kann Indiumoxid ( $\text{In}_2\text{O}_3$ ), Zinnoxid ( $\text{SnO}_2$ ), Zinkoxid ( $\text{ZnO}$ ), eine Indiumoxid-Zinnoxid-Legierung ( $\text{In}_2\text{O}_3\text{-SnO}_2$ , die in einigen Fällen als ITO abgekürzt ist), eine Indiumoxid-Zinkoxid-Legierung ( $\text{In}_2\text{O}_3\text{-ZnO}$ ) oder irgendeines dieser Metalloidmaterialien, das Silicium oder Siliciumoxid enthält, verwendet werden.

**[0058]** Obwohl als das Ätzen der leitenden Schicht entweder Trockenätzen oder Nassätzen ausgeführt werden kann, wird zur Miniaturisierung vorzugsweise Trockenätzen mit hoher Steuerbarkeit ausgeführt. Das Ätzen kann in der Weise ausgeführt werden, dass die Source-Elektrode **142a** und die Drain-Elektrode **142b** mit einer abgeschrägten Form ausgebildet werden können. Der Abschrägungswinkel kann z. B. größer oder gleich  $30^\circ$  und kleiner oder gleich  $60^\circ$  sein.

**[0059]** Die Kanallänge (L) des Transistors **162** wird durch eine Entfernung zwischen den oberen Kantenabschnitten der Source-Elektrode **142a** und der

Drain-Elektrode **142b** bestimmt. Es wird angemerkt, dass zur Belichtung zum Ausbilden einer Maske im Fall der Herstellung eines Transistors mit einer Kanallänge (L) von weniger als 25 nm vorzugsweise das Belichten mit extremem Ultravioletlicht, dessen Wellenlänge mehrere Nanometer bis mehrere zehn Nanometer beträgt, was äußerst kurz ist, ausgeführt wird. Die Auflösung der Belichtung mit extremem Ultravioletlicht ist hoch und die Tiefenschärfe ist groß. Aus diesen Gründen kann die Kanallänge (L) des später auszubildenden Transistors auf weniger als 2  $\mu\text{m}$ , vorzugsweise im Bereich von 10 nm bis 350 nm (0,35  $\mu\text{m}$ ), eingestellt werden, wobei die Schaltung in diesem Fall mit höherer Geschwindigkeit arbeiten kann. Außerdem kann der Leistungsverbrauch der Halbleitervorrichtung durch Miniaturisierung verringert werden.

**[0060]** Nachfolgend wird die Isolierschicht **143** in der Weise ausgebildet, dass sie die Source-Elektrode **142a** und die Drain-Elektrode **142b** bedeckt (siehe **Fig. 2B**).

**[0061]** Die Isolierschicht **143** kann unter Verwendung eines anorganischen Isoliermaterials wie etwa Siliciumoxid, Siliciumoxynitrid, Siliciumnitrid oder Aluminiumoxid ausgebildet werden. Da die später ausgebildete Oxidhalbleiterschicht **144** mit der Isolierschicht **143** in Kontakt steht, ist es besonders bevorzugt, dass die Isolierschicht **143** unter Verwendung von Siliciumoxid ausgebildet wird. Obwohl es keine besondere Beschränkung an das Ausbildungsverfahren der Isolierschicht **143** gibt, wird angesichts des Kontakts mit der Oxidhalbleiterschicht **144** vorzugsweise ein Verfahren genutzt, in dem Wasserstoff ausreichend verringert wird. Beispiele eines solchen Verfahrens enthalten ein Zerstäubungsverfahren und dergleichen. Natürlich kann ein anderes Ablagernsverfahren wie etwa ein Plasma-CVD-Verfahren verwendet werden.

**[0062]** Nachfolgend wird durch Verdünnen der Isolierschicht **143** durch eine Behandlung mit chemisch-mechanischem Polieren (CMP) eine Isolierschicht **143a** ausgebildet (siehe **Fig. 2C**). Die CMP-Behandlung wird hier unter den Bedingungen ausgeführt, dass die Oberflächen der Source-Elektrode **142a** und der Drain-Elektrode **142b** nicht freigelegt bleiben. Außerdem wird die CMP-Behandlung unter den Bedingungen ausgeführt, dass die quadratische Rauheit (RMS-Rauheit) einer Oberfläche der Isolierschicht **143a** 1 nm oder weniger (vorzugsweise 0,5 nm oder weniger) wird. Durch die unter diesen Bedingungen ausgeführte CMP-Behandlung kann die Planarität einer Oberfläche, auf der später die Oxidhalbleiterschicht **144** ausgebildet wird, verbessert werden und können die Eigenschaften des Transistors **162** verbessert werden.

**[0063]** Die CMP-Behandlung ist ein Verfahren zum Planarisieren einer Oberfläche eines zu verarbeitenden Objekts durch eine Kombination chemischer und mechanischer Aktionen. Genauer ist die CMP-Behandlung ein Verfahren, in dem an einem Poliertisch ein Polierleinen befestigt wird, wobei der Poliertisch und ein zu verarbeitendes Objekt jeweils gedreht oder geschwenkt werden, während zwischen dem zu verarbeitenden Objekt und dem Polierleinen eine Schmirgelpulveremulsion (ein Schleifmittel) zugeführt wird und die Oberfläche des zu verarbeitenden Objekts durch eine chemische Reaktion zwischen der Schmirgelpulveremulsion und der Oberfläche des zu verarbeitenden Objekts und durch eine mechanische Polieraktion des Polierleinens auf dem zu verarbeitenden Objekt poliert wird.

**[0064]** Es wird angemerkt, dass die CMP-Behandlung nur einmal oder mehrmals ausgeführt werden kann. Wenn die CMP-Behandlung mehrmals ausgeführt wird, ist es bevorzugt, dass das erste Polieren mit einer hohen Polierrate ausgeführt wird und dass das letzte Polieren mit einer niedrigen Polierrate ausgeführt wird. Durch Ausführen des Polierens mit verschiedenen Polierraten kann die Planarität der Oberfläche der Isolierschicht **143a** weiter verbessert werden.

**[0065]** Nachfolgend wird durch selektives Entfernen von Gebieten der Isolierschicht **143a**, die sich mit der Source-Elektrode **142a** und mit der Drain-Elektrode **142b** überlappen, die Isolierschicht **143b** mit Öffnungen, die die Source-Elektrode **142a** und die Drain-Elektrode **142b** erreichen, ausgebildet (siehe Fig. 2D). Die Isolierschicht **143a** kann durch ein Verfahren wie etwa Ätzen selektiv entfernt werden.

**[0066]** Die Isolierschicht **143a** kann entweder durch Trockenätzen oder durch Nassätzen geätzt werden. Ferner wird die Isolierschicht **143a** vorzugsweise in der Weise geätzt, dass die auszubildenden Öffnungen eine geneigte Oberfläche aufweisen. Vorzugsweise weist die geneigte Oberfläche einen mit der Oberfläche des Substrats **140** gebildeten Winkel auf, wobei die geneigte Oberfläche größer oder gleich 30° und kleiner oder gleich 60°, in einer Richtung senkrecht zu einem Querschnitt (einer Ebene senkrecht zu der Oberfläche des Substrats **140**) der geneigten Oberfläche gesehen, ist. Dadurch, dass die Isolierschicht **143a** unter diesen Bedingungen geätzt wird, wird eine Bedeckung mit der Oxidhalbleiterschicht, die später in der Weise auszubildend ist, dass sie die Isolierschicht **143b** bedeckt, erhöht, sodass eine Unterbrechung der Oxidhalbleiterschicht oder der gleichen verhindert werden kann.

**[0067]** Durch den obigen Ätzschritt wird durch einen Teil einer oberen Oberfläche der Isolierschicht **143b**, einer oberen Oberfläche der Source-Elektrode **142a** und einer oberen Oberfläche der Drain-Elek-

trode **142b** eine Oberfläche mit einer kleinen Höhen-differenz (z. B. 5 nm bis 20 nm) ausgebildet. Außerdem werden die Endabschnitte der Source-Elektrode **142a** und der Drain-Elektrode **142b** mit der Isolierschicht **143b** bedeckt. Es wird angemerkt, dass es mit einer höheren Musterungsgenauigkeit beim Ausbilden der Öffnungen möglich ist, eine Struktur zu erhalten, in der die Endabschnitte der Source-Elektrode **142a** und der Drain-Elektrode **142b** nicht mit der Isolierschicht **143b** bedeckt sind.

**[0068]** Nachfolgend wird die Oxidhalbleiterschicht **144**, die die oben beschriebene Oberfläche bedeckt, in Kontakt mit einem Teil der Source-Elektrode **142a**, der Drain-Elektrode **142b** und der Isolierschicht **143b** ausgebildet; daraufhin wird die Gate-Isolierschicht **146** in der Weise ausgebildet, dass sie die Oxidhalbleiterschicht **144** bedeckt (siehe Fig. 2E).

**[0069]** Die Oxidhalbleiterschicht **144** enthält wenigstens ein Element, das aus In, Ga, Sn und Zn ausgewählt wird. Zum Beispiel kann ein Vierkomponentenmetalloxid wie etwa ein Oxidhalbleiter auf der Grundlage von In-Sn-Ga-Zn-O, ein Dreikomponentenmetalloxid wie etwa ein Oxidhalbleiter auf der Grundlage von In-Ga-Zn-O, ein Oxidhalbleiter auf der Grundlage von In-Sn-Zn-O, ein Oxidhalbleiter auf der Grundlage von In-Al-Zn-O, ein Oxidhalbleiter auf der Grundlage von Sn-Ga-Zn-O, ein Oxidhalbleiter auf der Grundlage von Al-Ga-Zn-O oder ein Oxidhalbleiter auf der Grundlage von Sn-Al-Zn-O, ein Zweikomponentenmetalloxid wie etwa ein Oxidhalbleiter auf der Grundlage von In-Zn-O, ein Oxidhalbleiter auf der Grundlage von Sn-Zn-O, ein Oxidhalbleiter auf der Grundlage von Al-Zn-O, ein Oxidhalbleiter auf der Grundlage von Zn-Mg-O, ein Oxidhalbleiter auf der Grundlage von Sn-Mg-O, ein Oxidhalbleiter auf der Grundlage von In-Mg-O oder ein Oxidhalbleiter auf der Grundlage von In-Ga-O, ein Einkomponentenmetalloxid wie ein Oxidhalbleiter auf der Grundlage von In-O, ein Oxidhalbleiter auf der Grundlage von Sn-O oder ein Oxidhalbleiter auf der Grundlage von Zn-O oder der gleichen verwendet werden. Außerdem kann irgend-einer der obigen Oxidhalbleiter ein anderes Element als In, Ga, Sn und Zn, z. B. SiO<sub>2</sub>, enthalten.

**[0070]** Zum Beispiel bedeutet ein Oxidhalbleiter auf der Grundlage von In-Ga-Zn-O eine Oxidlage, die Indium (In), Gallium (Ga) und Zink (Zn) enthält, wobei es keine Beschränkung an ihr Zusammensetzung-verhältnis gibt.

**[0071]** Insbesondere weist ein Oxidhalbleitermaterial auf der Grundlage von In-Ga-Zn-O einen ausreichend hohen Widerstand auf, wenn es kein elektrisches Feld gibt, sodass der Sperrstrom ausreichend verringert sein kann. Außerdem ist das Oxidhalbleitermaterial auf der Grundlage von In-Ga-Zn-O, das außerdem eine hohe Feldeffektmobilität aufweist, für

ein in einer Halbleitervorrichtung verwendetes Halbleitermaterial geeignet.

**[0072]** Als ein typisches Beispiel des Oxidhalbleitermaterials auf der Grundlage von In-Ga-Zn-O wird ein Oxidhalbleitermaterial gegeben, das durch  $\text{InGaO}_3(\text{ZnO})_m$  ( $m > 0$ ) dargestellt ist. Bei Verwendung von M anstelle von Ga gibt es ein Oxidhalbleitermaterial, das durch  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) dargestellt ist. M bezeichnet hier eines oder mehrere Metallelemente, die aus Gallium (Ga), Aluminium (Al), Eisen (Fe), Nickel (Ni), Mangan (Mn), Cobalt (Co) oder dergleichen ausgewählt sind. Zum Beispiel kann M Ga, Ga und Al, Ga und Fe, Ga und Ni, Ga und Mn, Ga und Co oder dergleichen sein. Es wird angemerkt, dass die oben beschriebenen Zusammensetzungen aus den Kristallstrukturen abgeleitet sind, die das Oxidhalbleitermaterial besitzen kann, und lediglich Beispiele sind.

**[0073]** Falls ein Material auf der Grundlage von In-Zn-O als ein Oxidhalbleiter verwendet wird, hat ein Target somit ein Zusammensetzungsvorhältnis in einem Atomverhältnis von  $\text{In:Zn} = 50:1$  bis  $1:2$  (in einem Molverhältnis von  $\text{In}_2\text{O}_3:\text{ZnO} = 25:1$  bis  $1:4$ ), vorzugsweise in einem Atomverhältnis von  $\text{In:Zn} = 20:1$  bis  $1:1$  (in einem Molverhältnis von  $\text{In}_2\text{O}_3:\text{ZnO} = 10:1$  bis  $1:2$ ), bevorzugter in einem Atomverhältnis von  $\text{In:Zn} = 15:1$  bis  $1,5:1$  (in einem Molverhältnis von  $\text{In}_2\text{O}_3:\text{ZnO} = 15:2$  bis  $3:4$ ). Zum Beispiel ist in einem Target, das zur Ausbildung eines Oxidhalbleiters auf der Grundlage von In-Zn-O verwendet wird, das ein Atomverhältnis von  $\text{In:Zn:O} = X:Y:Z$  aufweist, die Relation  $Z > 1,5X + Y$  erfüllt.

**[0074]** Als ein Target, das zum Ausbilden der Oxidhalbleiterschicht **144** durch ein Zerstäubungsverfahren verwendet wird, wird vorzugsweise ein Target mit einem Zusammensetzungsvorhältnis von  $\text{In:Ga:Zn} = 1:x:y$  ( $x$  ist größer oder gleich 0 und  $y$  ist größer oder gleich 0,5 und kleiner oder gleich 5) verwendet. Zum Beispiel kann ein Target mit einem Zusammensetzungsvorhältnis von  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$  [Molverhältnis] oder dergleichen verwendet werden. Darüber hinaus kann ebenfalls ein Target mit einem Zusammensetzungsvorhältnis von  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$  [Molverhältnis], ein Target mit einem Zusammensetzungsvorhältnis von  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$  [Molverhältnis] oder ein Target mit einem Zusammensetzungsvorhältnis von  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:0:2$  [Molverhältnis] verwendet werden.

**[0075]** In dieser Ausführungsform wird die Oxidhalbleiterschicht **144** mit einer amorphen Struktur durch ein Zerstäubungsverfahren unter Verwendung eines Metalloxidtargets auf der Grundlage von In-Ga-Zn-O ausgebildet. Die Dicke liegt im Bereich von 1 nm bis 50 nm, vorzugsweise von 2 nm bis 20 nm, bevorzugter von 3 nm bis 15 nm.

**[0076]** Die relative Dichte des Metalloxids in dem Metalloxidtarget beträgt 80 % oder mehr, vorzugsweise 95 % oder mehr und bevorzugter 99,9 % oder mehr. Die Verwendung des Metalloxidtargets mit einer hohen relativen Dichte ermöglicht die Ausbildung einer Oxidhalbleiterschicht mit einer dichten Struktur.

**[0077]** Die Atmosphäre, in der die Oxidhalbleiterschicht **144** ausgebildet wird, ist vorzugsweise eine Edelgasatmosphäre (typisch eine Argonatmosphäre), eine Sauerstoffatmosphäre oder eine gemischte Atmosphäre, die ein Edelgas (typisch Argon) und Sauerstoff enthält. Genauer wird vorzugsweise z. B. eine Atmosphäre eines hochreinen Gases verwendet, aus dem Störstellen wie etwa Wasserstoff, Wasser, eine Hydroxylgruppe oder Hydrid auf 1 ppm oder weniger (vorzugsweise auf 10 ppb oder weniger) entfernt worden sind.

**[0078]** Beim Ausbilden der Oxidhalbleiterschicht **144** kann ein zu verarbeitendes Objekt z. B. in einer Behandlungskammer gehalten werden, die unter Unterdruck gehalten wird, wobei das zu verarbeitende Objekt auf eine Temperatur größer oder gleich 100 °C und kleiner als 550 °C, vorzugsweise größer oder gleich 200 °C und kleiner oder gleich 400 °C, erwärmt wird. Alternativ kann die Temperatur eines zu verarbeitenden Objekts beim Ausbilden der Oxidhalbleiterschicht **144** Raumtemperatur ( $25^\circ\text{C} \pm 10^\circ\text{C}$  (größer oder gleich 15 °C und kleiner oder gleich 35 °C)) sein. Daraufhin wird Feuchtigkeit in der Behandlungskammer entfernt, wird ein Zerstäubungsgas eingeleitet, aus dem Wasserstoff, Wasser oder dergleichen entfernt worden sind, und wird das oben beschriebene Target verwendet; somit wird die Oxidhalbleiterschicht **144** ausgebildet. Dadurch, dass die Oxidhalbleiterschicht **144** ausgebildet wird, während das zu verarbeitende Objekt erwärmt wird, können Störstellen in der Oxidhalbleiterschicht **144** verringert werden. Darüber hinaus kann eine Beschädigung wegen Zerstäubens verringert werden. Um die Feuchtigkeit in der Behandlungskammer zu entfernen, wird vorzugsweise eine Gettervakuumpumpe verwendet. Zum Beispiel können eine Kryopumpe, eine Ionenpumpe, eine Titansublimationspumpe oder dergleichen verwendet werden. Es kann eine Turbopumpe verwendet werden, die mit einer Kühlafalle versehen ist. Da mit einer Kryopumpe oder dergleichen Wasserstoff, Wasser oder dergleichen aus der entleerten Behandlungskammer entfernt werden können, kann die Konzentration von Störstellen in der Oxidhalbleiterschicht verringert werden.

**[0079]** Die Bedingungen zum Ausbilden der Oxidhalbleiterschicht **144** können z. B. wie folgt eingestellt werden: Die Entfernung zwischen dem zu verarbeitenden Objekt und dem Target beträgt 170 mm, der Druck beträgt 0,4 Pa, die Gleichstromleistung (DC-Leistung) beträgt 0,5 kW und die Atmosphäre ist eine Sauerstoffatmosphäre (Atmosphäre aus 100 % Sau-

erstoff), eine Argonatmosphäre (Atmosphäre aus 100 % Argon) oder eine gemischte Atmosphäre aus Sauerstoff und Argon. Es wird angemerkt, dass vorzugsweise eine Impulsgleichstrom-Leistungsquelle (Impuls-DC-Leistungsquelle) verwendet wird, da Staub (Pulver oder flockenartige Substanzen, die zur Zeit der Lagenausbildung ausgebildet werden können) verringert werden kann und die Lagendicke gleichförmig hergestellt werden kann. Die Dicke der Oxidhalbleiterschicht **144** wird in dem Bereich von 1 nm bis 50 nm, vorzugsweise von 2 nm bis 20 nm, bevorzugter von 3 nm bis 15 nm, eingestellt. Durch Nutzung einer Struktur in Übereinstimmung mit der offenbarten Erfindung kann ein Kurzkanaleffekt wegen Miniaturisierung selbst im Fall der Verwendung der Oxidhalbleiterschicht **144** mit einer solchen Dicke unterdrückt werden. Es wird angemerkt, dass sich die geeignete Dicke der Oxidhalbleiterschicht je nach dem verwendeten Oxidhalbleitermaterial, der beabsichtigten Verwendung der Halbleitervorrichtung oder dergleichen unterscheidet; somit kann die Dicke in Übereinstimmung mit dem Material, der beabsichtigten Verwendung oder dergleichen geeignet bestimmt werden. Es wird angemerkt, dass eine Oberfläche, auf der die Oxidhalbleiterschicht **144** ausgebildet wird, in einer Ausführungsform der offenbarten Erfindung ausreichend planarisiert wird. Somit kann selbst eine Oxidhalbleiterschicht mit einer kleinen Dicke vorteilhaft ausgebildet werden.

**[0080]** Es wird angemerkt, dass ein umgekehrtes Zerstäuben ausgeführt werden kann, in dem ein Plasma erzeugt wird, wobei ein Argongas eingeleitet wird, sodass ein Material, das an einer Oberfläche, an der die Oxidhalbleiterschicht **144** ausgebildet werden soll, (z. B. an einer Oberfläche der Isolierschicht **143b**) befestigt ist, entfernt wird, bevor die Oxidhalbleiterschicht **144** durch ein Zerstäubungsverfahren ausgebildet wird. Im Gegensatz zum normalen Zerstäuben, in dem Ionen mit einem Zerstäubungsziel kollidieren, ist das umgekehrte Zerstäuben hier ein Verfahren, in dem Ionen mit einer zu verarbeitenden Oberfläche in der Weise kollidieren, dass die Oberfläche geändert wird. Ein Beispiel eines Verfahrens, um zu veranlassen, dass Ionen mit einer zu verarbeitenden Oberfläche kollidieren, ist ein Verfahren, in dem an die Oberflächenseite in einer Argonatmosphäre in der Weise eine Hochfrequenzspannung angelegt wird, dass in der Nähe des zu verarbeitenden Objekts ein Plasma erzeugt wird. Es wird angemerkt, dass anstelle einer Argonatmosphäre eine Atmosphäre aus Stickstoff, Helium, Sauerstoff oder dergleichen verwendet werden kann.

**[0081]** Nachdem die Oxidhalbleiterschicht **144** ausgebildet worden ist, wird an der Oxidhalbleiterschicht **144** vorzugsweise eine Wärmebehandlung (erste Wärmebehandlung) ausgeführt. Durch die erste Wärmebehandlung kann überschüssiger Wasserstoff (einschließlich Wasser oder eine Hydroxylgrup-

pe) in der Oxidhalbleiterschicht **144** entfernt werden, kann die Struktur der Oxidhalbleiterschicht **144** geordnet werden und können Defektzustände in einer Energielücke verringert werden. Die Temperatur der ersten Wärmebehandlung wird z. B. größer oder gleich 300 °C und kleiner oder gleich 550 °C oder größer oder gleich 400 °C und kleiner oder gleich 500 °C eingestellt.

**[0082]** Zum Beispiel kann die Wärmebehandlung eine Stunde lang in einer Stickstoffatmosphäre bei 450 °C ausgeführt werden, nachdem ein zu verarbeitendes Objekt in einen Elektrofen eingeführt worden ist, der eine Widerstandsheizeinrichtung oder dergleichen enthält. Während der Wärmbehandlung wird die Oxidhalbleiterschicht nicht der Luft ausgesetzt, so dass der Eintritt von Wasser oder Sauerstoff verhindert werden kann.

**[0083]** Die Wärmebehandlungsvorrichtung ist nicht auf den Elektrofen beschränkt und kann eine Vorrichtung zum Erwärmen eines zu verarbeitenden Objekts durch Wärmestrahlung oder durch Wärmeleitung von einem Medium wie etwa einem erwärmten Gas sein. Zum Beispiel kann eine Vorrichtung zum schnellen thermischen Tempern (RTA-Vorrichtung) wie etwa eine Vorrichtung zum schnellen thermischen Gastempern (GRTA-Vorrichtung) oder eine Vorrichtung zum schnellen thermischen Lampentempern (LRTA-Vorrichtung) verwendet werden. Die LTRA-Vorrichtung ist eine Vorrichtung zum Erwärmen eines zu verarbeitenden Objekts durch Lichtstrahlung (elektromagnetische Wellen), die von einer Lampe wie etwa einer Halogenlampe, einer Halogenmetalldampflampe, einer Xenonbogenlampe, einer Kohlenstoffbogenlampe, einer Natriumhochdrucklampe oder einer Quecksilberhochdrucklampe emittiert werden. Die GRTA-Vorrichtung ist eine Vorrichtung zum Ausführen einer Wärmebehandlung unter Verwendung eines Hochtemperaturgases. Als das Gas wird ein Inertgas, das nicht mit einem durch Wärmebehandlung zu verarbeitenden Objekt reagiert, z. B. Stickstoff oder ein Edelgas wie etwa Argon, verwendet.

**[0084]** Als die erste Wärmebehandlung kann z. B. eine GRTA-Behandlung wie folgt ausgeführt werden. Das zu verarbeitende Objekt wird in eine erwärmte Inertgasatmosphäre gebracht, mehrere Minuten erwärmt und aus der Inertgasatmosphäre entnommen. Die GRTA-Behandlung ermöglicht eine Hochtemperaturwärmebehandlung in kurzer Zeit. Darüber hinaus kann die GRTA-Behandlung selbst dann genutzt werden, wenn die Temperatur den oberen Temperaturgrenzwert des zu verarbeitenden Objekts übersteigt. Es wird angemerkt, dass das Inertgas während der Behandlung zu einem Gas, das Sauerstoff enthält, umgeschaltet werden kann. Dies ist so, da Defektzustände in einer durch Sauerstofffehlstellen verursachten Energielücke durch Ausführen der ersten

Wärmebehandlung in einer Atmosphäre, die Sauerstoff enthält, verringert werden können.

**[0085]** Es wird angemerkt, dass als die Inertgasatmosphäre vorzugsweise eine Atmosphäre verwendet wird, die Stickstoff oder ein Edelgas (z. B. Helium, Neon oder Argon) als seine Hauptkomponente enthält und kein Wasser, keinen Wasserstoff oder dergleichen enthält. Zum Beispiel wird die Reinheit von Stickstoff oder einem Edelgas wie etwa Helium, Neon oder Argon, die in die Wärmebehandlungsvorrichtung eingeleitet werden, auf 6N (99,9999 %) oder mehr, vorzugsweise auf 7N (99,99999 %) oder mehr, eingestellt (d. h., die Störstellenkonzentration beträgt 1 ppm oder weniger, vorzugsweise 0,1 ppm oder weniger).

**[0086]** Auf jeden Fall kann unter Verwendung der Oxidhalbleiterschicht, die eine i-Oxidhalbleiterschicht (Oxideigenhalbleiterschicht) oder im Wesentlichen eine i-Oxidhalbleiterschicht ist, die durch Verringern von Störstellen durch die erste Wärmebehandlung erhalten wird, ein Transistor mit ausgezeichneten Eigenschaften erhalten werden.

**[0087]** Die obige Wärmebehandlung (die erste Wärmebehandlung) kann auch als Dehydrationsbehandlung, Dehydrierungsbehandlung oder dergleichen bezeichnet werden, da sie die Wirkung der Entfernung von Wasserstoff, Wasser oder dergleichen besitzt. Die Dehydrationsbehandlung oder die Dehydrierungsbehandlung kann ausgeführt werden, nachdem die Gate-Isolierschicht **146** ausgebildet worden ist oder nachdem eine Gate-Elektrode ausgebildet worden ist. Eine solche Dehydrationsbehandlung oder Dehydrierungsbehandlung kann einmal oder mehrmals ausgeführt werden.

**[0088]** Nachdem die Oxidhalbleiterschicht **144** ausgebildet worden ist, kann die Oxidhalbleiterschicht **144** zu einer inselförmigen Oxidhalbleiterschicht verarbeitet werden. Die Oxidhalbleiterschicht **144** kann z. B. durch Ätzen zu einer inselförmigen Oxidhalbleiterschicht verarbeitet werden. Das Ätzen kann entweder vor der Wärmebehandlung oder nach der Wärmebehandlung ausgeführt werden. Hinsichtlich der Elementminiaturisierung wird vorzugsweise Trockenätznen verwendet, wobei aber Nassätznen verwendet werden kann. Soweit erforderlich kann ein Ätzgas oder ein Ätzmittel je nach einem zu ätzenden Material geeignet ausgewählt werden.

**[0089]** Die Gate-Isolierschicht **146** kann durch ein CVD-Verfahren, durch ein Zerstäubungsverfahren oder dergleichen ausgebildet werden. Vorzugsweise wird die Gate-Isolierschicht **146** in der Weise ausgebildet, dass sie Siliciumoxid, Siliciumnitrid, Siliciumoxynitrid, Aluminiumoxid, Tantaloxid, Hafniumoxid, Yttriumoxid, Hafniumsilikat ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ )), Hafniumsilikat, dem Stickstoff zugesetzt worden ist

( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ )), Hafniumaluminat, dem Stickstoff zugesetzt worden ist ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ )), oder dergleichen enthält. Die Gate-Isolierschicht **146** kann eine Einschichtstruktur oder eine gestapelte Schichtstruktur aufweisen. An die Dicke der Gate-Isolierschicht **146** gibt es keine besondere Beschränkung; vorzugsweise ist die Dicke klein, um den Betrieb des Transistors sicherzustellen, wenn die Halbleitervorrichtung miniaturisiert ist. Zum Beispiel kann die Dicke im Fall der Verwendung von Siliciumoxid 1 nm bis 100 nm, vorzugsweise 10 nm bis 50 nm, betragen.

**[0090]** Wenn die Gate-Isolierschicht wie oben beschrieben dünn ist, wird ein Gate-Leckverlust wegen eines Tunneleffekts oder dergleichen zu einem Problem. Um das Problem des Gate-Leckverlusts zu lösen, kann die Gate-Isolierschicht **146** unter Verwendung eines Materials mit hoher Dielektrizitätskonstante (hohem  $k$ ) wie etwa Hafniumoxid, Tantaloxid, Yttriumoxid, Hafniumsilikat ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ )), Hafniumsilikat, dem Stickstoff zugesetzt worden ist ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ )), oder Hafniumaluminat, dem Stickstoff zugesetzt worden ist ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ )), ausgebildet werden. Die Verwendung eines Materials mit hohem  $k$  für die Gate-Isolierschicht **146** ermöglicht die Dicke zu erhöhen, um den Gate-Leckverlust zu unterdrücken sowie die elektrischen Eigenschaften sicherzustellen. Zum Beispiel ist die relative Dielektrizitätskonstante von Hafniumoxid näherungsweise 15, was viel höher als die von Silicium ist, die 3 bis 4 ist. Mit einem solchen Material kann eine Gate-Isolierschicht, bei der die äquivalente Oxiddicke weniger als 15 nm, vorzugsweise 2 nm bis 10 nm, ist, leicht ausgebildet werden. Es wird angemerkt, dass eine gestapelte Schichtstruktur einer Lage, die ein Material mit hohem  $k$  enthält, und einer Lage, die irgendeines von Siliciumoxid, Siliciumnitrid, Siliciumoxynitrid, Siliciumnitridoxid, Aluminiumoxid und dergleichen enthält, ebenfalls genutzt werden kann.

**[0091]** Nachdem die Gate-Isolierschicht **146** ausgebildet worden ist, wird vorzugsweise eine zweite Wärmebehandlung in einer Inertgasatmosphäre oder in einer Sauerstoffatmosphäre ausgeführt. Die Temperatur der Wärmebehandlung wird in dem Bereich von 200 °C bis 450 °C, vorzugsweise von 250 °C bis 350 °C, eingestellt. Die Wärmebehandlung kann z. B. eine Stunde lang in einer Stickstoffatmosphäre bei 250 °C ausgeführt werden. Durch die zweite Wärmebehandlung kann die Schwankung der elektrischen Eigenschaften des Transistors verringert werden. Falls die Gate-Isolierschicht **146** Sauerstoff enthält, kann der Oxidhalbleiterschicht **144** Sauerstoff zugeführt werden und können Sauerstofffehlstellen in der Oxidhalbleiterschicht **144** gefüllt werden; somit kann die Oxidhalbleiterschicht **144**, die vom i-Typ (Eigenhalbleitertyp) oder im Wesentlichen vom i-Typ ist, ebenfalls ausgebildet werden.

**[0092]** Es wird angemerkt, dass die zweite Wärmebehandlung in dieser Ausführungsform ausgeführt wird, nachdem die Gate-Isolierschicht **146** ausgebildet worden ist; es gibt keine Beschränkung an den Zeitpunkt der zweiten Wärmebehandlung. Zum Beispiel kann die zweite Wärmebehandlung ausgeführt werden, nachdem die Gate-Elektrode ausgebildet worden ist. Alternativ können die erste Wärmebehandlung und die zweite Wärmebehandlung aufeinanderfolgend ausgeführt werden oder kann die erste Wärmebehandlung auch als die zweite Wärmebehandlung fungieren oder kann die zweite Wärmebehandlung auch als die erste Wärmebehandlung fungieren.

**[0093]** Durch Ausführen der ersten Wärmebehandlung und/oder der zweiten Wärmebehandlung wie oben beschrieben kann die Oxidhalbleiterschicht **144** gereinigt werden, sodass sie so weit wie möglich keine anderen Störstellen als die Hauptkomponenten enthält.

**[0094]** Nachfolgend wird die Gate-Elektrode **148a** über der Gate-Isolierschicht **146** ausgebildet (siehe **Fig. 2F**). Die Gate-Elektrode **148a** kann durch Ausbilden einer leitenden Schicht über der Gate-Isolierschicht **146** und daraufhin durch selektives Ätzen der leitenden Schicht ausgebildet werden. Die leitende Schicht, die zu der Gate-Elektrode **148a** werden soll, kann durch ein PVD-Verfahren wie etwa ein Zerstäubungsverfahren oder ein CVD-Verfahren wie etwa ein Plasma-CVD-Verfahren ausgebildet werden. Die Einzelheiten sind ähnlich jenen im Fall der Source-Elektrode **142a**, der Drain-Elektrode **142b** oder dergleichen; somit kann auf die Beschreibung davon Bezug genommen werden. Obwohl sich ein Teil der Gate-Elektrode **148a** in der hier genutzten Struktur mit der Source-Elektrode **142a** und mit der Drain-Elektrode **142b** überlappt, wird angemerkt, dass die offenbare Erfindung nicht auf diese Struktur beschränkt ist. Es ist möglich, eine Struktur zu nutzen, in der ein Endabschnitt der Gate-Elektrode **148a** und ein Endabschnitt der Source-Elektrode **142a** einander überlappen und ein Endabschnitt der Gate-Elektrode **148a** und ein Endabschnitt der Drain-Elektrode **142b** einander überlappen.

**[0095]** Nachfolgend werden eine Isolierschicht **150** und eine Isolierschicht **152** in der Weise ausgebildet, dass sie die Gate-Isolierschicht **146**, die Gate-Elektrode **148a** und dergleichen bedecken (siehe **Fig. 2G**). Die Isolierschicht **150** und die Isolierschicht **152** können durch ein PVD-Verfahren, durch ein CVD-Verfahren oder dergleichen ausgebildet werden. Die Isolierschicht **150** und die Isolierschicht **152** können unter Verwendung eines Materials, das ein anorganisches Isoliermaterial enthält, wie etwa Siliciumoxid, Siliciumoxynitrid, Siliciumnitrid, Hafniumoxid oder Aluminiumoxid ausgebildet werden.

**[0096]** Es wird angemerkt, dass die Isolierschicht **150** und die Isolierschicht **152** vorzugsweise unter Verwendung eines Materials mit niedriger Dielektrizitätskonstante oder einer Struktur mit niedriger Dielektrizitätskonstante (wie etwa einer porösen Struktur) ausgebildet werden. Dies ist so, da die zwischen Verdrahtungen, Elektroden oder dergleichen erzeugte Kapazität verringert werden kann und ein Betrieb mit höherer Geschwindigkeit erzielt werden kann, wenn die Isolierschicht **150** und die Isolierschicht **152** eine niedrige Dielektrizitätskonstante aufweisen.

**[0097]** Obwohl in dieser Ausführungsform eine gestapelte Schichtstruktur der Isolierschicht **150** und der Isolierschicht **152** verwendet wird, wird angemerkt, dass eine Ausführungsform der offensichtlichen Erfindung nicht auf dieses Beispiel beschränkt ist. Eine Einschichtstruktur oder eine gestapelte Schichtstruktur, die drei oder mehr Schichten enthält, können ebenfalls verwendet werden. Alternativ ist ebenfalls eine Struktur möglich, in der die Isolierschichten nicht bereitgestellt sind.

**[0098]** Es wird angemerkt, dass es erwünscht ist, dass die Isolierschicht **152** in der Weise ausgebildet wird, dass sie eine ebene Oberfläche aufweist. Dies ist so, da eine Elektrode, eine Verdrahtung oder dergleichen selbst dann vorteilhaft über der Isolierschicht **152** ausgebildet werden kann, wenn die Halbleitervorrichtung oder dergleichen miniaturisiert ist, wenn die Isolierschicht **152** eine ebene Oberfläche aufweist. Es wird angemerkt, dass die Isolierschicht **152** unter Verwendung eines Verfahrens wie etwa chemisch-mechanisches Polieren (CMP) planarisiert werden kann.

**[0099]** Durch die obigen Schritte wird der Transistor **162**, der die Oxidhalbleiterschicht **144** enthält, die gereinigt worden ist, fertiggestellt (siehe **Fig. 2G**).

**[0100]** Es wird angemerkt, dass nach den obigen Schritten eine Vielzahl von Verdrahtungen, Elektroden oder dergleichen ausgebildet werden können. Die Verdrahtungen oder die Elektroden können durch ein Verfahren wie etwa ein sogenanntes Damaszenerverfahren oder Doppeldamaszenerverfahren ausgebildet werden.

**[0101]** Wie oben beschrieben wurde, ist in einer Ausführungsform der offensichtlichen Erfindung über einem äußerst ebenen Gebiet mit einer quadratischen Rauheit (RMS-Rauheit) von 1 nm oder weniger ein Kanalausbildungsgebiet des Transistors **162** bereitgestellt. Dies ermöglicht es, ein Problem wie etwa einen Kurzkanaleffekt selbst in einer Situation zu verhindern, in der der Transistor **162** miniaturisiert ist, und den Transistor **162** mit vorteilhaften Eigenschaften zu erhalten.

**[0102]** Außerdem kann die Oxidhalbleiterschicht **144** dadurch, dass die Planarität der Oberfläche, auf der Komponenten ausgebildet sind, verbessert ist, eine gleichförmige Dicke aufweisen, wobei der Transistor **162** verbesserte Eigenschaften aufweisen kann. Darüber hinaus kann eine Verringerung der Bedeckung, die durch eine große Höhendifferenz verursacht werden kann, unterdrückt werden und kann eine Unterbrechung oder eine defekte Verbindung der Oxidhalbleiterschicht **144** verhindert werden.

**[0103]** Darüber hinaus kann der Weg des elektrischen Stroms dadurch, dass zwischen einem Teil der oberen Oberfläche der Isolierschicht **143b** und der oberen Oberfläche der Source-Elektrode **142a** und zwischen dem Teil der oberen Oberfläche der Isolierschicht **143b** und der oberen Oberfläche der Drain-Elektrode **142b** eine kleine Höhendifferenz (z. B. 5 nm bis 20 nm) hergestellt wird, verlängert werden. Dies ermöglicht es, die Konzentration eines elektrischen Felds in dem Transistor **162** zu mildern und einen Kurzkanaleffekt zu unterdrücken.

**[0104]** In dem in dieser Ausführungsform beschriebenen Transistor **162** wird die Oxidhalbleiterschicht **144** gereinigt und enthält somit Wasserstoff in einer Konzentration von  $5 \cdot 10^{19}$  Atomen · cm<sup>-3</sup> oder weniger, vorzugsweise  $5 \cdot 10^{18}$  Atomen · cm<sup>-3</sup> oder weniger, bevorzugter  $5 \cdot 10^{17}$  Atomen · cm<sup>-3</sup> oder weniger. Außerdem ist die Dichte von wegen eines Donators wie etwa Wasserstoff in der Oxidhalbleiterschicht **144** erzeugten Ladungsträgern z. B. kleiner als  $1 \cdot 10^{12}$  cm<sup>-3</sup>, vorzugsweise kleiner als  $1,45 \cdot 10^{10}$  cm<sup>-3</sup>, was ausreichend kleiner als die Ladungsträgerdichte eines allgemeinen Siliciumwafers (näherungsweise  $1 \cdot 10^{14}$  cm<sup>-3</sup>) ist. Außerdem ist der Sperrstrom des Transistors **162** ausreichend klein. Zum Beispiel ist der Sperrstrom (hier pro Kanalbreiteeinheit (1 µm)) des Transistors **162** bei Raumtemperatur (25 °C) 100 zA (1 zA (Zepoampere) sind  $1 \cdot 10^{-21}$  A) oder weniger, vorzugsweise 10 zA oder weniger. Wenn die obige Struktur genutzt wird, kann der Sperrstrom des Transistors theoretisch  $1 \cdot 10^{-24}$  A · µm<sup>-1</sup> bis  $1 \cdot 10^{-30}$  A · µm<sup>-1</sup> sein.

**[0105]** Auf diese Weise wird es unter Verwendung der Oxidhalbleiterschicht **144**, die gereinigt worden ist und eine Eigenhalbleiterschicht ist, leicht, den Sperrstrom des Transistors ausreichend zu verringern. Außerdem kann unter Verwendung der Oxidhalbleiterschicht **144**, die auf diese Weise gereinigt und eine Eigenhalbleiterschicht ist, der S-Wert des Transistors 65 mV · dec<sup>-1</sup> oder kleiner, vorzugsweise kleiner als 63 mV · dec<sup>-1</sup>, sein.

**[0106]** Nachfolgend werden die **Fig. 3A** bis **Fig. 3G** beschrieben.

**[0107]** Auf ähnliche Weise wie im Fall von **Fig. 2A** bis **Fig. 2G** werden zunächst über dem Substrat **240**

mit einer Oberfläche, auf der Komponenten ausgebildet werden, eine leitende Schicht **241a**, die später zu einer Source-Elektrode werden soll, und eine leitende Schicht **241b**, die später zu einer Drain-Elektrode werden soll, ausgebildet (siehe **Fig. 3A**). Daraufhin wird eine Isolierschicht **243** in der Weise ausgebildet, dass sie die leitende Schicht **241a** und die leitende Schicht **241b** bedeckt (siehe **Fig. 3B**). Die Einzelheiten sind ähnlich jenen im Fall von **Fig. 2A** und **Fig. 2B**.

**[0108]** Nachfolgend wird durch Verdünnen der Isolierschicht **243** durch eine Behandlung mit chemisch-mechanischem Polieren (CMP) die Isolierschicht **243b** ausgebildet (siehe **Fig. 3C**). Ein Unterschied zum Fall von **Fig. 2C** ist, dass die CMP-Behandlung unter solchen Bedingungen ausgeführt wird, dass Oberflächen der leitenden Schicht **241a** und der leitenden Schicht **241b** freigelegt werden. Die anderen Bedingungen für die CMP-Behandlung sind ähnlich jenen im Fall von **Fig. 2C**. Wegen Einzelheiten kann auf die Beschreibung von **Fig. 2C** Bezug genommen werden.

**[0109]** Nachfolgend werden durch Verdünnen der leitenden Schicht **241a** und der leitenden Schicht **241b** die Source-Elektrode **242a** und die Drain-Elektrode **242b** ausgebildet (siehe **Fig. 3D**). Die leitende Schicht **241a** und die leitende Schicht **241b** können durch Ätzen verdünnt werden. Zum Ätzen kann entweder Trockenätzten oder Nassätzten genutzt werden. Es wird angemerkt, dass das Ätzen unter solchen Bedingungen ausgeführt werden muss, dass nur leitende Schichten selektiv geätzt werden können, um eine ausreichende Planarität der Oberfläche der Isolierschicht **243b** sicherzustellen. Soweit erforderlich kann ein Ätzgas oder ein Ätzmittel je nach einem zu ätzenden Material geeignet ausgewählt werden.

**[0110]** Durch den obigen Verdünnungsschritt wird durch einen Teil einer oberen Oberfläche der Isolierschicht **243b**, eine obere Oberfläche der Source-Elektrode **242a** und eine obere Oberfläche der Drain-Elektrode **242b** eine Oberfläche mit einer kleinen Höhendifferenz (z. B. 5 nm bis 20 nm) ausgebildet. Außerdem werden Endabschnitte der Source-Elektrode **242a** und der Drain-Elektrode **242b** nicht mit der Isolierschicht **243b** bedeckt. Es wird angemerkt, dass eine Seitenfläche der Isolierschicht **243b** in Bezug auf die untere Oberfläche geneigt sein kann.

**[0111]** Nachfolgend wird in Kontakt mit einem Teil der Source-Elektrode **242a**, der Drain-Elektrode **242b** und der Isolierschicht **243b** die Oxidhalbleiterschicht **244** ausgebildet, die die oben beschriebene Oberfläche bedeckt; daraufhin wird die Gate-Isolierschicht **246** in der Weise ausgebildet, dass sie die Oxidhalbleiterschicht **244** bedeckt (siehe **Fig. 3E**). Außerdem wird über der Gate-Isolierschicht **246** die

Gate-Elektrode **248a** ausgebildet (siehe **Fig. 3F**). Daraufhin werden eine Isolierschicht **250** und eine Isolierschicht **252** in der Weise ausgebildet, dass sie die Gate-Isolierschicht **246**, die Gate-Elektrode **248a** und dergleichen bedecken (siehe **Fig. 3G**). Die Einzelheiten sind ähnlich jenen im Fall von **Fig. 2E** bis **Fig. 2G**.

**[0112]** Soweit erforderlich können die in dieser Ausführungsform beschriebenen Strukturen, Verfahren und dergleichen mit irgendwelchen der in den anderen Ausführungsformen beschriebenen Strukturen, Verfahren und dergleichen kombiniert werden.

(Ausführungsform 2)

**[0113]** In dieser Ausführungsform werden anhand von **Fig. 4A** bis **Fig. 4C**, **Fig. 5A** bis **Fig. 5D** und **Fig. 6A** bis **Fig. 6C** eine Struktur und ein Herstellungsverfahren einer Halbleitervorrichtung in Übereinstimmung mit einer weiteren Ausführungsform der offenbarten Erfindung beschrieben. Es wird angemerkt, dass in einigen im Folgenden erwähnten Stromlaufplänen neben einem Transistor „OS“ geschrieben ist, um anzugeben, dass der Transistor einen Oxidhalbleiter enthält.

<Strukturbeispiel der Halbleitervorrichtung>

**[0114]** **Fig. 4A** bis **Fig. 4C** veranschaulichen ein Beispiel einer Struktur einer Halbleitervorrichtung. **Fig. 4A** ist eine Querschnittsansicht der Halbleitervorrichtung; **Fig. 4B** ist eine Draufsicht der Halbleitervorrichtung; und **Fig. 4C** veranschaulicht eine Schaltungskonfiguration der Halbleitervorrichtung. Es wird angemerkt, dass in dieser Ausführungsform hauptsächlich eine Struktur der Halbleitervorrichtung beschrieben ist, während der Betrieb der Halbleitervorrichtung ausführlich in einer folgenden Ausführung beschrieben wird. Es wird angemerkt, dass die in **Fig. 4A** bis **Fig. 4C** dargestellte Halbleitervorrichtung nur ein Beispiel ist, das vorgegebene Funktionen aufweist und nicht alle Halbleitervorrichtungen in Übereinstimmung mit der offenbarten Erfindung repräsentiert. Soweit erforderlich kann die Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung durch Ändern der Verbindungsbeziehung der Elektroden oder dergleichen eine andere Funktion aufweisen.

**[0115]** **Fig. 4A** entspricht einer Querschnittsansicht längs der Linie A1-A2 und längs der Linie B1-B2 in **Fig. 4B**. Die in **Fig. 4A** und **Fig. 4B** dargestellte Halbleitervorrichtung enthält den in der obigen Ausführungsform beschriebenen Transistor **162**, einen Transistor **160** unter dem Transistor **162** und einen Kondensator **164**.

**[0116]** Ein Halbleitermaterial des Transistors **162** und ein Halbleitermaterial des Transistors **160** sind

hier vorzugsweise unterschiedliche Materialien. Zum Beispiel kann das Halbleitermaterial des Transistors **162** ein Oxidhalbleiter sein und kann das Halbleitermaterial des Transistors **160** ein anderes Halbleitermaterial (wie etwa Silicium) als ein Oxidhalbleiter sein. Ein Transistor, der einen Oxidhalbleiter enthält, kann wegen seiner Eigenschaften für lange Zeit Ladung halten. Andererseits kann ein Transistor, der ein anderes Material als einen Oxidhalbleiter enthält, leicht mit hoher Geschwindigkeit arbeiten.

**[0117]** Der Transistor **160** in **Fig. 4A** bis **Fig. 4C** enthält ein Kanalausbildungsgebiet **116**, das in einem Substrat **100** bereitgestellt ist, das ein Halbleitermaterial (wie etwa Silicium) enthält, Störstellengebiete **120**, die in der Weise bereitgestellt sind, dass das Kanalausbildungsgebiet **116** dazwischen liegt, Metallverbindungsgebiete **124** in Kontakt mit den Störstellengebieten **120**, eine Gate-Isolierschicht **108**, die über dem Kanalausbildungsgebiet **116** bereitgestellt ist, und eine Gate-Elektrode **110**, die über der Gate-Isolierschicht **108** bereitgestellt ist. Es wird angemerkt, dass ein Transistor, dessen Source-Elektrode und Drain-Elektrode in einer Zeichnung nicht dargestellt sind, zweckmäßig ebenfalls als ein Transistor bezeichnet werden kann. Ferner kann in diesem Fall eine Beschreibung einer Verbindung eines Transistors, eines Source-Gebiets und einer Source-Elektrode gemeinsam als eine Source-Elektrode bezeichnet sein und können ein Drain-Gebiet und eine Drain-Elektrode gemeinsam als eine Drain-Elektrode bezeichnet sein. Das heißt, in dieser Patentschrift kann der Begriff „Source-Elektrode“ ein Source-Gebiet enthalten.

**[0118]** Ferner ist über dem Substrat **100** eine Elementtrennungs-Isolierschicht **106** in der Weise ausgebildet, dass sie den Transistor **160** umgibt, und ist eine Isolierschicht **130** in der Weise ausgebildet, dass sie den Transistor **160** bedeckt. Es wird angemerkt, dass der Transistor **160** zum Verwirklichen einer höheren Integration vorzugsweise eine Struktur ohne eine wie in **Fig. 4A** und **Fig. 4B** dargestellte Seitenwand-Isolierschicht aufweist. Andererseits kann eine Seitenwand-Isolierschicht auf einer Seitenfläche der Gate-Elektrode **110** bereitgestellt sein und können die Störstellengebiete **120** ein Gebiet mit einer unterschiedlichen Störstellenkonzentration enthalten, falls die Eigenschaften des Transistors **160** Priorität haben.

**[0119]** Die Struktur des Transistors **162** in **Fig. 4A** bis **Fig. 4C** ist ähnlich der Struktur des Transistors **162** in der obigen Ausführungsform. Es wird angemerkt, dass in dieser Ausführungsform die Source-Elektrode **142a** (die die Drain-Elektrode sein kann) des Transistors **162** mit der Gate-Elektrode **110** des Transistors **160** verbunden ist. Natürlich kann der Transistor **162** durch den Transistor **262** ersetzt werden.

**[0120]** Der Kondensator **164** in **Fig. 4A** bis **Fig. 4C** enthält die Source-Elektrode **142a** (die die Drain-Elektrode sein kann), die Oxidhalbleiterschicht **144**, die Gate-Isolierschicht **146** und eine Elektrode **148b**. Mit anderen Worten, die Source-Elektrode **142a** fungiert als eine Elektrode des Kondensators **164** und die Elektrode **148b** fungiert als die andere Elektrode des Kondensators **164**. Es wird angemerkt, dass die Elektrode **148b** in einem ähnlichen Prozess wie die Gate-Elektrode **148a** des Transistors **162** ausgebildet wird.

**[0121]** Es wird angemerkt, dass die Oxidhalbleiterschicht **144** und die Gate-Isolierschicht **146** in dem Kondensator **164** aus **Fig. 4A** bis **Fig. 4C** gestapelt sind, wodurch eine Isolation zwischen der Source-Elektrode **142a** und der Elektrode **148b** ausreichend sichergestellt werden kann. Natürlich kann der Kondensator **164**, ohne die Oxidhalbleiterschicht **144** zu enthalten, genutzt werden, um ausreichend Kapazität sicherzustellen. Falls kein Kondensator notwendig ist, ist außerdem ebenfalls eine Struktur möglich, in der der Kondensator **164** nicht bereitgestellt ist.

**[0122]** In dieser Ausführungsform sind der Transistor **162** und der Kondensator **164** in der Weise bereitgestellt, dass sie sich mit dem Transistor **160** überlappen. Durch Nutzung einer solchen planaren Anordnung kann eine höhere Integration verwirklicht werden. Zum Beispiel kann unter der Voraussetzung, dass die minimale Merkmalsgröße  $F$  ist, die von der Halbleitervorrichtung belegte Fläche  $15F^2$  bis  $25F^2$  sein.

**[0123]** Es wird angemerkt, dass die Struktur einer Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung nicht auf die in **Fig. 4A** bis **Fig. 4C** Dargestellte beschränkt ist. Da es die technische Idee der offenbarten Erfindung ist, eine gestapelte Schichtstruktur mit einem Oxidhalbleiter und mit einem anderen Material als einem Oxidhalbleiter auszubilden, können die Einzelheiten der Verbindungsbeziehung der Elektroden oder dergleichen soweit erforderlich geändert werden.

<Beispiel eines Verfahrens zur Herstellung der Halbleitervorrichtung>

**[0124]** Nachfolgend wird anhand von **Fig. 5A** bis **Fig. 5D** und **Fig. 6A** bis **Fig. 6C** ein Beispiel eines Verfahrens zur Herstellung der Halbleitervorrichtung beschrieben. Es wird angemerkt, dass ein Verfahren zur Herstellung des Transistors **162** ähnlich dem in der obigen Ausführungsform ist; somit wird hier hauptsächlich ein Verfahren zur Herstellung des Transistors **160** beschrieben.

**[0125]** Zunächst wird das Substrat **100**, das ein Halbleitermaterial enthält, vorbereitet (siehe **Fig. 5A**). Als das Substrat **100**, das ein Halbleitermaterial ent-

hält, kann ein Einkristallhalbleitersubstrat oder ein polykristallines Halbleitersubstrat aus Silicium, Siliciumcarbid oder dergleichen, ein Verbindungshalbleitersubstrat aus Silicium-Germanium oder dergleichen, ein SOI-Substrat oder dergleichen verwendet werden. Hier ist ein Beispiel des Falls beschrieben, dass als das Substrat **100**, das ein Halbleitermaterial enthält, ein Einkristallsiliciumsubstrat verwendet wird. Es wird angemerkt, dass der Begriff „SOI-Substrat“ allgemein ein Substrat bedeutet, bei dem eine Siliciumhalbleiterschicht über einer isolierende Oberfläche bereitgestellt ist. In dieser Patentschrift bedeutet der Begriff „SOI-Substrat“ ebenfalls ein Substrat, bei dem über einer isolierenden Oberfläche eine Halbleiterschicht bereitgestellt ist, die ein anderes Material als Silicium enthält. Das heißt, eine in dem „SOI-Substrat“ enthaltene Halbleiterschicht ist nicht auf eine Siliciumhalbleiterschicht beschränkt. Darüber hinaus kann das SOI-Substrat ein Substrat mit einer Struktur, bei der eine Halbleiterschicht über einem isolierenden Substrat bereitgestellt ist, wie etwa ein Glassubstrat mit einer dazwischenliegenden Isolierschicht, sein.

**[0126]** Da die Geschwindigkeit der Leseoperation der Halbleitervorrichtung erhöht werden kann, ist es bevorzugt, dass als das Substrat **100**, das ein Halbleitermaterial enthält, insbesondere ein Einkristallhalbleitersubstrat aus Silicium oder dergleichen verwendet wird.

**[0127]** Es wird angemerkt, dass einem Gebiet, das später als das Kanalausbildungsgebiet **116** des Transistors **160** fungiert, ein Störstellenelement zugesetzt werden kann, um die Schwellenspannung des Transistors zu steuern. Ein Störstellenelement, das Leitfähigkeit enthält, wird hier zugesetzt, damit die Schwellenspannung des Transistors **160** positiv wird. Wenn das Halbleiterelement Silicium ist, können die Störstellen, die Leitfähigkeit verleihen, Bor, Aluminium, Gallium oder dergleichen sein. Es wird angemerkt, dass es bevorzugt ist, nach Zusetzen eines Störstellenelements eine Wärmebehandlung auszuführen, um das Störstellenelement zu aktivieren oder um Defekte, die während der Zugabe des Störstellenelements erzeugt werden können, zu verringern.

**[0128]** Nachfolgend wird über dem Substrat **100** eine Schutzschicht **102** ausgebildet, die als Maske zum Ausbilden einer Elementtrennungs-Isolationsschicht dient (siehe **Fig. 5A**). Als die Schutzschicht **102** kann z. B. eine Isolierschicht verwendet werden, die unter Verwendung eines Materials wie etwa Siliciumoxid, Siliciumnitrid, Siliciumoxynitrid oder dergleichen ausgebildet wird.

**[0129]** Nachfolgend wird ein Teil des Substrats **100** in einem Gebiet, das nicht mit der Schutzschicht **102** bedeckt ist (d. h. in einem freiliegenden Gebiet), durch Ätzen unter Verwendung der Schutz-

schicht **102** als Maske entfernt. Somit wird ein von anderen Halbleitergebieten getrenntes Halbleitergebiet **104** ausgebildet (siehe **Fig. 5B**). Als das Ätzen wird vorzugsweise Trockenätzungen ausgeführt, wobei aber Nassätzungen ausgeführt werden kann. Soweit erforderlich kann ein Ätzgas oder ein Ätzmittel je nach einem zu ätzenden Material ausgewählt werden.

**[0130]** Daraufhin wird eine Isolierschicht in der Weise ausgebildet, dass sie das Halbleitergebiet **104** bedeckt, wobei die Isolierschicht in einem Gebiet, das sich mit dem Halbleitergebiet **104** überlappt, selektiv entfernt wird; somit wird die Elementtrennungs-Isolierschicht **106** ausgebildet (siehe **Fig. 5C**). Die Isolierschicht wird unter Verwendung von Siliciumoxid, Siliciumnitrid, Siliciumoxynitrid oder dergleichen ausgebildet. Als ein Verfahren zum Entfernen der Isolierschicht kann eine Ätzbehandlung oder eine Polierbehandlung wie etwa eine Behandlung durch chemischmechanisches Polieren (CMP) und dergleichen genutzt werden. Es wird angemerkt, dass die Schutzschicht **102** nach der Ausbildung des Halbleitergebiets **104** oder nach der Ausbildung der Elementtrennungs-Isolierschicht **106** entfernt wird.

**[0131]** Nachfolgend wird über einer Oberfläche des Halbleitergebiets **104** eine Isolierschicht ausgebildet und wird über der Isolierschicht eine Schicht, die ein leitendes Material enthält, ausgebildet.

**[0132]** Die Isolierschicht wird später zu einer Gate-Isolierschicht verarbeitet und kann z. B. durch Wärmebehandlung (thermische Oxidationsbehandlung, thermische Nitrierungsbehandlung oder dergleichen) der Oberfläche des Halbleitergebiets **104** ausgebildet werden. Anstelle einer Wärmebehandlung kann eine Behandlung durch hochdichtetes Plasma genutzt werden. Die Behandlung durch hochdichtetes Plasma kann z. B. unter Verwendung eines Mischgases eines Edelgases wie etwa Helium (He), Argon (Ar), Krypton (Kr) oder Xenon (Xe), von Sauerstoff, Stickoxid, Ammoniak, Stickstoff, Wasserstoff und dergleichen ausgeführt werden. Natürlich kann die Isolierschicht durch ein CVD-Verfahren, durch ein Zerstäubungsverfahren oder dergleichen ausgebildet werden. Vorzugsweise weist die Isolierschicht eine Einschichtstruktur oder eine gestapelte Schichtstruktur mit einer Lage, die Siliciumoxid, Siliciumoxynitrid, Siliciumnitrid, Hafniumoxid, Aluminiumoxid, Tantaloxid, Yttriumoxid, Hafniumsilikat ( $HfSi_xO_y$  ( $x > 0, y > 0$ )), Hafniumsilikat, dem Stickstoff zugesetzt worden ist ( $HfSi_xO_yN_z$  ( $x > 0, y > 0, z > 0$ )), Hafniumaluminat, dem Stickstoff zugesetzt worden ist ( $HfAl_xO_yN_z$  ( $x > 0, y > 0, z > 0$ )), oder dergleichen enthält, auf. Die Isolierschicht kann z. B. eine Dicke von 1 nm bis 100 nm, vorzugsweise von 10 nm bis 50 nm, aufweisen.

**[0133]** Die Schicht, die ein leitendes Material enthält, kann unter Verwendung eines Metallmaterials wie etwa Aluminium, Kupfer, Titan, Tantal oder Wolfram

ausgebildet werden. Die Schicht, die ein leitendes Material enthält, kann unter Verwendung eines Halbleitermaterials wie etwa polykristallinem Silicium ausgebildet werden. An das Verfahren zum Ausbilden der Schicht, die ein leitendes Material enthält, gibt es keine besondere Beschränkung, und es können eine Vielzahl von Lagenausbildungsverfahren wie etwa ein Verdampfungsverfahren, ein CVD-Verfahren, ein Zerstäubungsverfahren oder ein Schleuderbeschichtungsverfahren genutzt werden. Es wird angemerkt, dass diese Ausführungsform ein Beispiel des Falls zeigt, dass die Schicht, die ein leitendes Material enthält, unter Verwendung eines Metallmaterials ausgebildet wird.

**[0134]** Danach werden die Isolierschicht und die Schicht, die ein leitendes Material enthält, selektiv geätzt; somit werden die Gate-Isolierschicht **108** und die Gate-Elektrode **110** ausgebildet (siehe **Fig. 5C**).

**[0135]** Nachfolgend werden dem Halbleitergebiet **104** Phosphor (P), Arsen (As) oder dergleichen zugesetzt, wodurch das Kanalausbildungsgebiet **116** und die Störstellengebiete **120** ausgebildet werden (siehe **Fig. 5D**). Es wird angemerkt, dass hier Phosphor oder Arsen zum Ausbilden eines n-Transistors zugesetzt werden; im Fall der Ausbildung eines p-Transistors kann ein Störstellenelement wie etwa Bor (B) oder Aluminium (Al) zugesetzt werden. Soweit erforderlich kann hier die Konzentration der zugesetzten Störstellen eingestellt werden; vorzugsweise wird die Konzentration hoch eingestellt, wenn ein Halbleiter-element hoch miniaturisiert wird.

**[0136]** Es wird angemerkt, dass um die Gate-Elektrode **110** eine Seitenwand-Isolierschicht ausgebildet werden kann und dass Störstellengebiete ausgebildet werden können, denen das Störstellenelement mit einer unterschiedlichen Konzentration zugesetzt wird.

**[0137]** Nachfolgend wird eine Metallschicht **122** in der Weise ausgebildet, dass sie die Gate-Elektrode **110**, die Störstellengebiete **120** und dergleichen bedeckt (siehe **Fig. 6A**). Die Metallschicht **122** kann durch eine Vielzahl von Lagenausbildungsverfahren wie etwa ein Vakuumbedampfungsverfahren, ein Zerstäubungsverfahren und ein Schleuderbeschichtungsverfahren ausgebildet werden. Vorzugsweise wird die Metallschicht **122** unter Verwendung eines Metallmaterials, das durch Reaktion mit dem in dem Halbleitergebiet **104** enthaltenen Halbleitermaterial eine Metallverbindung mit niedrigem Widerstand ausbildet, ausgebildet. Beispiele solcher Metallmaterialien sind Titan, Tantal, Wolfram, Nickel, Cobalt, Platin und dergleichen.

**[0138]** Nachfolgend wird eine Wärmebehandlung in der Weise ausgeführt, dass die Metallschicht **122** mit dem Halbleitermaterial reagiert. Somit werden die

Metallverbindungsgebiete **124**, die mit den Störstellengebieten **120** in Kontakt stehen, ausgebildet (siehe **Fig. 6A**). Es wird angemerkt, dass in einem Abschnitt der Gate-Elektrode **110**, der mit der Metallschicht **122** in Kontakt steht, ebenfalls ein Metallverbindungsgebiet ausgebildet wird, wenn die Gate-Elektrode **110** unter Verwendung von polykristallinem Silicium oder dergleichen ausgebildet wird.

**[0139]** Als die Wärmebehandlung kann z. B. Bestrahlung mit einer Blitzlichtlampe genutzt werden. Obwohl natürlich ein anderes Wärmebehandlungsverfahren verwendet werden kann, wird vorzugsweise ein Verfahren verwendet, durch das die Wärmebehandlung in äußerst kurzer Zeit erzielt werden kann, um die Steuerbarkeit der chemischen Reaktion für die Ausbildung der Metallverbindung zu verbessern. Es wird angemerkt, dass die Metallverbindungsgebiete durch Reaktion des Metallmaterials und des Halbleitermaterials ausgebildet werden und eine ausreichend hohe Leitfähigkeit aufweisen. Die Ausbildung der Metallverbindungsgebiete kann den elektrischen Widerstand passend verringern und die Elementeigenschaften verbessern. Es wird angemerkt, dass die Metallschicht **122** entfernt wird, nachdem die Metallverbindungsgebiete **124** ausgebildet worden sind.

**[0140]** Nachfolgend wird die Isolierschicht **130** in der Weise ausgebildet, dass sie die in den obigen Schritten ausgebildeten Komponenten bedeckt (siehe **Fig. 6B**). Die Isolierschicht **130** kann unter Verwendung eines anorganischen Isoliermaterials wie etwa Siliciumoxid, Siliciumoxynitrid, Siliciumnitrid oder Aluminiumoxid ausgebildet werden. Da die Kapazität wegen Überlappung der Elektroden oder Verdrahtungen ausreichend verringert werden kann, ist es besonders bevorzugt, für die Isolierschicht **130** ein Material mit niedriger Dielektrizitätskonstante (niedriges  $k$ ) zu verwenden. Es wird angemerkt, dass als die Isolierschicht **130** eine poröse Isolierschicht mit einem solchen Material genutzt werden kann. Die poröse Isolierschicht weist eine niedrigere Dielektrizitätskonstante als eine Isolierschicht mit hoher Dichte auf und ermöglicht somit, die Kapazität wegen Elektroden oder Verdrahtungen weiter zu verringern. Alternativ kann die Isolierschicht **130** unter Verwendung eines organischen Isoliermaterials wie etwa eines Polyimids oder eines Acrylharzes ausgebildet werden. Obwohl in dieser Ausführungsform eine Einschichtstruktur der Isolierschicht **130** verwendet wird, wird angemerkt, dass eine Ausführungsform der offensichtlichen Erfindung nicht auf dieses Beispiel beschränkt ist. Es kann eine gestapelte Schichtstruktur mit zwei oder mehr Schichten genutzt werden.

**[0141]** Durch die obigen Schritte wird der Transistor **160** unter Verwendung des Substrats **100**, das ein Halbleitermaterial enthält, ausgebildet (siehe **Fig. 6B**). Ein Merkmal des Transistors **160** ist, dass er mit hoher Geschwindigkeit arbeiten kann. Unter Ver-

wendung dieses Transistors als ein Transistor zum Lesen können Daten mit hoher Geschwindigkeit gelesen werden.

**[0142]** Während danach eine Wärmebehandlung ausgeführt wird, bevor der Transistor **162** und der Kondensator **164** ausgebildet werden, wird eine CMP-Behandlung der Isolierschicht **130** ausgeführt, sodass eine obere Oberfläche der Gate-Elektrode **110** freigelegt wird (siehe **Fig. 6C**). Als Behandlung zum Freilegen der oberen Oberfläche der Gate-Elektrode **110** kann anstelle einer CMP-Behandlung ebenfalls eine Ätzbehandlung oder dergleichen genutzt werden; um die Eigenschaften des Transistors **162** zu verbessern, wird eine Oberfläche der Isolierschicht **130** vorzugsweise so eben wie möglich hergestellt. Zum Beispiel wird die Isolierschicht **130** in der Weise planarisiert, dass ihre Oberfläche eine quadratische Rauheit (RMS-Rauheit) von 1 nm oder weniger aufweist. Dies ermöglicht es, die Eigenschaften einer über der Isolierschicht **130** ausgebildeten Halbleitervorrichtung zu verbessern.

**[0143]** Es wird angemerkt, dass vor oder nach jedem der obigen Schritte ferner ein Schritt zum Ausbilden einer Elektrode, einer Verdrahtung, einer Halbleiterschicht, einer Isolierschicht oder dergleichen ausgeführt werden kann. Zum Beispiel kann eine hoch integrierte Halbleitervorrichtung verwirklicht werden, wenn die Verdrahtung eine Mehrschichtstruktur einer gestapelten Schichtstruktur, die Isolierschichten und leitende Schichten enthält, aufweist.

**[0144]** Danach werden der Transistor **162** und der Kondensator **164** ausgebildet; somit wird die Halbleitervorrichtung fertiggestellt.

**[0145]** Soweit erforderlich können die in dieser Ausführungsform beschriebenen Strukturen, Verfahren und dergleichen mit irgendwelchen der in den anderen Ausführungsformen beschriebenen Strukturen, Verfahren und dergleichen kombiniert werden.

(Ausführungsform 3)

**[0146]** In dieser Ausführungsform wird anhand von **Fig. 7A-1**, **Fig. 7A-2** und **Fig. 7B** ein Beispiel einer Anwendung einer Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der offensichtlichen Erfindung beschrieben. Hier wird ein Beispiel einer Speichervorrichtung beschrieben. Es wird angemerkt, dass in einigen im Folgenden erwähnten Stromlaufplänen neben einem Transistor „OS“ geschrieben ist, um anzugeben, dass der Transistor einen Oxidhalbleiter enthält.

**[0147]** In einer Halbleitervorrichtung, die als eine Speichervorrichtung verwendet werden kann, die in **Fig. 7A-1** dargestellt ist, ist eine erste Verdrahtung (1. Leitung) mit einer Source-Elektrode eines Tran-

sistors **1000** elektrisch verbunden. Eine zweite Verdrahtung (2. Leitung) ist mit einer Drain-Elektrode des Transistors **1000** elektrisch verbunden. Eine dritte Verdrahtung (3. Leitung) ist mit einer Source-Elektrode oder mit einer Drain-Elektrode eines Transistors **1010** elektrisch verbunden. Eine vierte Verdrahtung (4. Leitung) ist mit einer Gate-Elektrode des Transistors **1010** elektrisch verbunden. Darüber hinaus sind eine Gate-Elektrode des Transistors **1000** und die Andere der Source-Elektrode und der Drain-Elektrode des Transistors **1010** mit einer Elektrode eines Kondensators **1020** elektrisch verbunden. Eine fünfte Verdrahtung (5. Leitung) ist mit der anderen Elektrode des Kondensators **1020** elektrisch verbunden.

**[0148]** Als der Transistor **1010** ist hier ein Transistor verwendet, der einen Oxidhalbleiter enthält. Als der Transistor, der einen Oxidhalbleiter enthält, kann hier irgendeiner der in den obigen Ausführungsformen beschriebenen Transistoren verwendet sein. Ein Transistor, der einen Oxidhalbleiter enthält, weist eine Eigenschaft eines deutlich kleinen Sperrstroms auf. Aus diesem Grund kann ein Potential der Gate-Elektrode des Transistors **1000** für eine äußerst lange Zeitdauer gehalten werden, selbst wenn der Transistor **1010** ausgeschaltet ist. Darüber hinaus kann unter Verwendung irgendeines der in den obigen Ausführungsformen beschriebenen Transistoren der Kurzkanaleffekt des Transistors **1010** unterdrückt werden und eine Miniaturisierung erzielt werden. Durch Bereitstellung des Kondensators **1020** können das Halten der an die Gate-Elektrode des Transistors **1000** angelegten Ladung und das Lesen von gehaltenen Daten leichter ausgeführt werden. Als der Kondensator **1020** kann hier z. B. der in der obigen Ausführungsform beschriebene Kondensator verwendet werden.

**[0149]** Als der Transistor **1000** ist ein Transistor verwendet, der ein anderes Halbleitermaterial als einen Oxidhalbleiter enthält. Als das andere Halbleitermaterial als ein Oxidhalbleiter können z. B. Silicium, Germanium, Silicium-Germanium, Siliciumcarbid, Galliumarsenid oder dergleichen verwendet sein, wobei vorzugsweise ein Einkristallhalbleiter verwendet ist. Alternativ kann ein organisches Halbleitermaterial oder dergleichen verwendet sein. Ein Transistor, der ein solches Halbleitermaterial enthält, kann mit hoher Geschwindigkeit arbeiten. Als der Transistor, der ein anderes Halbleitermaterial als einen Oxidhalbleiter enthält, kann hier z. B. irgendeiner der in den obigen Ausführungsformen beschriebenen Transistoren verwendet sein.

**[0150]** Wie in **Fig. 7B** dargestellt ist, ist alternativ ebenfalls eine Struktur möglich, in der der Kondensator **1020** nicht bereitgestellt ist.

**[0151]** Die Halbleitervorrichtung in **Fig. 7A-1** nutzt eine Eigenschaft, in der das Potential der Gate-Elektrode des Transistors **1000** gehalten werden kann, und kann somit wie folgt Daten schreiben, halten und lesen.

**[0152]** Zunächst werden das Schreiben und das Halten von Daten beschrieben. Zunächst wird das Potential der vierten Verdrahtung auf ein Potential eingestellt, bei dem der Transistor **1010** eingeschaltet wird, sodass der Transistor **1010** eingeschaltet wird. Dementsprechend wird der Gate-Elektrode des Transistors **1000** und dem Kondensator **1020** das Potential der dritten Verdrahtung zugeführt. Das heißt, der Gate-Elektrode des Transistors **1000** (Verdrahtung) wird eine vorgegebene Ladung zugeführt. Hier wird eine von zwei Ladungsarten, die unterschiedliche Potentiale bereitstellen (wobei im Folgenden eine Ladung, die ein tiefes Potential bereitstellt, als Ladung  $Q_L$  bezeichnet ist, und eine Ladung, die ein hohes Potential bereitstellt, als Ladung  $Q_H$  bezeichnet ist), angelegt. Es wird angemerkt, dass drei oder mehr Arten von Ladungen, die unterschiedliche Potentiale bereitstellen, angelegt werden können, um die Speicherkapazität zu verbessern. Danach wird das Potential der vierten Verdrahtung auf ein Potential eingestellt, bei dem der Transistor **1010** ausgeschaltet wird, sodass der Transistor **1010** ausgeschaltet wird. Somit wird die der Gate-Elektrode des Transistors **1000** zugeführte Ladung gehalten (Halten).

**[0153]** Da der Sperrstrom des Transistors **1010** deutlich klein ist, wird die Ladung der Gate-Elektrode des Transistors **1000** für lange Zeit gehalten.

**[0154]** Nachfolgend wird das Lesen von Daten beschrieben. Dadurch, dass der fünften Verdrahtung ein geeignetes Potential (Lesepotential) zugeführt wird, während der ersten Verdrahtung ein vorgegebenes Potential (ein konstantes Potential) zugeführt wird, variiert das Potential der zweiten Verdrahtung je nach Menge der bei der Gate-Elektrode des Transistors **1000** gehaltenen Ladung. Dies ist allgemein so, da eine scheinbare Schwellenspannung  $V_{th\_H}$ , falls der Gate-Elektrode des Transistors **1000**  $Q_H$  zugeführt wird, niedriger als eine scheinbare Schwellenspannung  $V_{th\_L}$ , falls der Gate-Elektrode des Transistors **1000**  $Q_L$  zugeführt wird, ist, wenn der Transistor **1000** ein n-Kanal-Transistor ist. Eine scheinbare Schwellenspannung bezieht sich hier auf das Potential der fünften Verdrahtung, das zum Einschalten des Transistors **1000** notwendig ist. Somit wird das Potential der fünften Verdrahtung auf ein Potential  $V_0$  zwischen  $V_{th\_H}$  und  $V_{th\_L}$  eingestellt, wodurch eine der Gate-Elektrode des Transistors **1000** zugeführte Ladung bestimmt werden kann. Zum Beispiel wird der Transistor **1000** eingeschaltet, falls der Verdrahtung  $Q_H$  zugeführt wird, wenn das Potential der fünften Verdrahtung  $V_0 (> V_{th\_H})$  ist. Falls der Verdrahtung  $Q_L$  zugeführt wird, bleibt der Transistor **1000** ausgeschaltet, selbst wenn das Potential der fünften Verdrahtung  $V_0 (< V_{th\_L})$  ist. Somit können die gehalte-

nen Daten durch Messen des Potentials der zweiten Verdrahtung gelesen werden.

**[0155]** Es wird angemerkt, dass es notwendig ist, dass nur Daten einer gewünschten Speicherzelle gelesen werden können, falls Speicherzellen dafür angeordnet sind, verwendet zu werden. Um Daten einer vorgegebenen Speicherzelle zu lesen und Daten anderer Speicherzellen nicht zu lesen, wird den fünften Verdrahtungen in den Speicherzellen, die kein Ziel für das Lesen sind, ein Potential, bei dem die Transistoren **1000** unabhängig vom Zustand der Gate-Elektroden ausgeschaltet werden, d. h. ein Potential niedriger als  $V_{th\_H}$ , zugeführt, falls die Transistoren **1000** zwischen den Speicherzellen parallelgeschaltet sind. Andererseits wird den fünften Verdrahtungen in den Speicherzellen, die kein Ziel für das Lesen sind, ein Potential, bei dem die Transistoren **1000** unabhängig vom Zustand der Gate-Elektroden eingeschaltet werden, d. h. ein Potential höher als  $V_{th\_L}$ , zugeführt, falls die Transistoren **1000** zwischen den Speicherzellen in Reihe geschaltet sind.

**[0156]** Nachfolgend wird das Neuschreiben von Daten beschrieben. Das Neuschreiben von Daten wird in einer Weise ausgeführt, die ähnlich dem Schreiben und Halten von Daten ist. Das heißt, das Potential der vierten Verdrahtung wird auf ein Potential eingestellt, bei dem der Transistor **1010** eingeschaltet wird, sodass der Transistor **1010** eingeschaltet wird. Dementsprechend wird der Gate-Elektrode des Transistors **1000** und dem Kondensator **1020** das Potential der dritten Verdrahtung (ein Potential für neue Daten) zugeführt. Danach wird das Potential der vierten Verdrahtung auf ein Potential eingestellt, bei dem der Transistor **1010** ausgeschaltet wird, sodass der Transistor **1010** ausgeschaltet wird. Dementsprechend wird der Gate-Elektrode des Transistors **1000** Ladung für neue Daten zugeführt.

**[0157]** In der Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung können Daten durch ein weiteres Schreiben von Daten wie oben beschrieben direkt neu geschrieben werden. Dementsprechend ist die Extraktion von Ladung von einem schwebenden Gate unter Verwendung einer hohen Spannung, die für einen Flash-Speicher oder dergleichen notwendig ist, nicht notwendig, sodass eine Verringerung der Betriebsgeschwindigkeit wegen der Löschoperation unterdrückt werden kann. Mit anderen Worten, es kann ein schneller Betrieb der Halbleitervorrichtung verwirklicht werden.

**[0158]** Es wird angemerkt, dass die Source-Elektrode oder die Drain-Elektrode des Transistors **1010** mit der Gate-Elektrode des Transistors **1000** elektrisch verbunden ist und somit eine ähnliche Funktion wie ein schwebendes Gate eines Transistors mit schwebendem Gate besitzt, der für ein nicht flüchtiges Speicherelement verwendet wird. Somit ist in den Zeich-

nungen ein Abschnitt, bei dem die Source-Elektrode oder die Drain-Elektrode des Transistors **1010** mit der Gate-Elektrode des Transistors **1000** elektrisch verbunden ist, in einigen Fällen ein Abschnitt mit schwebendem Gate FG genannt. Wenn der Transistor **1010** eingeschaltet ist, kann der Abschnitt FG des schwebenden Gates als in einen Isolator eingebettet angesehen werden, sodass die Ladung in dem Abschnitt FG des schwebenden Gates gehalten wird. Der Sperrstrom des Transistors **1010**, der einen Oxidhalbleiter enthält, ist kleiner oder gleich 1/100000 des Sperrstroms eines Transistors, der einen Siliziumhalbleiter oder dergleichen enthält; somit ist der Verlust der in dem Abschnitt FG des schwebenden Gates angesammelten Ladung wegen Leckverlusts des Transistors **1010** vernachlässigbar. Das heißt, mit dem Transistor **1010**, der einen Oxidhalbleiter enthält, kann eine nicht flüchtige Speichervorrichtung, die Daten halten kann, ohne dass ihr Leistung zugeführt wird, verwirklicht werden.

**[0159]** Wenn z. B. der Sperrstrom des Transistors **1010** bei Raumtemperatur 10 zA (1 zA (Zepetoampere) sind  $1 \cdot 10^{-21} \text{ A}$ ) oder kleiner ist und die Kapazität des Kondensators **1020** näherungsweise 10 fF ist, können Daten 10<sup>4</sup> Sekunden oder länger gehalten werden. Natürlich hängt die Haltezeit von Transistor-eigenschaften und von der Kapazität ab.

**[0160]** Ferner gibt es in diesem Fall nicht das Problem der Verschlechterung einer Gate-Isolierlage (Tunnelisolierlage), das ein Problem eines herkömmlichen Transistors mit schwebendem Gate ist. Das heißt, das Problem der Verschlechterung einer Gate-Isolierlage wegen Injektion von Elektronen in ein schwebendes Gate, das ein herkömmliches Problem ist, kann gelöst werden. Das heißt, dass es prinzipiell keinen Grenzwert an die Anzahl von Schreibzyklen gibt. Darüber hinaus ist keine hohe Spannung notwendig, die zum Schreiben oder Löschen in einem herkömmlichen Transistor mit schwebendem Gate notwendig ist.

**[0161]** Wie in **Fig. 7A-2** dargestellt ist, können Komponenten wie etwa Transistoren in der Halbleitervorrichtung in **Fig. 7A-1** in der Weise angesehen werden, dass sie Widerstände und Kondensatoren enthalten. Das heißt, in **Fig. 7A-2** werden der Transistor **1000** und der Kondensator **1020** jeweils in der Weise angesehen, dass sie einen Widerstand und einen Kondensator enthalten. R1 und C1 bezeichnen den Widerstand bzw. die Kapazität des Kondensators **1020**. Der Widerstand **R1** entspricht dem Widerstand der in dem Kondensator **1020** enthaltenen Isolierschicht. R2 und C2 bezeichnen den Widerstand bzw. die Kapazität des Transistors **1000**. Der Widerstand **R2** entspricht dem Widerstand der Gate-Isolierschicht zu dem Zeitpunkt, zu dem der Transistor **1000** eingeschaltet wird. Die Kapazität **C2** entspricht einer sogenannten Gate-Kapazität (der

zwischen der Gate-Elektrode und der Source- oder Drain-Elektrode ausgebildeten Kapazität und der zwischen der Gate-Elektrode und dem Kanalausbildungsgebiet ausgebildeten Kapazität).

**[0162]** Eine Ladungshalteperiode (auch als eine Datenhalteperiode bezeichnet) ist hauptsächlich durch den Sperrstrom des Transistors **1010** unter den Bedingungen, dass der Gate-Leckstrom des Transistors **1010** ausreichend klein ist und  $R_1$  und  $R_2$   $R_1 \geq ROS$  (**R1** ist größer oder gleich  $ROS$ ) und  $R_2 \geq ROS$  (**R2** ist größer oder gleich  $ROS$ ) genügen, bestimmt, wobei  $ROS$  der Widerstand (auch als effektiver Widerstand bezeichnet) zwischen der Source-Elektrode und der Drain-Elektrode in einem Zustand ist, in dem der Transistor **1010** ausgeschaltet ist.

**[0163]** Andererseits ist es schwierig, eine ausreichende Halteperiode sicherzustellen, selbst wenn der Sperrstrom des Transistors **1010** ausreichend klein ist, falls die obigen Bedingungen nicht erfüllt sind. Dies ist so, da der Leckstrom neben dem Sperrstrom des Transistors **1010** (z. B. der zwischen der Source-Elektrode und der Gate-Elektrode erzeugte Leckstrom) hoch ist. Dementsprechend kann gesagt werden, dass die in dieser Ausführungsform offenbare Halbleitervorrichtung vorzugsweise die obigen Beziehungen erfüllt.

**[0164]** Währenddessen ist es erwünscht, dass  $C_1$  und  $C_2$   $C_1 \geq C_2$  ( $C_1$  ist größer oder gleich  $C_2$ ) genügen. Dies ist so, da das Potential der fünften Verdrahtung dem Abschnitt FG des schwebenden Gates effizient zugeführt werden kann und die Differenz zwischen den der fünften Verdrahtung zugeführten Potentialen (z. B. einem Lesepotential und einem Nicht-Lese-Potential) klein gehalten werden kann, falls  $C_1$  größer oder gleich  $C_2$  ist, wenn das Potential des Abschnitts FG des schwebenden Gates durch die fünfte Verdrahtung gesteuert wird.

**[0165]** Wenn die obigen Beziehungen erfüllt sind, kann eine vorteilhaftere Halbleitervorrichtung verwirklicht werden. Es wird angemerkt, dass  $R_1$  und  $R_2$  von der Gate-Isolierschicht des Transistors **1000** und von der Isolierschicht des Kondensators **1020** abhängen. Dieselbe Abhängigkeit betrifft  $C_1$  und  $C_2$ . Somit werden das Material, die Dicke und dergleichen der Gate-Isolierschicht soweit erforderlich vorzugsweise in der Weise eingestellt, dass die obigen Beziehungen erfüllt sind.

**[0166]** In der in dieser Ausführungsform beschriebenen Halbleitervorrichtung hat der Abschnitt FG des schwebenden Gates eine ähnliche Funktion wie ein schwebendes Gate eines Transistors mit schwebendem Gate eines Flash-Speichers oder dergleichen, wobei aber der Abschnitt FG des schwebenden Gates dieser Ausführungsform ein Merkmal aufweist, das sich von dem des schwebenden Gates des

Flash-Speichers oder dergleichen wesentlich unterscheidet. Da im Fall eines Flash-Speichers ein hohes Potential an ein Steuer-Gate angelegt wird, ist es notwendig, eine richtige Entfernung zwischen Zellen zu erhalten, um zu verhindern, dass das Potential des Steuer-Gates ein schwebendes Gate einer angrenzenden Zelle beeinflusst. Dies ist ein Faktor, der die höhere Integration der Halbleitervorrichtung hemmt. Der Faktor ist einem Grundprinzip eines Flash-Speichers zuzuschreiben, in dem durch Anlegen eines hohen elektrischen Felds ein Tunnelstrom erzeugt wird.

**[0167]** Ferner schreitet wegen des obigen Prinzips eines Flash-Speichers eine Verschlechterung einer Isolierlage fort, sodass ein weiteres Problem, das heißt der Grenzwert der Anzahl der Neuschreibvorgänge (näherungsweise  $10^4$ - bis  $10^5$ - mal), auftritt.

**[0168]** Die Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung wird durch Schalten eines Transistors betrieben, der einen Oxidhalbleiter enthält, und verwendet nicht das oben beschriebene Prinzip der Ladungsinjektion durch einen Tunnelstrom. Das heißt, anders als bei einem Flash-Speicher ist kein hohes elektrisches Feld für die Ladungsinjektion notwendig. Dementsprechend ist es nicht notwendig, einen Einfluss eines hohen elektrischen Felds von einem Steuer-Gate auf eine angrenzende Zelle zu betrachten, wobei dies die höhere Integration erleichtert.

**[0169]** Ferner wird keine Ladungsinjektion durch einen Tunnelstrom genutzt, d. h., es gibt keine Ursachen für eine Verschlechterung einer Speicherzelle. Mit anderen Worten, die Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung weist eine höhere Haltbarkeit und Zuverlässigkeit als ein Flash-Speicher auf.

**[0170]** Außerdem ist die Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung gegenüber einem Flash-Speicher auch dahingehend vorteilhaft, dass keine große Spannungserhöhungsschaltung oder dergleichen notwendig ist, da kein hohes elektrisches Feld notwendig ist.

**[0171]** Falls die relative Dielektrizitätskonstante  $\epsilon_r 1$  der in dem Kondensator **1020** enthaltenen Isolierschicht von der relativen Dielektrizitätskonstante  $\epsilon_r 2$  der in dem Transistor **1000** enthaltenen Isolierschicht verschieden ist, ist es leicht,  $C_1 \geq C_2$  ( $C_1$  ist größer oder gleich  $C_2$ ) zu erfüllen, während  $2 \cdot S_2 \geq S_1$  ( $2 \cdot S_2$  ist größer oder gleich  $S_1$ ) erfüllt ist, wobei  $S_2 \geq S_1$  ( $S_2$  ist größer oder gleich  $S_1$ ) erwünscht ist, wobei  $S_1$  die Fläche der in dem Kondensator **1020** enthaltenen Isolierschicht ist und  $S_2$  die Fläche der Isolierschicht, die einen Gate-Kondensator des Transistors **1000** bildet, ist. Mit anderen Worten,  $C_1$  kann leicht größer oder gleich  $C_2$  gemacht werden, während die Fläche der in dem Kondensator **1020** enthal-

tenen Isolierschicht klein ist. Genauer wird für die in dem Kondensator **1020** enthaltene Isolierschicht z. B. eine Lage, die ein Material mit hohem  $k$  wie etwa Hafniumoxid enthält, oder ein Stapel einer Lage, die ein Material mit hohem  $k$  wie etwa Hafniumoxid enthält und einer Lage, die einen Oxidhalbleiter enthält, verwendet, sodass  $\epsilon_r 1$  auf 10 oder mehr, vorzugsweise auf 15 oder mehr, eingestellt werden kann, und wird für die Isolierschicht, die den Gate-Kondensator bildet, Siliciumoxid verwendet wird, sodass  $3 \leq \epsilon_r 2 \leq 4$  ( $\epsilon_r 2$  ist größer oder gleich 3 und kleiner oder gleich 4) ist.

**[0172]** Eine Kombination dieser Strukturen ermöglicht eine noch höhere Integration der Halbleitervorrichtung in Übereinstimmung mit der offenbarten Erfindung.

**[0173]** Es wird angemerkt, dass in der obigen Beschreibung ein n-Transistor (n-Kanal-Transistor) verwendet ist, in dem Elektronen die Majoritätsladungsträger sind; natürlich kann anstelle des n-Transistors ein p-Transistor (p-Kanal-Transistor) verwendet werden, in dem Löcher die Majoritätsladungsträger sind.

**[0174]** Wie oben beschrieben wurde, weist eine Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der offenbarten Erfindung eine nicht flüchtige Speicherzelle auf, die einen Schreibtransistor, bei dem ein Leckstrom (Sperrstrom) zwischen einer Source und einem Drain in einem Sperrzustand klein ist, einen Lesetransistor, der ein von dem Schreibtransistor verschiedenes Halbleitermaterial enthält, und einen Kondensator enthält.

**[0175]** Bei einem normalen Siliciumhalbleiter ist es schwierig, den Leckstrom (den Sperrstrom) bei Umgebungstemperatur (z. B. 25 °C) auf 100 zA ( $1 \cdot 10^{-19}$  A) oder weniger zu verringern, während dieser Wert mit einem Transistor, der einen Oxidhalbleiter enthält, der unter geeigneten Bedingungen verarbeitet worden ist, erzielt werden kann. Somit wird als der Schreibtransistor vorzugsweise ein Transistor verwendet, der einen Oxidhalbleiter enthält.

**[0176]** Außerdem weist ein Transistor, der einen Oxidhalbleiter enthält, einen kleinen Sub-Schwellenwert-Hub (S-Wert) auf, sodass die Schaltgeschwindigkeit selbst dann ausreichend erhöht werden kann, wenn die Mobilität verhältnismäßig niedrig ist. So mit kann unter Verwendung des Transistors als den Schreibtransistor ein Anstieg eines dem Abschnitt FG des schwebenden Gates zugeführten Schreibimpulses sehr scharf gemacht werden. Wegen eines so kleinen Sperrstroms kann ferner die Menge einer Ladung, die in dem Abschnitt FG des schwebenden Gates gehalten werden muss, verringert werden. Das heißt, unter Verwendung eines Transistors, der einen Oxidhalbleiter enthält, als der Schreibtransistor kann

ein Neuschreiben von Daten mit hoher Geschwindigkeit ausgeführt werden.

**[0177]** Es gibt keine Beschränkung des Sperrstroms des Lesetransistors; um die Lesegeschwindigkeit zu erhöhen, ist es erwünscht, einen Transistor zu verwenden, der mit hoher Geschwindigkeit arbeitet. Zum Beispiel wird als der Lesetransistor vorzugsweise ein Transistor mit einer Schaltgeschwindigkeit von 1 Nanosekunde oder weniger verwendet.

**[0178]** Auf diese Weise kann eine Halbleitervorrichtung, die Daten lange Zeit halten kann und die Daten mit hoher Geschwindigkeit lesen kann, erhalten werden, die als eine Speichervorrichtung verwendet werden kann, wenn ein Transistor, der einen Oxidhalbleiter enthält, als ein Schreibtransistor verwendet wird, und ein Transistor, der ein anderes Material als einen Oxidhalbleiter enthält, als ein Lesetransistor verwendet wird.

**[0179]** Darüber hinaus kann unter Verwendung irgendeines der in den obigen Ausführungsformen beschriebenen Transistoren als einen Schreibtransistor der Kurzkanaleffekt des Schreibtransistors unterdrückt werden und eine Miniaturisierung erzielt werden. Dementsprechend kann eine Halbleitervorrichtung, die als eine Speichervorrichtung verwendet werden kann, eine höhere Integration aufweisen.

**[0180]** Soweit erforderlich können die in dieser Ausführungsform beschriebenen Strukturen, Verfahren und dergleichen mit irgendwelchen der in den anderen Ausführungsformen beschriebenen Strukturen, Verfahren und dergleichen kombiniert werden.

(Ausführungsform 4)

**[0181]** In dieser Ausführungsform wird anhand von **Fig. 8A** und **Fig. 8B** und **Fig. 9A bis Fig. 9C** ein Beispiel einer Anwendung einer Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der offenbarten Erfindung beschrieben. Hier ist ein Beispiel einer Speichervorrichtung beschrieben. Es wird angemerkt, dass in einigen im Folgenden erwähnten Stromlaufplänen neben einem Transistor „OS“ geschrieben ist, um anzugeben, dass der Transistor einen Oxidhalbleiter enthält.

**[0182]** **Fig. 8A** und **Fig. 8B** sind Stromlaufpläne von Halbleitervorrichtungen, die als Speichervorrichtungen verwendet werden können, wobei jede mehrere in **Fig. 7A-1** dargestellte Halbleitervorrichtungen (im Folgenden auch als Speicherzellen **1050** bezeichnet) enthält. **Fig. 8A** ist ein Stromlaufplan einer sogenannten NAND-Halbleitervorrichtung, in der die Speicherzellen **1050** in Reihe geschaltet sind, und **Fig. 8B** ist ein Stromlaufplan einer sogenannten NOR-Halbleitervorrichtung, in der die Speicherzellen **1050** parallelgeschaltet sind.

**[0183]** Die Halbleitervorrichtung in **Fig. 8A** enthält eine Source-Leitung SL, eine Bitleitung BL, eine erste Signalleitung S1, m zweite Signalleitungen S2, m Wortleitungen WL und m Speicherzellen **1050**. In **Fig. 8A** sind in der Halbleitervorrichtung eine Source-Leitung SL und eine Bitleitung BL bereitgestellt; allerdings ist eine Ausführungsform der offenbarten Erfindung nicht auf diese Struktur beschränkt. Es können mehrere Source-Leitungen SL und mehrere Bitleitungen BL bereitgestellt sein.

**[0184]** In jeder der Speicherzellen **1050** sind die Gate-Elektrode des Transistors **1000**, die Source-Elektrode oder die Drain-Elektrode des Transistors **1010** und eine Elektrode des Kondensators **1020** elektrisch miteinander verbunden. Die erste Signalleitung S1 und die andere der Source-Elektrode und der Drain-Elektrode des Transistors **1010** sind elektrisch miteinander verbunden und die zweite Signalleitung S2 und die Gate-Elektrode des Transistors **1010** sind elektrisch miteinander verbunden. Die Wortleitung WL und die andere Elektrode des Kondensators **1020** sind elektrisch miteinander verbunden.

**[0185]** Ferner ist die Source-Elektrode des in der Speicherzelle **1050** enthaltenen Transistors **1000** mit der Drain-Elektrode des Transistors **1000** in der angrenzenden Speicherzelle **1050** elektrisch verbunden. Die Drain-Elektrode des in der Speicherzelle **1050** enthaltenen Transistors **1000** ist mit der Source-Elektrode des Transistors **1000** in der angrenzenden Speicherzelle **1050** elektrisch verbunden. Es wird angemerkt, dass die Drain-Elektrode des in der Speicherzelle **1050** enthaltenen Transistors **1000** und ein Ende der mehreren in Reihe geschalteten Speicherzellen mit der Bitleitung BL elektrisch verbunden sind. Die Source-Elektrode des in der Speicherzelle **1050** enthaltenen Transistors **1000** am anderen Ende der mehreren in Reihe geschalteten Speicherzellen ist mit der Source-Leitung SL elektrisch verbunden.

**[0186]** In der Halbleitervorrichtung in **Fig. 8A** werden eine Schreiboperation und eine Leseoperation für jede Zeile ausgeführt. Die Schreiboperation wird wie folgt ausgeführt. Der zweiten Signalleitung S2 einer Zeile, bei der das Schreiben ausgeführt werden soll, wird ein Potential zugeführt, bei dem der Transistor **1010** eingeschaltet wird, sodass der Transistor **1010** der Zeile, bei der das Schreiben ausgeführt werden soll, eingeschaltet wird. Dementsprechend wird der Gate-Elektrode des Transistors **1000** der spezifizierten Zeile ein Potential der ersten Signalleitung S1 zugeführt, sodass an die Gate-Elektrode eine vorgegebene Ladung angelegt wird. Somit können in die Speicherzelle der spezifizierten Zeile Daten geschrieben werden.

**[0187]** Ferner wird die Leseoperation wie folgt ausgeführt. Zunächst wird den Wortleitungen WL der an-

deren Zeilen als der Zeile, bei der das Lesen ausgeführt werden soll, ein Potential zugeführt, bei dem der Transistor **1000** unabhängig von der Ladung seiner Gate-Elektrode eingeschaltet wird, sodass die Transistoren **1000** der anderen Zeilen als der Zeile, bei der das Lesen ausgeführt werden soll, eingeschaltet werden. Daraufhin wird der Wortleitung WL der Zeile, bei der das Lesen ausgeführt werden soll, ein Potential (Lesepotential) zugeführt, bei dem je nach Ladung der Gate-Elektrode des Transistors **1000** ein eingeschalteter Zustand oder ein ausgeschalteter Zustand des Transistors **1000** bestimmt wird. Danach wird der Source-Leitung SL ein konstantes Potential zugeführt, sodass eine mit der Bitleitung BL verbundene Leseschaltung (nicht dargestellt) betrieben wird. Hier werden die mehreren Transistoren **1000** zwischen der Source-Leitung SL und der Bitleitung BL bis auf den Transistor **1000** der Zeile, bei der das Lesen ausgeführt werden soll, eingeschaltet; somit wird die Leitfähigkeit zwischen der Source-Leitung SL und der Bitleitung BL durch den Zustand des Transistors **1000** (je nachdem, ob er ein- oder ausgeschaltet ist) der Zeile, bei der das Lesen ausgeführt werden soll, bestimmt. Da die Leitfähigkeit des Transistors je nach der elektrischen Ladung in der Gate-Elektrode des Transistors **1000** der Zeile, bei der das Lesen ausgeführt werden soll, variiert, variiert ein Potential der Bitleitung BL dementsprechend. Durch Lesen des Potentials der Bitleitung BL mit der Leseschaltung können Daten aus der Speicherzelle der spezifizierten Zeile gelesen werden.

**[0188]** Die Halbleitervorrichtung in **Fig. 8B** enthält n Source-Leitungen SL, n Bitleitungen BL, n erste Signalleitungen S1, m zweite Signalleitungen S2, m Wortleitungen WL und n × m Speicherzellen **1050**. Eine Gate-Elektrode des Transistors **1000**, die Source-Elektrode oder die Drain-Elektrode des Transistors **1010** und eine Elektrode des Kondensators **1020** sind elektrisch miteinander verbunden. Die Source-Leitung SL und die Source-Elektrode des Transistors **1000** sind elektrisch miteinander verbunden. Die Bitleitung BL und die Drain-Elektrode des Transistors **1000** sind elektrisch miteinander verbunden. Die erste Signalleitung S1 und die Andere der Source-Elektrode und der Drain-Elektrode des Transistors **1010** sind elektrisch miteinander verbunden und die zweite Signalleitung S2 und die Gate-Elektrode des Transistors **1010** sind elektrisch miteinander verbunden. Die Wortleitung WL und die andere Elektrode des Kondensators **1020** sind elektrisch miteinander verbunden.

**[0189]** In der Halbleitervorrichtung in **Fig. 8B** werden eine Schreiboperation und eine Leseoperation für jede Zeile ausgeführt. Die Schreiboperation wird auf ähnliche Weise wie die der Halbleitervorrichtung in **Fig. 8A** ausgeführt.

**[0190]** Die Leseoperation wird wie folgt ausgeführt. Zunächst wird den Wortleitungen WL der anderen Zeilen als der Zeile, bei der das Lesen ausgeführt werden soll, ein Potential zugeführt, bei dem der Transistor **1000** unabhängig von der Ladung seiner Gate-Elektrode ausgeschaltet ist, sodass die Transistoren **1000** der anderen Zeilen als der Zeile, bei der das Lesen ausgeführt werden soll, ausgeschaltet werden. Daraufhin wird der Wortleitung WL der Zeile, bei der das Lesen ausgeführt werden soll, ein Potential (Lesepotential) zugeführt, bei dem je nach Ladung der Gate-Elektrode des Transistors **1000** ein eingeschalteter Zustand oder ein ausgeschalteter Zustand des Transistors **1000** bestimmt wird. Danach wird der Source-Leitung SL ein konstantes Potential zugeführt, sodass eine mit der Bitleitung BL verbundene Leseschaltung (nicht dargestellt) betrieben wird. Die Leitfähigkeit zwischen der Source-Leitung SL und der Bitleitung BL wird hier durch den Zustand des Transistors **1000** (je nachdem, ob er eingeschaltet oder ausgeschaltet ist) der Zeile, bei der das Lesen ausgeführt werden soll, bestimmt. Das heißt, ein Potential der Bitleitung BL hängt von der Ladung der Gate-Elektrode des Transistors **1000** der Zeile, bei der das Lesen ausgeführt werden soll, ab. Durch Lesen des Potentials der Bitleitung BL mit der Leseschaltung können Daten von der Speicherzelle der spezifizierten Zeile gelesen werden.

**[0191]** Obwohl die Menge der Daten, die in jeder der Speicherzellen **1050** gespeichert werden können, in der obigen Beschreibung ein Bit ist, ist die Struktur der Halbleitervorrichtung dieser Ausführungsform nicht auf dieses Beispiel beschränkt. Die Menge der Daten, die in jeder der Speicherzellen **1050** gehalten werden, kann durch Vorbereiten dreier oder mehrerer Arten von Potentialen, die der Gate-Elektrode des Transistors **1000** zuzuführen sind, erhöht werden. Zum Beispiel können in jeder der Speicherzellen Daten von zwei Bits gehalten werden, falls der Gate-Elektrode des Transistors **1000** vier Arten von Potentialen zugeführt werden.

**[0192]** Nachfolgend wird anhand von **Fig. 9A** bis **Fig. 9C** ein Beispiel einer Leseschaltung beschrieben, die für die in **Fig. 8A** und **Fig. 8B** dargestellten Halbleitervorrichtungen und dergleichen verwendet werden kann.

**[0193]** **Fig. 9A** veranschaulicht einen Überblick der Leseschaltung. Die Leseschaltung enthält einen Transistor und eine Leseverstärkerschaltung.

**[0194]** Zum Zeitpunkt des Lesens von Daten ist ein Anschluss A mit einer Bitleitung BL verbunden, mit der eine Speicherzelle verbunden ist, von der Daten gelesen werden sollen. Ferner wird an die Gate-Elektrode des Transistors ein Vorspannungspotential  $V_{bias}$  angelegt, sodass ein Potential des Anschlusses A gesteuert wird.

**[0195]** Der Widerstand der Speicherzelle **1050** variiert je nach den gespeicherten Daten. Genauer besitzt die Speicherzelle **1050** einen niedrigen Widerstand, wenn der Transistor **1000** der ausgewählten Speicherzelle **1050** eingeschaltet ist, während die Speicherzelle **1050** einen hohen Widerstand besitzt, wenn der Transistor **1000** der ausgewählten Speicherzelle **1050** ausgeschaltet ist.

**[0196]** Wenn die Speicherzelle einen hohen Widerstand besitzt, ist das Potential des Anschlusses A höher als ein Referenzpotential  $Vref$ , wobei die Leseverstärkerschaltung ein dem Potential des Anschlusses A entsprechendes Potential ausgibt. Andererseits ist das Potential des Anschlusses A niedriger als das Referenzpotential  $Vref$  und gibt die Leseverstärkerschaltung ein dem Potential des Anschlusses A entsprechendes Potential aus, wenn die Speicherzelle einen niedrigen Widerstand besitzt.

**[0197]** Auf diese Weise können unter Verwendung der Leseschaltung Daten aus der Speicherzelle gelesen werden. Es wird angemerkt, dass die Leseschaltung dieser Ausführungsform ein Beispiel ist. Es kann eine andere Schaltung verwendet werden. Ferner kann die Leseschaltung eine Vorladeschaltung enthalten. Anstelle des Referenzpotentials  $Vref$  kann mit der Leseverstärkerschaltung eine Referenzbitleitung verbunden sein.

**[0198]** **Fig. 9B** veranschaulicht einen Differenzleseverstärker, der ein Beispiel für Leseverstärkerschaltungen ist. Der Differenzleseverstärker weist Eingangsanschlüsse  $Vin(+)$  und  $Vin(-)$  und einen Ausgangsanschluss  $Vout$  auf und verstärkt eine Differenz zwischen einem Potential  $Vin(+)$  und einem Potential  $Vin(-)$ . Falls das Potential  $Vin(+)$  höher als das Potential  $Vin(-)$  ist, ist die Ausgabe von  $Vout$  verhältnismäßig hoch, während die Ausgabe von  $Vout$  verhältnismäßig niedrig ist, falls das Potential  $Vin(+)$  niedriger als das Potential  $Vin(-)$  ist. Falls der Differenzleseverstärker für die Leseschaltung verwendet ist, ist einer der Eingangsanschlüsse  $Vin(+)$  und  $Vin(-)$  mit dem Anschluss A verbunden und wird dem Anderen der Eingangsanschlüsse  $Vin(+)$  und  $Vin(-)$  das Referenzpotential  $Vref$  zugeführt.

**[0199]** **Fig. 9C** veranschaulicht einen Zwischenspeicher-Leseverstärker, der ein Beispiel für Leseverstärkerschaltungen ist. Der Zwischenspeicher-Leseverstärker weist Eingangs/Ausgangs-Anschlüsse  $V1$  und  $V2$  und Eingangsanschlüsse für Steuersignale  $Sp$  und  $Sn$  auf. Zunächst wird das Signal  $Sp$  hoch eingestellt und wird das Signal  $Sn$  tief eingestellt und wird ein Leistungsversorgungspotential ( $Vdd$ ) unterbrochen. Daraufhin werden die zu vergleichenden Potentiale  $V1$  und  $V2$  zugeführt. Danach wird das Signal  $Sp$  tief eingestellt und wird das Signal  $Sn$  hoch eingestellt und wird das Leistungsversorgungspotential ( $Vdd$ ) zugeführt. Falls die zu vergleichenden Po-

tentiale  $V_{lin}$  und  $V_{2in}$ .  $V_{lin} > V_{2in}$  genügen, ist die Ausgabe von  $V_1$  hoch und ist die Ausgabe von  $V_2$  tief, während die Ausgabe von  $V_1$  tief ist und die Ausgabe von  $V_2$  hoch ist, falls die Potentiale  $V_{lin} < V_{2in}$  genügen. Unter Nutzung einer solchen Beziehung kann die Differenz zwischen  $V_{lin}$  und  $V_{2in}$  verstärkt werden. Falls für die Leseschaltung der Zwischenverstärkerleseverstärker verwendet ist, ist  $V_1$  oder  $V_2$  über einen Schalter mit dem Anschluss A und mit einem Ausgangsanschluss verbunden und wird dem Andenken von  $V_1$  und  $V_2$  das Referenzpotential  $V_{ref}$  zugeführt.

**[0200]** Unter Verwendung irgendeines der in den obigen Ausführungsformen beschriebenen Transistoren als ein Schreibtransistor einer Speicherzelle in der oben beschriebenen Halbleitervorrichtung, die als eine Speichervorrichtung verwendet werden kann, kann der Kurzkanaleffekt des Schreibtransistors unterdrückt werden und kann eine Miniaturisierung erzielt werden. Dementsprechend kann die Halbleitervorrichtung, die als eine Speichervorrichtung verwendet werden kann, eine höhere Integration aufweisen.

**[0201]** Soweit erforderlich können die in dieser Ausführungsform beschriebenen Strukturen, Verfahren und dergleichen mit irgendwelchen der in den anderen Ausführungsformen beschriebenen Strukturen, Verfahren und dergleichen kombiniert werden.

(Ausführungsform 5)

**[0202]** In dieser Ausführungsform wird anhand von **Fig. 10** ein Beispiel der Anwendung einer Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der offenbarten Erfindung beschrieben. Hier ist eine Zentraleinheit (CPU) beschrieben.

**[0203]** **Fig. 10** veranschaulicht ein Beispiel eines Blockschaltplans einer CPU. Eine in **Fig. 10** dargestellte CPU **1101** enthält eine Taktregelungsschaltung **1102**, einen Befehlsdecoder **1103**, eine Registeranordnung **1104**, eine Adressenlogik- und -pufferschaltung **1105**, eine Datenbusschnittstelle **1106**, eine Arithmetik-Logik-Einheit (ALU) **1107**, ein Befehlsregister **1108** und dergleichen.

**[0204]** Diese Schaltungen sind unter Verwendung irgendwelcher der in den obigen Ausführungsformen beschriebenen Transistoren, einer Inverterschaltung, eines Widerstands, eines Kondensators und dergleichen hergestellt. Da die in den obigen Ausführungsformen beschriebenen Transistoren einen äußerst kleinen Sperrstrom erzielen können, kann eine Verkürzung des Leistungsverbrauchs der CPU **1101** verwirklicht werden. Darüber hinaus kann unter Verwendung irgendwelcher der in den obigen Ausführungsformen beschriebenen Transistoren der Kurz-

kanaleffekt des Transistors unterdrückt werden und eine Miniaturisierung erzielt werden.

**[0205]** Im Folgenden werden kurz die in der CPU **1101** enthaltenen Schaltungen beschrieben. Die Taktregelungsschaltung **1102** empfängt Befehle von außen, setzt die Befehle in Informationen für innen um und sendet die Informationen an einen anderen Block. Außerdem gibt die Taktregelungsschaltung **1102** in Übereinstimmung mit dem internen Betrieb Befehle wie etwa Lesen und Schreiben von Speicherdaten nach außen. Der Befehlsdecoder **1103** fungiert so, dass er Befehle von außen in Befehle für das Innere umsetzt. Die Registeranordnung **1104** fungiert zum vorübergehenden Speichern von Daten. Die Adressenlogik- und -pufferschaltung **1105** fungiert zum Spezifizieren der Adresse eines externen Speichers. Die Datenbusschnittstelle **1106** fungiert zur Datenein- und -ausgabe eines externen Speichers oder einer Vorrichtung wie etwa eines Druckers. Die ALU **1107** fungiert zum Ausführen einer Operation. Das Befehlsregister **1108** fungiert zum vorübergehenden Speichern von Befehlen. Die CPU enthält eine solche Kombination von Schaltungen.

**[0206]** Unter Verwendung irgendeines der in den obigen Ausführungsformen beschriebenen Transistoren wenigstens in einem Teil der CPU **1101** kann der Kurzkanaleffekt des Transistors unterdrückt werden und kann eine Miniaturisierung erzielt werden. Somit kann die CPU **1101** eine höhere Integration aufweisen.

**[0207]** Soweit erforderlich können die in dieser Ausführungsform beschriebenen Strukturen, Verfahren und dergleichen mit irgendwelchen der in den anderen Ausführungsformen beschriebenen Strukturen, Verfahren und dergleichen kombiniert werden.

(Ausführungsform 6)

**[0208]** In dieser Ausführungsform wird anhand von **Fig. 11A** und **Fig. 11B** ein Beispiel der Anwendung einer Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der offenbarten Erfindung beschrieben. Es wird hier ein Beispiel einer Halbleitervorrichtung mit einer Bildsensorfunktion zum Lesen von Informationen eines Objekts beschrieben. Es wird angemerkt, dass in einigen Stromlaufplänen neben einem Transistor „OS“ geschrieben ist, um anzugeben, dass der Transistor einen Oxidhalbleiter enthält.

**[0209]** **Fig. 11A** veranschaulicht ein Beispiel einer Halbleitervorrichtung mit einer Bildsensorfunktion. **Fig. 11A** ist äquivalent einem Stromlaufplan eines Photodetektors und **Fig. 11B** ist eine Querschnittsansicht eines Teils des Photodetektors.

**[0210]** Eine Elektrode einer Photodiode **1202** ist mit einer Photodioden-Rücksetzsignalleitung **1212** elektrisch verbunden und die andere Elektrode der Photodiode **1202** ist mit einer Gate-Elektrode eines Transistors **1204** elektrisch verbunden. Eine Source-Elektrode oder eine Drain-Elektrode des Transistors **1204** ist mit einer Photodetektor-Referenzsignalleitung **1218** elektrisch verbunden und die Andere der Source-Elektrode und der Drain-Elektrode des Transistors **1204** ist mit einer Source-Elektrode oder mit einer Drain-Elektrode eines Transistors **1206** elektrisch verbunden. Eine Gate-Elektrode des Transistors **1206** ist mit einer Gate-Signalleitung **1214** elektrisch verbunden und die Andere der Source-Elektrode und der Drain-Elektrode des Transistors **1206** ist mit einer Photodetektor-Ausgangssignalleitung **1216** elektrisch verbunden.

**[0211]** Als der Transistor **1204** und als der Transistor **1206**, die in **Fig. 11A** dargestellt sind, sind hier Transistoren, die einen Oxidhalbleiter enthalten, verwendet. Als die Transistoren, die einen Oxidhalbleiter enthalten, können hier irgendwelche der in den obigen Ausführungsformen beschriebenen Transistoren verwendet werden. Da die in den obigen Ausführungsformen beschriebenen Transistoren in einem ausgeschalteten Zustand einen äußerst kleinen Leckstrom erzielen können, kann die Photodetektierungsgenauigkeit des Photodetektors verbessert werden. Darüber hinaus kann unter Verwendung irgendwelcher der in den obigen Ausführungsformen beschriebenen Transistoren die Kurzkanalwirkung des Transistors unterdrückt werden und eine Miniaturisierung erzielt werden. Somit kann die Fläche der Photodiode erhöht werden und kann die Photodetektierungsgenauigkeit des Photodetektors verbessert werden.

**[0212]** **Fig. 11B** ist eine Querschnittsansicht, die die Photodiode **1202** und den Transistor **1204** in dem Photodetektor darstellt. Die Photodiode **1202**, die als ein Sensor fungiert, und der Transistor **1204** sind über einem Substrat **1222** mit einer isolierenden Oberfläche (einem TFT-Substrat) bereitgestellt. Über der Photodiode **1202** und dem Transistor **1204** ist unter Verwendung einer Haftschicht **1228** ein Substrat **1224** bereitgestellt. Über dem Transistor **1204** sind eine Isolierschicht **1234**, eine Zwischenschicht-Isolierschicht **1236** und eine Zwischenschicht-Isolierschicht **1238** bereitgestellt.

**[0213]** Eine Gate-Elektrodenschicht **1240** ist in derselben Schicht wie die Gate-Elektrode des Transistors **1204** bereitgestellt, damit sie mit der Gate-Elektrode elektrisch verbunden ist. Die Gate-Elektrodenschicht **1240** ist über eine in der Isolierschicht **1234** und in der Zwischenschicht-Isolierschicht **1236** ausgebildete Öffnung mit einer über der Zwischenschicht-Isolierschicht **1236** bereitgestellten Elektrodenschicht **1242** elektrisch verbunden. Da die Photodiode **1202** über der Elektrodenschicht **1242** ausge-

bildet ist, sind die Photodiode **1202** und der Transistor **1204** über die Gate-Elektrodenschicht **1240** und die Elektrodenschicht **1242** elektrisch miteinander verbunden.

**[0214]** Die Photodiode **1202** weist eine Struktur auf, in der eine erste Halbleiterschicht **1226a**, eine zweite Halbleiterschicht **1226b** und eine dritte Halbleiterschicht **1226c** in dieser Reihenfolge über der Elektrodenschicht **1242** gestapelt sind. Mit anderen Worten, die erste Halbleiterschicht **1226a** der Photodiode **1202** ist mit der Elektrodenschicht **1242** elektrisch verbunden. Die dritte Halbleiterschicht **1226c** der Photodiode **1202** ist mit einer über der Zwischenschicht-Isolierschicht **1238** bereitgestellten Elektrodenschicht **1244** elektrisch verbunden.

**[0215]** Als Beispiel ist hier eine PIN-Photodiode gegeben, in der eine Halbleiterschicht mit n-Leitfähigkeit als die erste Halbleiterschicht **1226a**, eine Halbleiterschicht mit hohem Widerstand (eine i-Halbleiterschicht) als die zweite Halbleiterschicht **1226b** und eine Halbleiterschicht mit einer p-Leitfähigkeit als die dritte Halbleiterschicht **1226c** gestapelt sind.

**[0216]** Die erste Halbleiterschicht **1226a** ist eine n-Halbleiterschicht und ist mit einer amorphen Siliciumlage ausgebildet, die ein Störstellenelement enthält, das eine n-Leitfähigkeit erteilt. Die erste Halbleiterschicht **1226a** wird unter Verwendung eines Halbleiterquellgases, das ein Störstellenelement (wie etwa Phosphor (P)) enthält, das zur Gruppe 15 gehört, durch ein Plasma-CVD-Verfahren ausgebildet. Als das Halbleiterquellgas kann Silan ( $\text{SiH}_4$ ) verwendet werden. Alternativ können Disilan ( $\text{S}_{12}\text{H}_6$ ), Dichlorsilan ( $\text{SiH}_2\text{Cl}_2$ ), Trichlorsilan ( $\text{SiHCl}_3$ ), Silicium-tetrachlorid ( $\text{SiCl}_4$ ), Siliciumtetrafluorid ( $\text{SiF}_4$ ) oder dergleichen verwendet werden. Alternativ kann eine amorphe Siliciumlage ausgebildet werden, die kein Störstellenelement enthält, und daraufhin in die amorphe Siliciumlage durch ein Diffusionsverfahren oder durch ein Ionimplantationsverfahren ein Störstellenelement eingeführt werden. Nachdem das Störstellenelement durch ein Ionimplantationsverfahren oder dergleichen eingeführt worden ist, kann ein Erwärmen oder dergleichen durchgeführt werden, um das Störstellenelement diffundieren zu lassen. In diesem Fall kann als ein Verfahren zum Ausbilden der amorphen Siliciumlage ein LPCVD-Verfahren, ein Aufdampfverfahren, ein Zerstäubungsverfahren oder dergleichen verwendet werden. Vorzugsweise wird die erste Halbleiterschicht **1226a** in der Weise ausgebildet, dass sie eine Dicke von 20 nm bis 200 nm aufweist.

**[0217]** Die zweite Halbleiterschicht **1226b** ist eine i-Halbleiterschicht (eine Eigenhalbleiterschicht) und wird mit einer amorphen Siliciumlage ausgebildet. Als die zweite Halbleiterschicht **1226b** wird durch ein Plasma-CVD-Verfahren unter Verwendung ei-

nes Halbleiterquellgases eine amorphe Siliciumlage ausgebildet. Als das Halbleiterquellgas kann Silan ( $\text{SiH}_4$ ) verwendet werden. Alternativ können  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  oder dergleichen verwendet werden. Alternativ kann die zweite Halbleiterschicht **1226b** durch ein LPCVD-Verfahren, durch ein Aufdampfverfahren, durch ein Zerstäubungsverfahren oder dergleichen ausgebildet werden. Vorzugsweise wird die zweite Halbleiterschicht **1226b** in der Weise ausgebildet, dass sie eine Dicke von 200 nm bis 1000 nm aufweist.

**[0218]** Die dritte Halbleiterschicht **1226c** ist eine p-Halbleiterschicht und wird mit einer amorphen Siliciumlage ausgebildet, die ein Störstellenelement enthält, das eine p-Leitfähigkeit verleiht. Die dritte Halbleiterschicht **1226c** wird unter Verwendung eines Halbleiterquellgases, das ein Störstellenelement (wie etwa Bor (B)) enthält, das zur Gruppe 13 gehört, durch ein Plasma-CVD-Verfahren ausgebildet. Als das Halbleiterquellgas kann Silan ( $\text{SiH}_4$ ) verwendet werden. Alternativ können  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  oder dergleichen verwendet werden. Alternativ kann eine amorphe Siliciumlage ausgebildet werden, die kein Störstellenelement enthält, und kann daraufhin in die amorphe Siliciumlage durch ein Diffusionsverfahren oder durch ein Ionenimplantationsverfahren ein Störstellenelement eingeführt werden. Nachdem das Störstellenelement durch ein Ionenimplantationsverfahren oder dergleichen eingeführt worden ist, kann ein Erwärmen oder dergleichen ausgeführt werden, um das Störstellenelement diffundieren zu lassen. In diesem Fall können als ein Verfahren zum Ausbilden der amorphen Siliciumlage ein LPCVD-Verfahren, ein Aufdampfverfahren, ein Zerstäubungsverfahren oder dergleichen verwendet werden. Die dritte Halbleiterschicht **1226c** wird vorzugsweise in der Weise ausgebildet, dass sie eine Dicke von 10 nm bis 50 nm aufweist.

**[0219]** Die erste Halbleiterschicht **1226a**, die zweite Halbleiterschicht **1226b** und die dritte Halbleiterschicht **1226c** werden nicht notwendig unter Verwendung eines amorphen Halbleiters ausgebildet und können unter Verwendung eines polykristallinen Halbleiters oder eines mikrokristallinen Halbleiters (oder eines semiamorphen Halbleiters (SAS)) ausgebildet werden.

**[0220]** Der mikrokristalline Halbleiter gehört zu einem metastabilen Zustand, der in Übereinstimmung mit der freien Enthalpie ein Zwischenzustand zwischen einem amorphen Zustand und einem einkristallinen Zustand ist. Das heißt, der mikrokristalline Halbleiter ist ein Halbleiter mit einem dritten Zustand, der thermodynamisch stabil ist und eine kurzreichweitige Ordnung und eine Gitterstörung aufweist. In dem mikrokristallinen Halbleiter wachsen säulen- oder nadelartige Kristalle in einer Normalenrichtung in Bezug auf eine Oberfläche eines Substrats. Das

Raman-Spektrum von mikrokristallinem Silicium, das ein typisches Beispiel des mikrokristallinen Halbleiters ist, ist zu einem Gebiet kleinerer Wellenzahlen als  $520 \text{ cm}^{-1}$ , das einkristallines Silicium repräsentiert, verschoben. Das heißt, die Spitze des Raman-Spektrums des mikrokristallinen Siliciums existiert zwischen  $520 \text{ cm}^{-1}$ , was einkristallines Silicium repräsentiert, und  $480 \text{ cm}^{-1}$ , was amorphes Silicium repräsentiert. Der mikrokristalline Halbleiter enthält wenigstens 1 At.-% Wasserstoff oder Halogen, um eine freie Bindung abzuschließen. Darüber hinaus kann ein Edelgaselement wie etwa Helium, Argon, Krypton oder Neon enthalten sein, um die Gitterstörung weiter zu fördern, sodass eine vorteilhafte mikrokristalline Halbleiterlage mit verbesserter Stabilität erhalten werden kann.

**[0221]** Diese mikrokristalline Halbleiterlage kann durch ein Hochfrequenzplasma-CVD-Verfahren mit einer Frequenz von mehreren zehn bis mehreren einhundert Megahertz oder mit einem Mikrowellenplasma-CVD-Verfahren mit einer Frequenz von 1 GHz oder mehr ausgebildet werden. Üblicherweise kann die mikrokristalline Halbleiterlage unter Verwendung eines Gases ausgebildet werden, das durch Verdünnen eines Gases, das Silicium enthält, wie etwa  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$  oder  $\text{SiF}_4$ , mit Wasserstoff erhalten wird. Alternativ kann die mikrokristalline Halbleiterlage unter Verwendung eines Gases, das Silicium enthält, das mit Wasserstoff verdünnt ist, und einer oder mehrerer Edelgaselemente, die aus Helium, Argon, Krypton und Neon ausgewählt werden, ausgebildet werden. In diesem Fall wird der Durchfluss von Wasserstoff 5-mal bis 200-mal, vorzugsweise 50-mal bis 150-mal, bevorzugter 100-mal so hoch wie der eines Gases, das Silicium enthält, eingestellt. Darüber hinaus kann ein Gas, das Silicium enthält, mit einem Kohlenwasserstoffgas wie etwa  $\text{CH}_4$  oder  $\text{C}_2\text{H}_6$ , mit einem Gas, das ein Germaniumgas enthält, wie etwa  $\text{GeH}_4$  oder  $\text{GeF}_4$ , mit  $\text{F}_2$  oder dergleichen gemischt werden.

**[0222]** Die Mobilität von Löchern, die durch den photoelektrischen Effekt erzeugt werden, ist niedriger als die Mobilität von Elektronen. Darüber hinaus weist eine PIN-Photodiode bessere Eigenschaften auf, wenn eine Oberfläche auf der Seite der p-Halbleiterschicht als eine Lichtempfangsebene verwendet wird. Hier wird ein Beispiel beschrieben, bei dem die Photodiode **1202** von der Seite des Substrats **1224** einfallendes Licht **1230** empfängt und es in elektrische Signale umsetzt. Ferner ist Licht von einer Seite, auf der die Halbleiterschicht einen Leitungstyp aufweist, der dem der Halbleiterschicht auf der Seite der Lichtempfangsebene entgegengesetzt ist, Störungslicht; somit wird vorzugsweise die Elektrodenschicht **1242** unter Verwendung einer lichtundurchlässigen leitenden Lage ausgebildet. Es wird angemerkt, dass alternativ die Seite der n-Halbleiterschicht eine Lichtempfangsebene sein kann.

**[0223]** Wenn das einfallende Licht **1230** von der Seite des Substrats **1224** eintritt, kann die Oxidhalbleiter-schicht des Transistors **1204** durch die Gate-Elektrode des Transistors **1204** vor dem einfallenden Licht **1230** abgeschirmt werden.

**[0224]** Die Isolierschicht **1234**, die Zwischenschicht-Isolierschicht **1236** und die Zwischenschicht-Isolierschicht **1238** können je nach dem Material unter Verwendung eines Isoliermaterials durch ein Verfahren wie etwa ein Zerstäubungsverfahren, ein SOG-Verfahren, ein Schleuderbeschichtungsverfahren, ein Tauchbeschichtungsverfahren, ein Sprühbeschichtungsverfahren, ein Siebdruckverfahren, ein Offsetdruckverfahren oder ein Tröpfchenausstoßverfahren (z. B. ein Tintenstrahlverfahren) ausgebildet werden.

**[0225]** Die Isolierschicht **1234** kann eine Einzelschicht sein oder können gestapelte Schichten eines anorganischen Isoliermaterials mit irgendwelchen Oxidisolierschichten oder Nitridisolierschichten wie etwa einer Siliciumoxidschicht, einer Siliciumoxynitridschicht, einer Siliciumnitridschicht, einer Siliciumnitridoxidschicht, einer Aluminiumoxidschicht, einer Aluminiumoxynitridschicht, einer Aluminiumnitridschicht oder einer Aluminiumnitridoxidschicht sein. Außerdem kann durch ein Verfahren eines hochdichten Plasmas (CVD-Verfahren) unter Verwendung von Mikrowellen (2,45 GHz), was bevorzugt ist, eine hochwertige Isolierschicht ausgebildet werden, die dicht ist und die eine hohe Spannungsfestigkeit aufweist.

**[0226]** Für eine Verringerung der Oberflächenrauheit wird als die Zwischenschicht-Isolierschichten **1236** und **1238** vorzugsweise eine Isolierschicht verwendet, die als eine Planarisierung isolierlage fungiert. Die Zwischenschicht-Isolierschichten **1236** und **1238** können unter Verwendung eines organischen Isoliermaterials mit Wärmebeständigkeit wie etwa Polyimid, einem Acrylharz, einem Harz auf der Grundlage von Benzocyclobuten, einem Polyamid oder einem Oxidharz ausgebildet werden. Außer solchen organischen Isoliermaterialien ist es möglich, eine einzelne Schicht oder gestapelte Schichten eines Materials mit niedriger Dielektrizitätskonstante (eines Materials mit niedrigem  $k$ ), ein Harz auf Siloxangrundlage, Phosphorglas (PSG), Borphosphorglas (BPSG) oder dergleichen zu verwenden.

**[0227]** Die Photodiode **1202** kann durch Detektieren des einfallenden Lichts **1230** Informationen eines Objekts lesen. Es wird angemerkt, dass zur Zeit des Lesens von Informationen eines Objekts eine Lichtquelle wie etwa eine Hintergrundbeleuchtung verwendet werden kann.

**[0228]** In dem oben beschriebenen Photodetektor können als der Transistor, der einen Oxidhalbleiter enthält, irgendwelche der in den obigen Ausführungs-

formen beschriebenen Transistoren verwendet werden. Da die in den obigen Ausführungsformen beschriebenen Transistoren in einem ausgeschalteten Zustand einen äußerst kleinen Leckstrom erzielen können, kann die Photodetektierungsgenauigkeit des Photodetektors verbessert werden. Darüber hinaus kann unter Verwendung irgendwelcher der in den obigen Ausführungsformen beschriebenen Transistoren der Kurzkanaleffekt des Transistors unterdrückt werden und eine Miniaturisierung erzielt werden. Somit kann die Fläche der Photodiode erhöht werden und kann die Photodetektierungsgenauigkeit des Photodetektors verbessert werden.

**[0229]** Soweit erforderlich können die in dieser Ausführungsform beschriebenen Strukturen, Verfahren und dergleichen mit irgendwelchen der in den anderen Ausführungsformen beschriebenen Strukturen, Verfahren und dergleichen kombiniert werden.

(Ausführungsform 7)

**[0230]** In dieser Ausführungsform werden anhand von **Fig. 12A** bis **Fig. 12F** die Fälle beschrieben, in denen irgendwelche der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen auf elektronische Vorrichtungen angewendet werden. In dieser Ausführungsform sind die Fälle beschrieben, in denen irgendwelche der oben beschriebenen Halbleitervorrichtungen auf elektronische Vorrichtungen wie etwa einen Computer, ein Mobiltelephongerät (auch als ein Mobiltelephon oder als eine Mobiltelephonvorrichtung bezeichnet), ein tragbares Informationssendgerät (einschließlich einer tragbaren Spielemaschine, einer Audiowiedergabevorrichtung und dergleichen), eine Digitalkamera, eine digitale Videokamera, elektronisches Papier, ein Fernsehgerät (auch als Fernsehapparat oder Fernsehempfänger bezeichnet) und dergleichen angewendet werden.

**[0231]** **Fig. 12A** veranschaulicht einen Notebook-Personal-Computer, der ein Gehäuse **701**, ein Gehäuse **702**, einen Anzeigeabschnitt **703**, eine Tastatur **704** und dergleichen enthält. Wenigstens eines der Gehäuse **701** und **702** ist mit irgendeiner der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen versehen. Somit kann z. B. ein Notebook-Personal-Computer verwirklicht werden, der mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht.

**[0232]** **Fig. 12B** veranschaulicht ein tragbares Informationssendgerät (PDA). Ein Hauptkörper **711** ist mit einem Anzeigeabschnitt **713**, mit einer externen Schnittstelle **715**, mit Bedienknöpfen **714** und dergleichen versehen. Ferner ist ein Eingabestift **712** für den Betrieb des tragbaren Informationssendgeräts oder dergleichen bereitgestellt. Der Hauptkörper **711** ist mit irgendeiner der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen ver-

hen. Somit kann z. B. ein tragbares Informationsendgerät verwirklicht werden, das mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht.

**[0233]** Fig. 12C veranschaulicht ein elektronisches Buch 720, das elektronisches Papier enthält, das zwei Gehäuse, ein Gehäuse 721 und ein Gehäuse 723, enthält. Das Gehäuse 721 und das Gehäuse 723 enthalten einen Anzeigeabschnitt 725 bzw. einen Anzeigeabschnitt 727. Das Gehäuse 721 ist durch ein Scharnier 737 in der Weise mit dem Gehäuse 723 verbunden, dass das elektronische Buch 720 unter Verwendung des Scharniers 737 als eine Achse geöffnet und geschlossen werden kann. Außerdem ist das Gehäuse 721 mit einem Leistungsschalter 731, mit Bedientasten 733, mit einem Lautsprecher 735 und dergleichen versehen. Wenigstens eines der Gehäuse 721 und 723 ist mit irgendeiner der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen versehen. Somit kann z. B. ein elektronisches Buch verwirklicht werden, das mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht.

**[0234]** Fig. 12D veranschaulicht ein Mobiltelefongerät, das zwei Gehäuse, ein Gehäuse 740 und ein Gehäuse 741, enthält. Die Gehäuse 740 und 741 können in einem Zustand, in dem sie wie in Fig. 12D dargestellt entwickelt sind, so übereinander geschoben werden, dass sich eines mit dem anderen überlappt. Somit kann die Größe des Mobiltelephongeräts verringert werden, was das Mobiltelephongerät dafür geeignet macht, getragen zu werden. Das Gehäuse 741 enthält einen Anzeigebildschirm 742, einen Lautsprecher 743, ein Mikrofon 744, ein Berührungsfeld 745, eine Zeigevorrichtung 746, eine Kameralinse 747, einen Anschluss 748 für externe Verbindung und dergleichen. Das Gehäuse 740 enthält eine Solarzelle 749 zum Laden des Mobiltelephongeräts, einen Einschub 750 für externen Speicher und dergleichen. In dem Gehäuse 741 ist eine Antenne enthalten. Wenigstens eines der Gehäuse 740 und 741 ist mit irgendeiner der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen versehen. Somit kann z. B. ein Mobiltelephongerät verwirklicht werden, das mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht.

**[0235]** Fig. 12E veranschaulicht eine Digitalkamera, die einen Hauptkörper 761, einen Anzeigeabschnitt 767, ein Sucherokular 763, einen Bedienschalter 764, einen Anzeigeabschnitt 765, eine Batterie 766 und dergleichen enthält. Der Hauptkörper 761 ist mit irgendeiner der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen versehen. Somit kann z. B. eine Digitalkamera verwirklicht werden, die mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht.

**[0236]** Fig. 12F ist ein Fernsehgerät 770, das ein Gehäuse 771, einen Anzeigeabschnitt 773, einen Fuß 775 und dergleichen enthält. Das Fernsehgerät 770 kann mit einem in dem Gehäuse 771 enthaltenen Schalter oder mit einer Fernbedienung 780 bedient werden. Das Gehäuse 771 und die Fernbedienung 780 sind mit irgendeiner der in den obigen Ausführungsformen beschriebenen Halbleitervorrichtungen versehen. Somit kann z. B. ein Fernsehgerät verwirklicht werden, das mit hoher Geschwindigkeit arbeitet und weniger Leistung verbraucht.

**[0237]** Wie oben beschrieben wurde, enthalten die in dieser Ausführungsform beschriebenen elektronischen Vorrichtungen jeweils irgendeine der Halbleitervorrichtungen in Übereinstimmung mit den obigen Ausführungsformen. Somit kann durch Miniaturisierung der Halbleitervorrichtung eine elektronische Vorrichtung erhalten werden, deren Betriebsgeschwindigkeit erhöht ist und deren Leistungsverbrauch verringert ist.

[Beispiel 1]

**[0238]** In diesem Beispiel werden Ergebnisse der Untersuchung durch Rechensimulation der Wirkung der offenbarten Erfindung hinsichtlich Unterdrückung eines Kurzkanaleffekts beschrieben. Es wird angemerkt, dass die Berechnungen (eine erste Berechnung und eine zweite Berechnung) unter Verwendung eines von der Silvaco Data Systems, Inc., hergestellten Vorrichtungssimulators „Atlas“ ausgeführt wurden.

**[0239]** Die erste Berechnung wurde unter Verwendung der in Fig. 13A und Fig. 13B dargestellten Modelle ausgeführt. Fig. 13A veranschaulicht einen Transistor mit einer Struktur, in der es in Übereinstimmung mit einer Ausführungsform der offenbarten Erfindung zwischen einer oberen Oberfläche einer Isolierschicht und einer oberen Oberfläche einer Source-Elektrode und einer Drain-Elektrode eine kleine Höhendifferenz gibt (im Folgenden Struktur A). Fig. 13B veranschaulicht als ein Vergleichsbeispiel einen Transistor mit einer Struktur, in der es keine Höhendifferenz gibt (im Folgenden Struktur B). Es wird angemerkt, dass als Struktur A der Einfachheit der Berechnung halber eine Struktur genutzt wird, in der eine Isolierschicht 143b eine Source-Elektrode 142a und eine Drain-Elektrode 142b wie in Fig. 13A dargestellt nicht bedeckt; zwischen der Struktur und einer Struktur, in der die Isolierschicht 143b die Source-Elektrode 142a und die Drain-Elektrode 142b bedeckt, besteht nicht viel Rechenunterschied.

**[0240]** In der Berechnung waren der Neigungswinkel  $\theta$  einer Seitenfläche eines Gebiets, wo die Höhendifferenz hergestellt ist (im Folgenden als ein vorstehendes Gebiet bezeichnet), und die Höhe  $h$  des vorstehenden Gebiets Variable. Es wird angemerkt,

dass Komponenten, die in **Fig. 13A** und **Fig. 13B** mit Bezugszeichen bezeichnet sind, denjenigen Komponenten entsprechen, die in der obigen Ausführungsform mit denselben Bezugszeichen bezeichnet und beschrieben sind. Außerdem enthalten die Rechenmodelle dieses Beispiels einige Komponenten wie etwa die Isolierschicht **150** nicht, wobei dies das Ergebnis der Berechnung aber nicht beeinflusst.

**[0241]** Weitere für die Berechnung verwendete Parameter sind wie folgt.

- Dicke der Oxidhalbleiterschicht: 10 nm
- Material der Oxidhalbleiterschicht: ein Metall-oxid auf der Grundlage von In-Ga-Zn-O (Bandlücke Eg: 3,15 eV, Elektronenaffinität (x): 4,3 eV, relative Dielektrizitätskonstante: 15, Elektronenmobilität:  $10 \text{ cm}^2/\text{Vs}$ )
- Dicke der Gate-Isolierschicht: 10 nm
- Material der Gate-Isolierschicht: Hafniumoxid (relative Dielektrizitätskonstante: 15)
- Material der Source- und der Drain-Elektrode: Titanitrid (Austrittsarbeit: 3,9 eV)
- Material der Gate-Elektrode: Wolfram (Austrittsarbeit: 4,9 eV)

**[0242]** Die Ergebnisse der ersten Berechnung sind in **Fig. 14**, **Fig. 15** und **Fig. 16** gezeigt. **Fig. 14** zeigt die Beziehung zwischen der Gate-Spannung VG (V) und dem Drain-Strom ID (A); **Fig. 15** die Beziehung zwischen der Kanallänge L (nm) und der Schwellenspannung Vth (V); und **Fig. 16** die Beziehung zwischen der Kanallänge L (nm) und dem S-Wert (V/dec). Es wird angemerkt, dass jede von **Fig. 14**, **Fig. 15** und **Fig. 16** Ergebnisse zeigt, die mit unterschiedlichen Neigungswinkeln  $\theta$  von  $45^\circ$ ,  $60^\circ$  und  $90^\circ$  und Höhen h von 5 nm, 10 nm und 20 nm erhalten wurden.

**[0243]** Die Ergebnisse in **Fig. 14**, **Fig. 15** und **Fig. 16** zeigen, dass es zwischen der Struktur A und der Struktur B keinen wesentlichen Unterschied gibt, wenn die Kanallänge L mehr als 100 nm beträgt, während eine Negativverschiebung der Schwellenspannung Vth und eine Zunahme des S-Werts in der Struktur A unterdrückt sind, wenn die Kanallänge L 100 nm oder weniger beträgt. Das heißt, in der Struktur A kann im Vergleich zur Struktur B ein Kurzkanaleffekt unterdrückt werden.

**[0244]** Die zweite Berechnung wurde unter Verwendung der in **Fig. 17A** und **Fig. 17B** dargestellten Modelle ausgeführt. **Fig. 17A** veranschaulicht die Struktur A und **Fig. 17B** veranschaulicht die Struktur B. Ein Unterschied zwischen der ersten und der zweiten Berechnung besteht darin, dass die Entfernung zwischen der Source-Elektrode und der Drain-Elektrode in der ersten Berechnung als die Kanallän-

ge L definiert ist, während die Kanallänge L in der zweiten Berechnung entlang der Projektionsform der Isolierschicht gemessen ist. Mit anderen Worten, in **Fig. 17A** ist die Kanallänge L gleich  $L_s + L_c + L_d$ . Durch, dass die Kanallänge L in **Fig. 17A** auf diese Weise definiert ist, kann dem Effekt einer Zunahme des Effektivwerts der Kanallänge L entgegengewirkt werden und kann ein Effekt, der sich aus der Form ergibt, genau beobachtet werden.

**[0245]** **Fig. 18** zeigt die Beziehung zwischen der Gate-Spannung VG (V) und dem Drain-Strom ID (A), die aus den Ergebnissen der zweiten Berechnung erhalten wurde. Der Neigungswinkel  $\theta$  ist hier auf  $90^\circ$  festgesetzt und die Höhe h ist auf 5 nm, 10 nm und 20 nm festgesetzt. **Fig. 18** zeigt, dass in der Struktur, in der es zwischen der oberen Oberfläche der Isolierschicht und der oberen Oberfläche der Source- und der Drain-Elektrode eine kleine Höhendifferenz gibt (Struktur A), wegen ihrer Form eine Negativverschiebung der Schwellenspannung Vth unterdrückt ist. Mit anderen Worten, es ist zu verstehen, dass die Form einen Kurzkanaleffekt unterdrückt.

**[0246]** Es wird angemerkt, dass aus den Ergebnissen der ersten und der zweiten Berechnung zu sehen ist, dass leicht ein Kurzkanaleffekt verursacht wird, während die Höhe h zunimmt. Falls es dagegen eine große Höhendifferenz gibt, kann eine Verringerung der Bedeckung eine Unterbrechung der Oxidhalbleiterschicht oder dergleichen verursachen. So mit wird die Höhendifferenz auf 30 nm oder weniger, vorzugsweise auf 20 nm oder weniger, eingestellt.

## Patentansprüche

1. Prozessor, der umfasst:  
eine Registeranordnung;  
eine Arithmetik-Logik-Einheit, die mit der Registeranordnung funktional verbunden ist; und  
ein Befehlsregister, das mit der Arithmetik-Logik-Einheit funktional verbunden ist,  
wobei ein Teil des Prozessors einen ersten Transistor und einen zweiten Transistor über dem ersten Transistor umfasst,  
wobei ein Kanalausbildungsgebiet des ersten Transistors Silicium umfasst,  
wobei ein Kanalausbildungsgebiet des zweiten Transistors einen Oxidhalbleiter umfasst, und  
wobei eine Gate-Elektrode des ersten Transistors mit einer Source-Elektrode oder mit einer Drain-Elektrode des zweiten Transistors elektrisch verbunden ist.

2. Prozessor, der umfasst:  
eine Registeranordnung;  
eine Arithmetik-Logik-Einheit, die mit der Registeranordnung funktional verbunden ist; und  
ein Befehlsregister, das mit der Arithmetik-Logik-Einheit funktional verbunden ist,

wobei ein Teil des Prozessors einen ersten Transistor und einen zweiten Transistor über dem ersten Transistor umfasst,  
wobei ein Kanalausbildungsgebiet des ersten Transistors Silicium umfasst,  
wobei ein Kanalausbildungsgebiet des zweiten Transistors einen Oxidhalbleiter umfasst,  
wobei eine Gate-Elektrode des ersten Transistors mit einer Source-Elektrode oder mit einer Drain-Elektrode des zweiten Transistors elektrisch verbunden ist, und  
wobei eine Gate-Elektrode des zweiten Transistors über dem Kanalausbildungsgebiet des zweiten Transistors ausgebildet ist.

**3. Prozessor, der umfasst:**  
eine Registeranordnung;  
eine Arithmetik-Logik-Einheit, die mit der Registeranordnung funktional verbunden ist; und  
ein Befehlsregister, das mit der Arithmetik-Logik-Einheit funktional verbunden ist,  
wobei ein Teil des Prozessors einen ersten Transistor und einen zweiten Transistor umfasst,  
wobei eine Gate-Elektrode des ersten Transistors mit einer Source-Elektrode oder mit einer Drain-Elektrode des zweiten Transistors elektrisch verbunden ist, und  
wobei ein Kanalausbildungsgebiet des zweiten Transistors einen Oxidhalbleiter umfasst.

**4. Prozessor, der umfasst:**  
eine Registeranordnung;  
eine Arithmetik-Logik-Einheit, die mit der Registeranordnung funktional verbunden ist; und  
ein Befehlsregister, das mit der Arithmetik-Logik-Einheit funktional verbunden ist,  
wobei ein Teil des Prozessors einen ersten Transistor und einen zweiten Transistor umfasst,  
wobei eine Gate-Elektrode des ersten Transistors mit einer Source-Elektrode oder mit einer Drain-Elektrode des zweiten Transistors elektrisch verbunden ist, wobei eine Gate-Elektrode des zweiten Transistors über einer Gate-Isolierschicht des zweiten Transistors ausgebildet ist, und  
wobei ein Kanalausbildungsgebiet des zweiten Transistors einen Oxidhalbleiter umfasst.

**5. Prozessor nach einem der Ansprüche 1 bis 4,**  
bei dem die Source-Elektrode und die Drain-Elektrode des zweiten Transistors in eine Isolierschicht eingebettet sind, und  
bei dem es zwischen einer oberen Oberfläche der Isolierschicht und den oberen Oberflächen der Source-Elektrode und der Drain-Elektrode des zweiten Transistors eine Höhendifferenz gibt.

**6. Prozessor nach Anspruch 5,**  
bei dem die obere Oberfläche der Isolierschicht mit dem Kanalausbildungsgebiet des zweiten Transistors in Kontakt steht, und

bei dem die obere Oberfläche der Isolierschicht eine quadratische Rauheit von 1 nm oder weniger aufweist.

**7. Prozessor nach Anspruch 5,**  
bei dem die Höhendifferenz zwischen der oberen Oberfläche der Isolierschicht und den oberen Oberflächen der Source-Elektrode und der Drain-Elektrode des zweiten Transistors 5 nm oder mehr beträgt.

**8. Prozessor nach Anspruch 5,**  
bei dem die Höhendifferenz zwischen der oberen Oberfläche der Isolierschicht und den oberen Oberflächen der Source-Elektrode und der Drain-Elektrode des zweiten Transistors 20 nm oder weniger beträgt.

**9. Prozessor nach Anspruch 5,**  
bei dem die oberen Oberflächen der Source-Elektrode und der Drain-Elektrode des zweiten Transistors teilweise mit der Isolierschicht bedeckt sind.

**10. Prozessor nach einem der Ansprüche 1 bis 4,**  
wobei der Prozessor eine CPU ist.

**11. Prozessor nach Anspruch 1 oder 2, der ferner umfasst:**  
ein Siliciumsubstrat, wobei das Kanalausbildungsgebiet des ersten Transistors in dem Siliciumsubstrat ausgebildet ist; und  
eine Isolierschicht über dem ersten Transistor, wobei der zweite Transistor über der Isolierschicht ausgebildet ist.

**12. Prozessor nach einem der Ansprüche 1 bis 4,**  
der ferner umfasst:  
ein isolierendes Substrat, wobei der erste Transistor eine Halbleiterschicht umfasst, die das Kanalausbildungsgebiet umfasst, und wobei die Halbleiterschicht über dem isolierenden Substrat ausgebildet ist; und  
eine Isolierschicht über dem ersten Transistor, wobei der zweite Transistor über der Isolierschicht ausgebildet ist.

**13. Prozessor nach Anspruch 3 oder 4, der ferner umfasst:**  
ein Halbleitersubstrat, wobei ein Kanalausbildungsgebiet des ersten Transistors in dem Halbleitersubstrat ausgebildet ist; und  
eine Zwischenschicht-Isolierschicht über dem ersten Transistor, wobei der zweite Transistor über der Zwischenschicht-Isolierschicht ausgebildet ist.

**14. Prozessor nach einem der Ansprüche 1 bis 4,**  
bei dem der Oxidhalbleiter ein Oxideigenhalbleiter ist.

15. Prozessor nach Anspruch 14, wobei eine Ladungsträgerdichte des Oxidhalbleiters weniger als  $1 \times 10^{14} / \text{cm}^3$  beträgt.

Es folgen 18 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1A

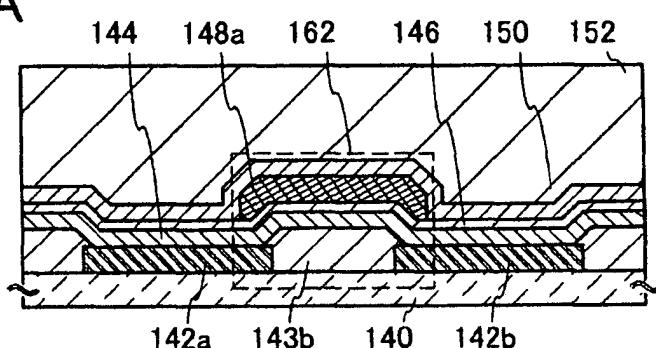


FIG. 1B

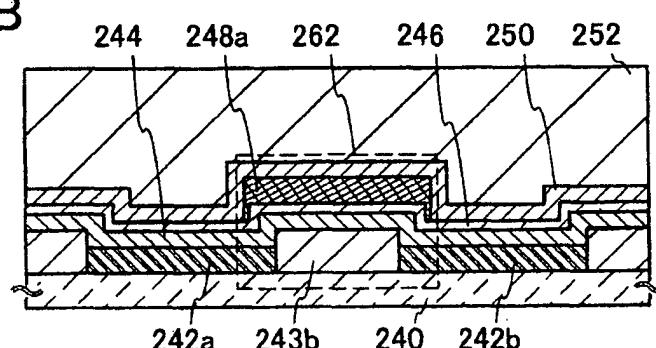
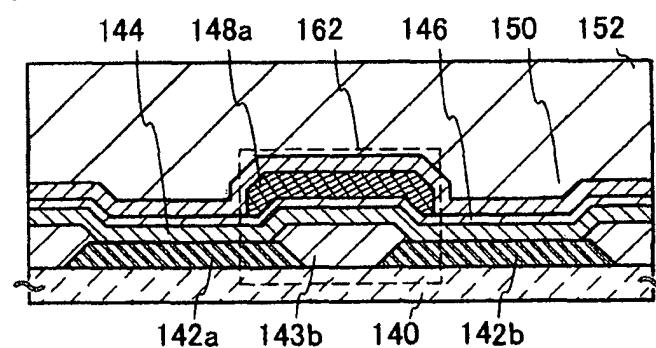
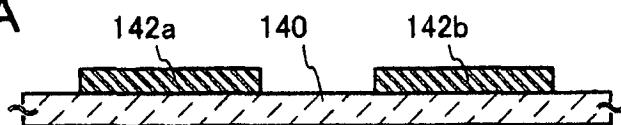


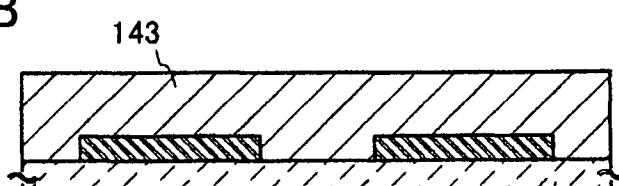
FIG. 1C



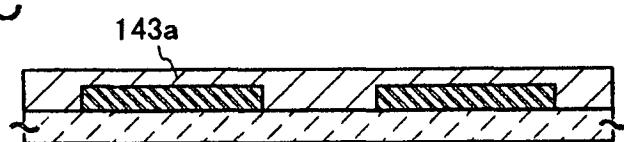
**FIG. 2A**



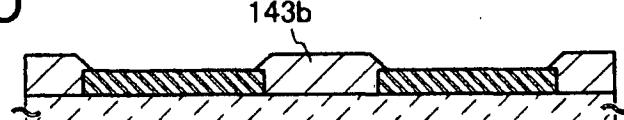
**FIG. 2B**



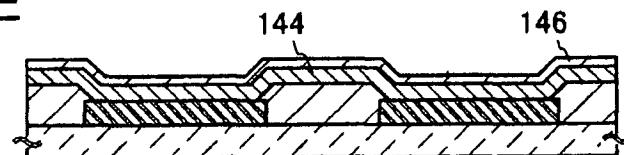
**FIG. 2C**



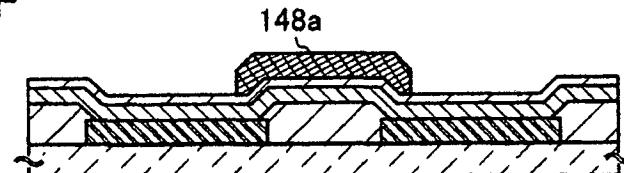
**FIG. 2D**



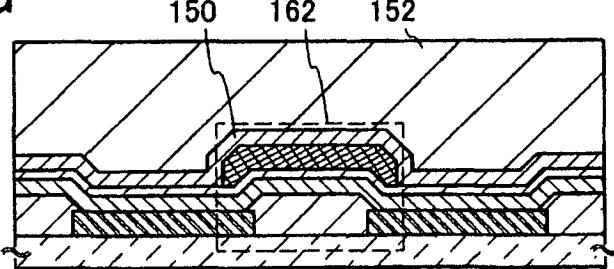
**FIG. 2E**



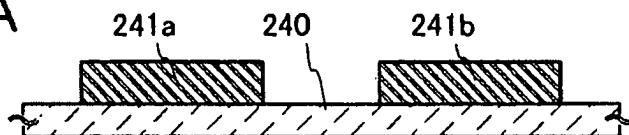
**FIG. 2F**



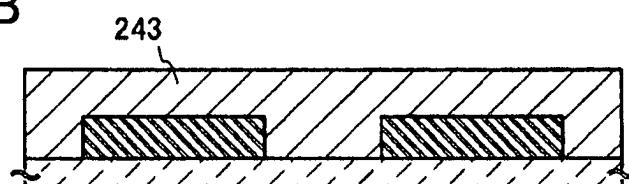
**FIG. 2G**



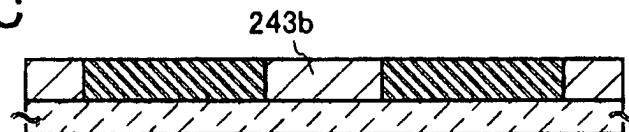
**FIG. 3A**



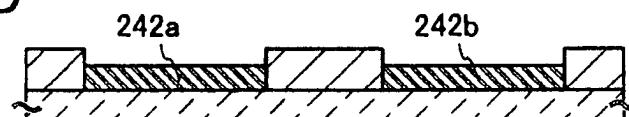
**FIG. 3B**



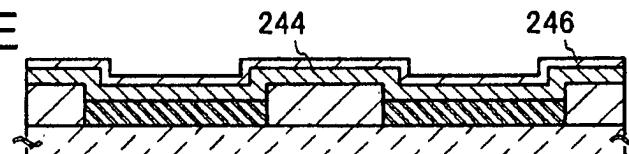
**FIG. 3C**



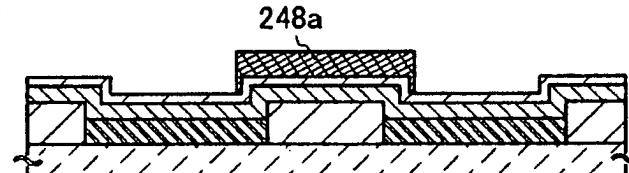
**FIG. 3D**



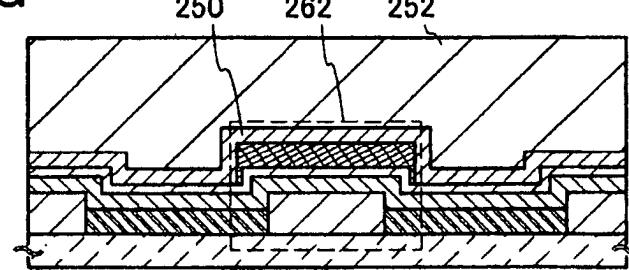
**FIG. 3E**

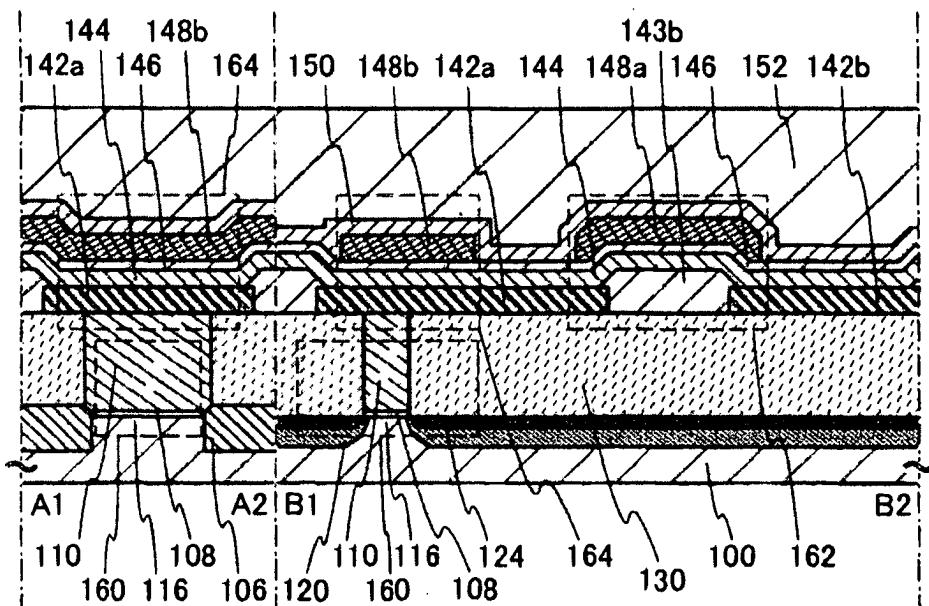
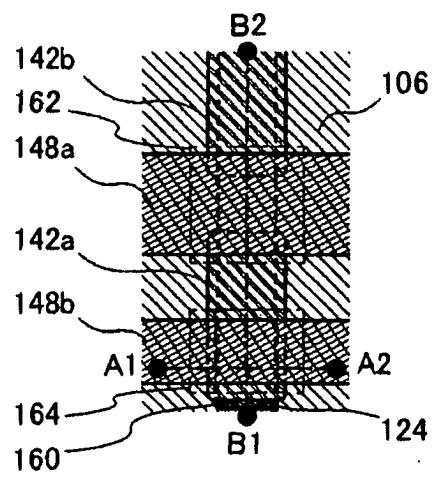
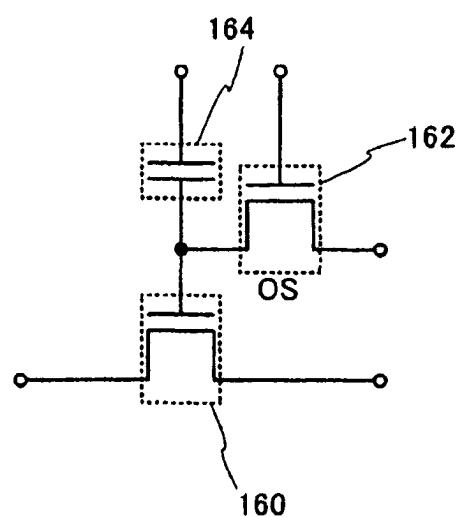


**FIG. 3F**

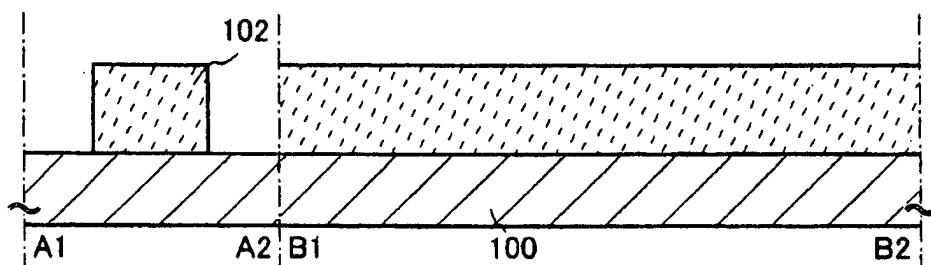


**FIG. 3G**

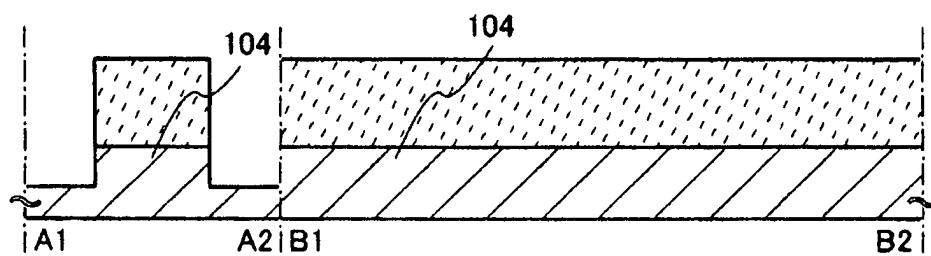


**FIG. 4A****FIG. 4B****FIG. 4C**

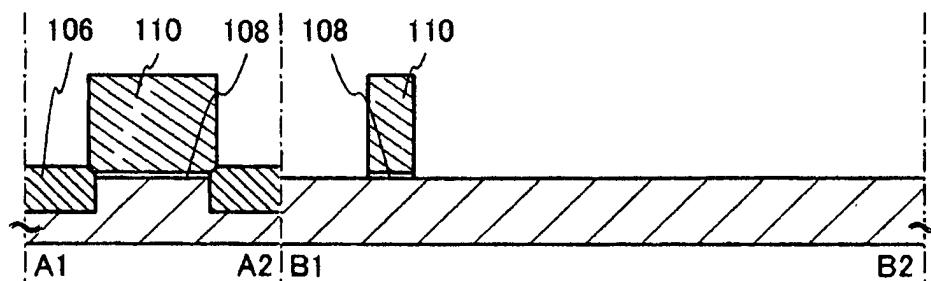
**FIG. 5A**



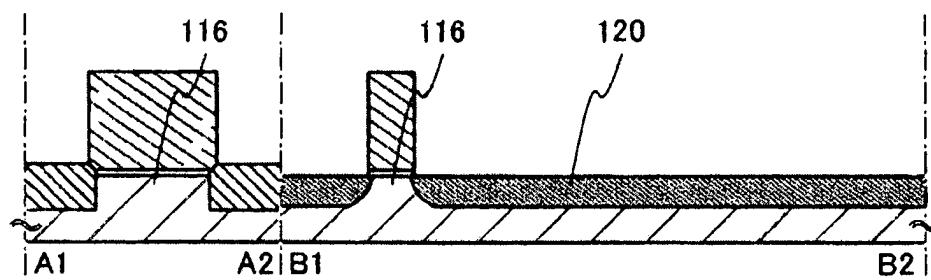
**FIG. 5B**



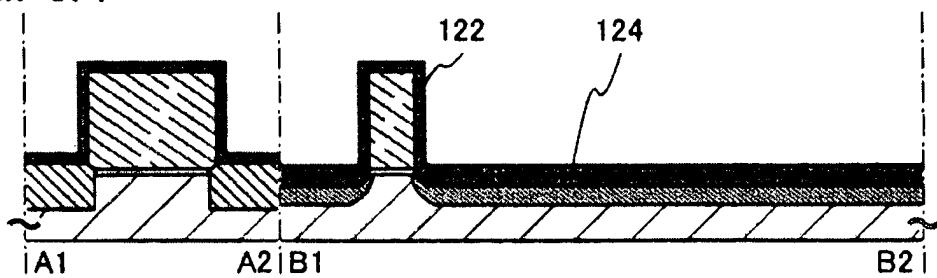
**FIG. 5C**



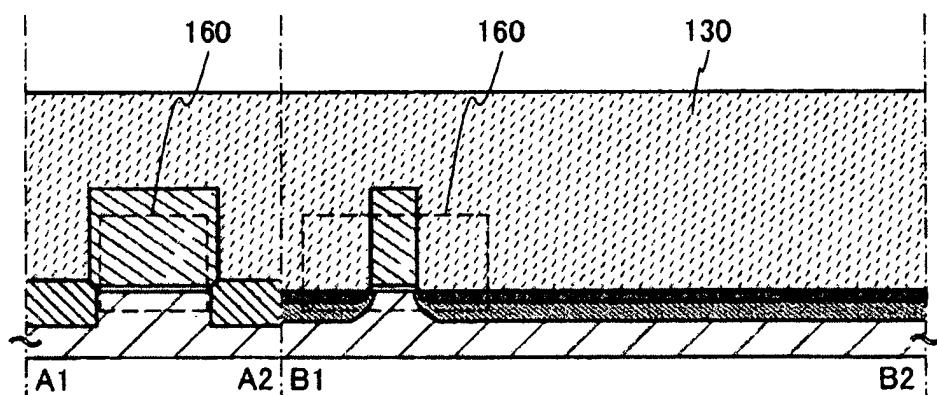
**FIG. 5D**



**FIG. 6A**



**FIG. 6B**



**FIG. 6C**

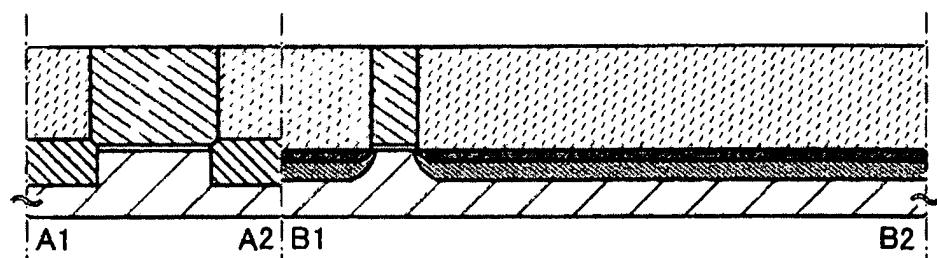


FIG. 7A-1

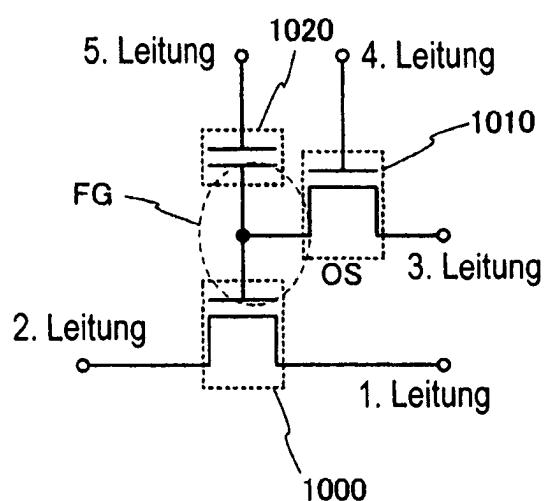


FIG. 7B

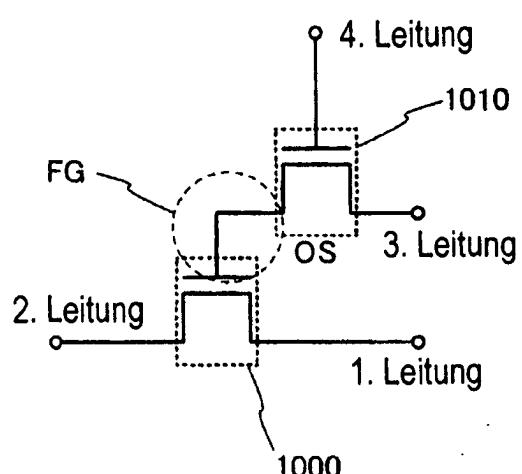
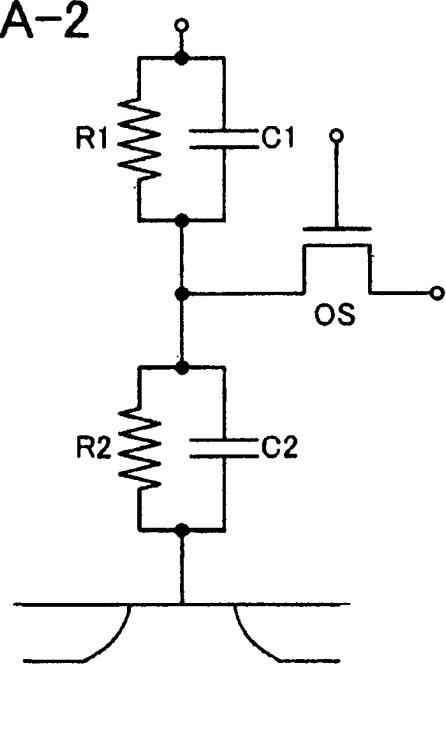


FIG. 7A-2



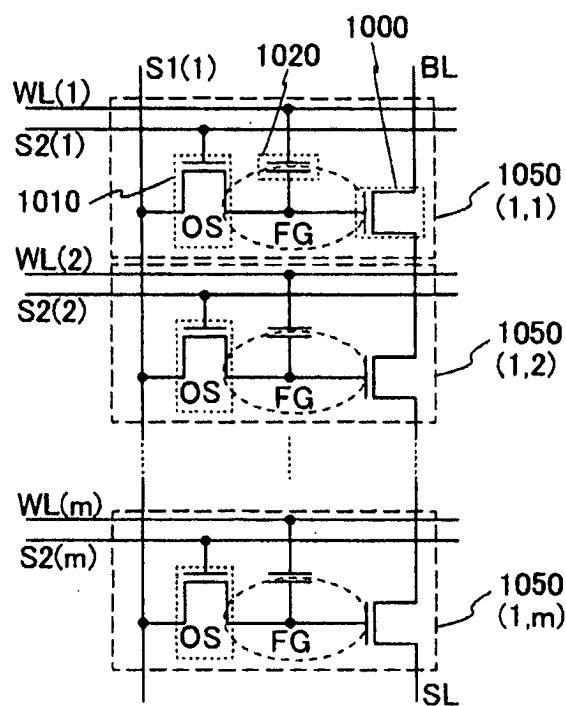
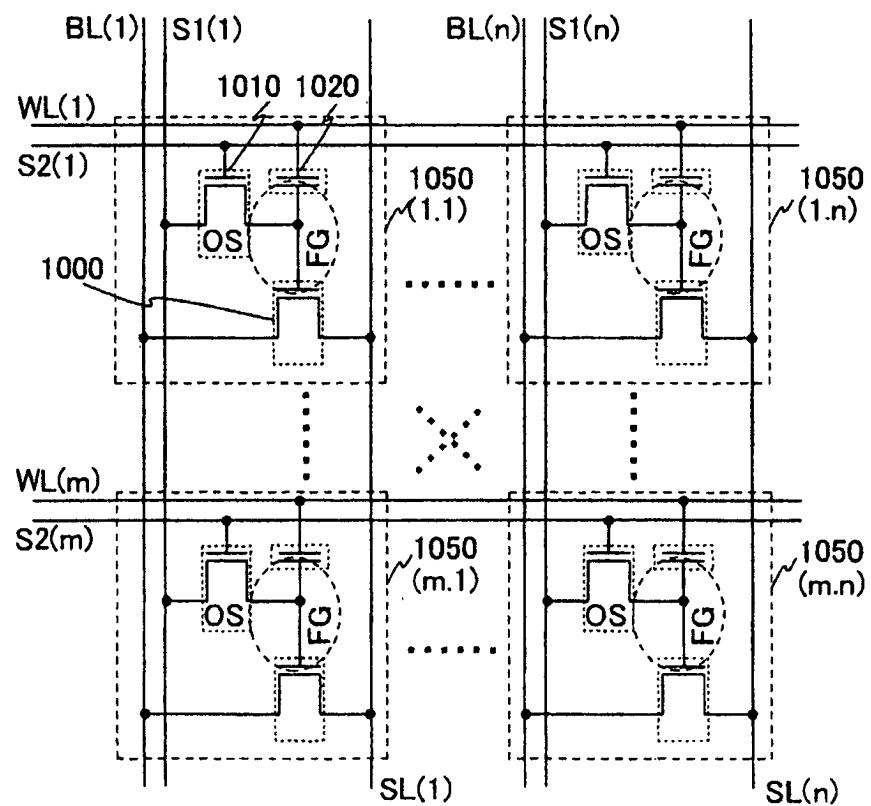
**FIG. 8A****FIG. 8B**

FIG. 9A

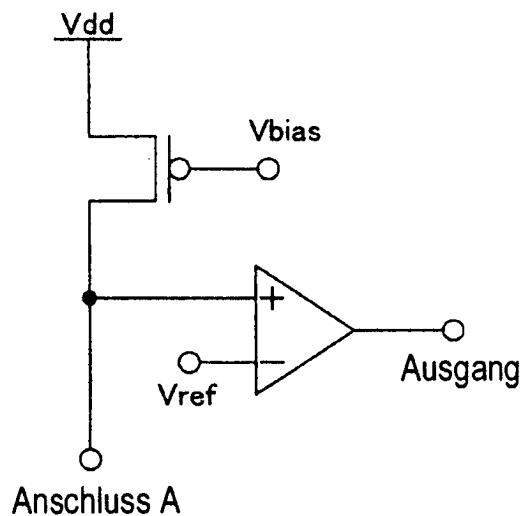


FIG. 9B

FIG. 9C

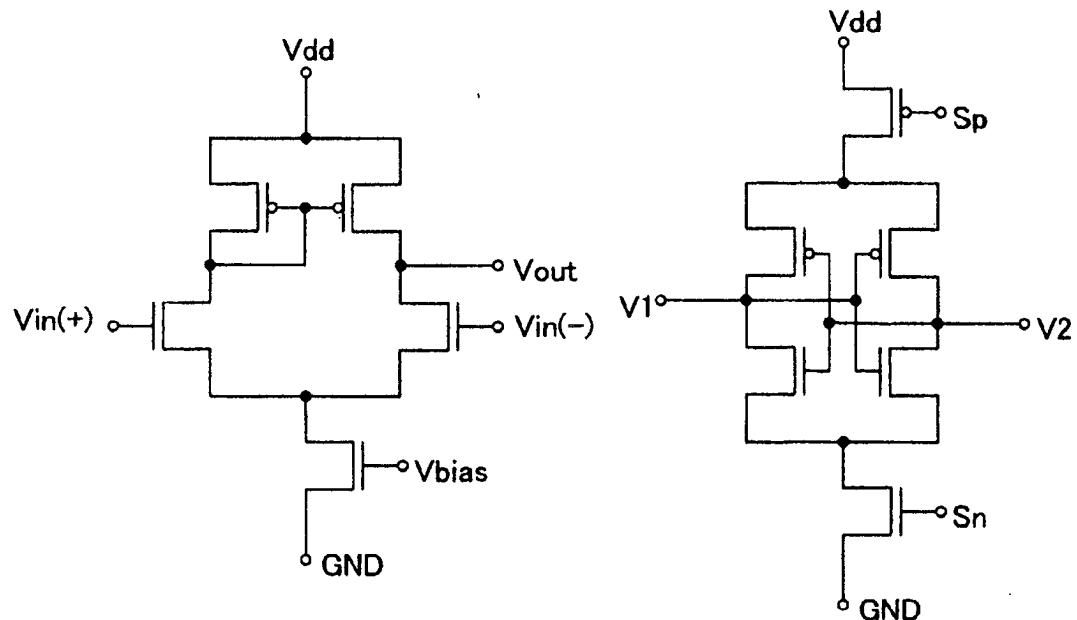
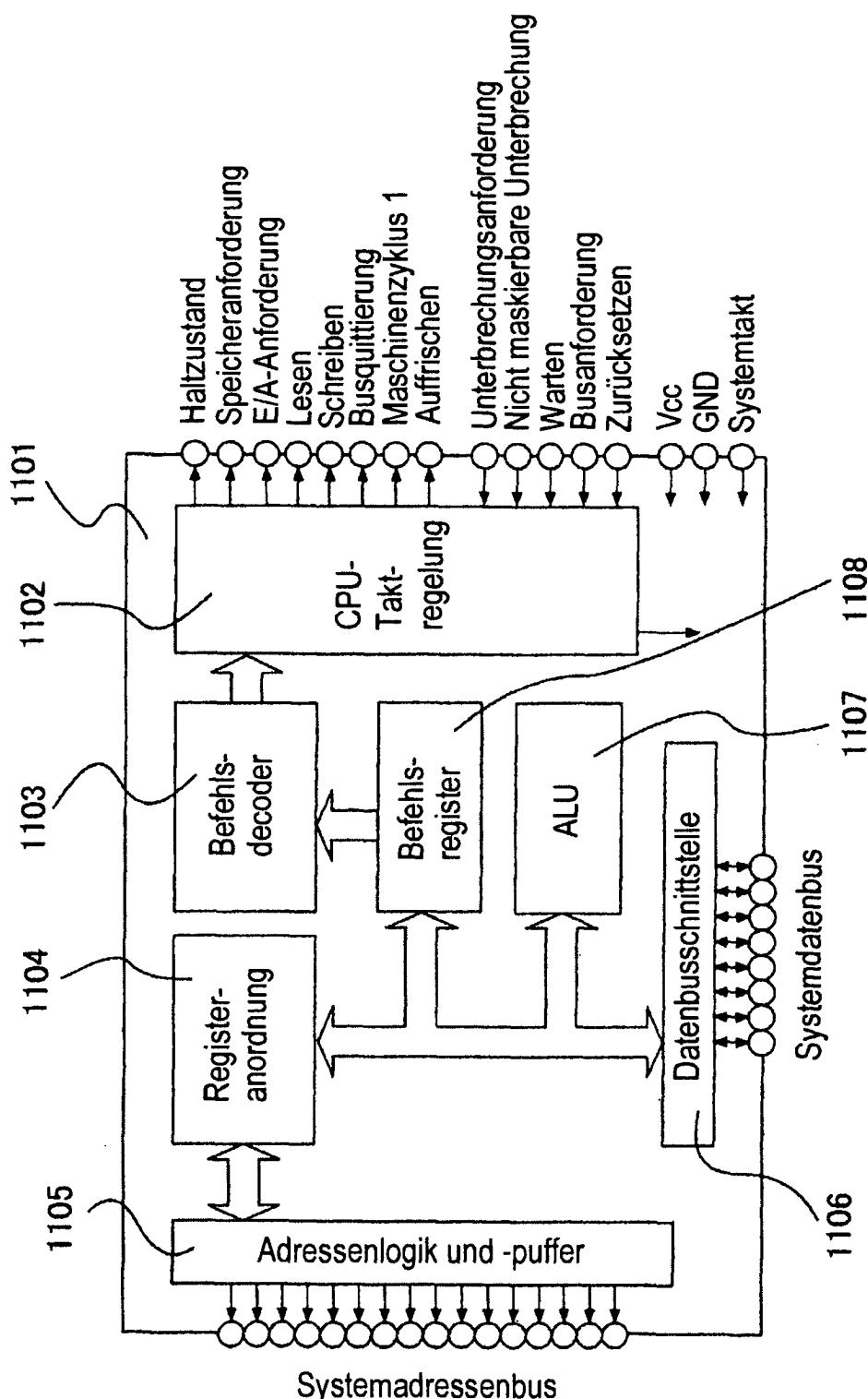


FIG. 10



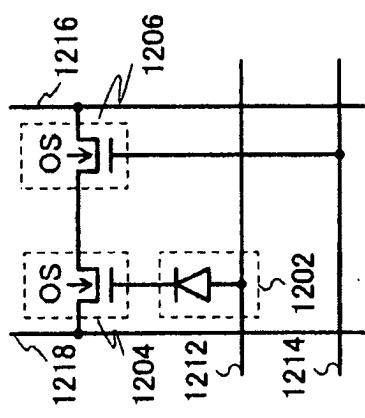


FIG. 11A

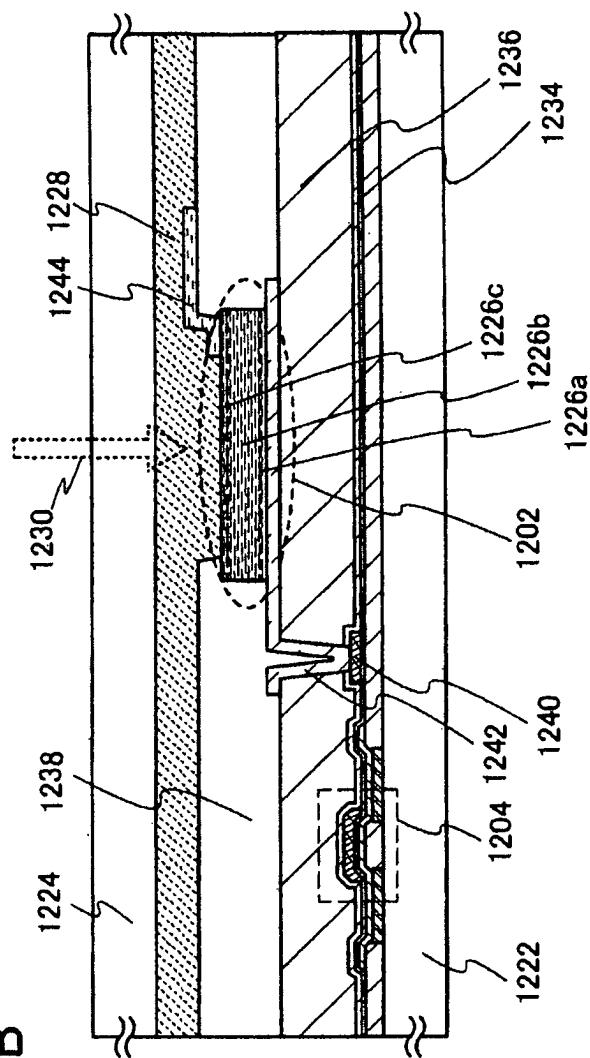
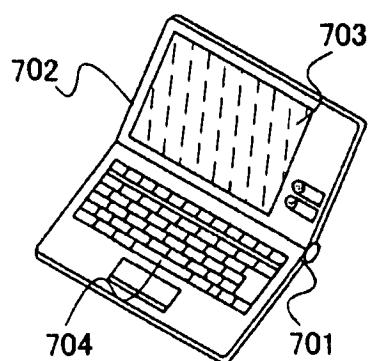
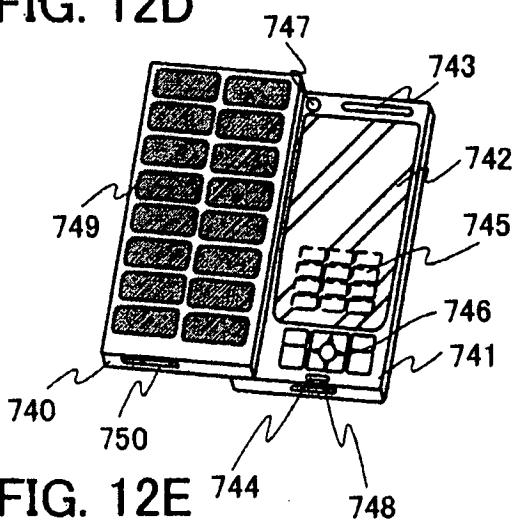


FIG. 11B

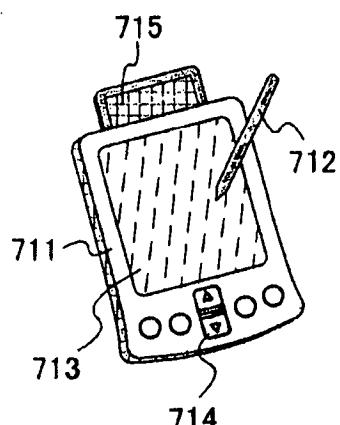
**FIG. 12A**



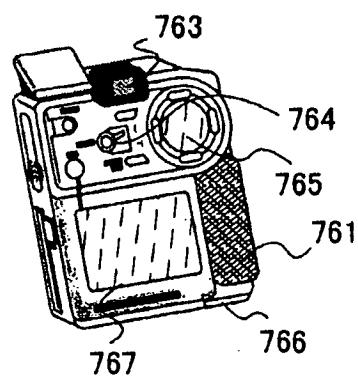
**FIG. 12D**



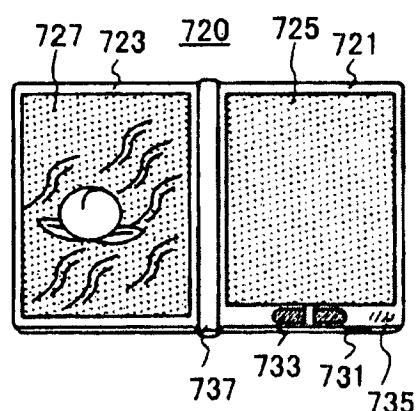
**FIG. 12B**



**FIG. 12E**



**FIG. 12C**



**FIG. 12F**

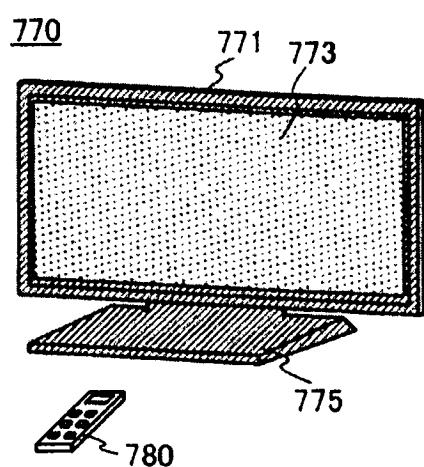


FIG. 13A

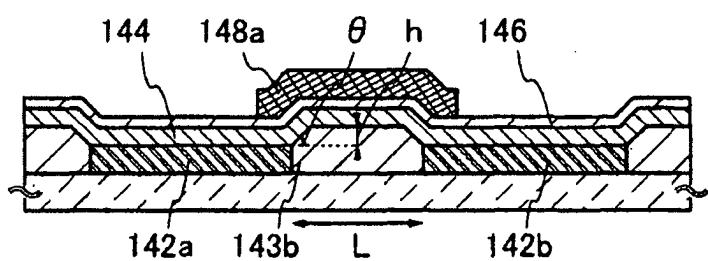


FIG. 13B

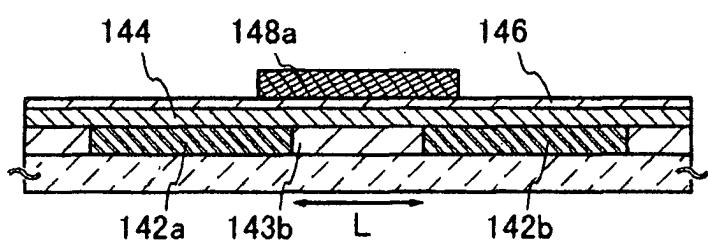
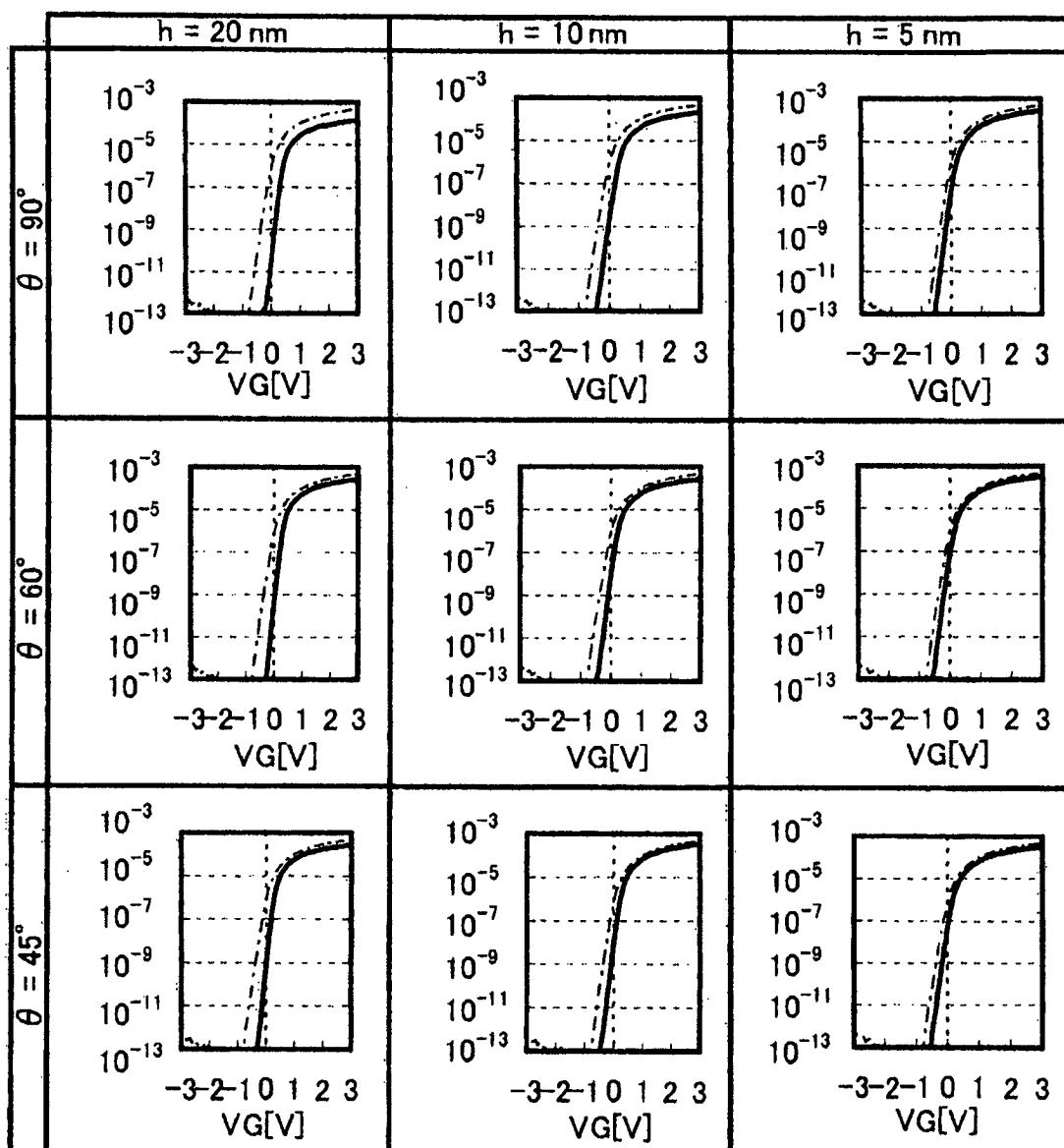


FIG. 14

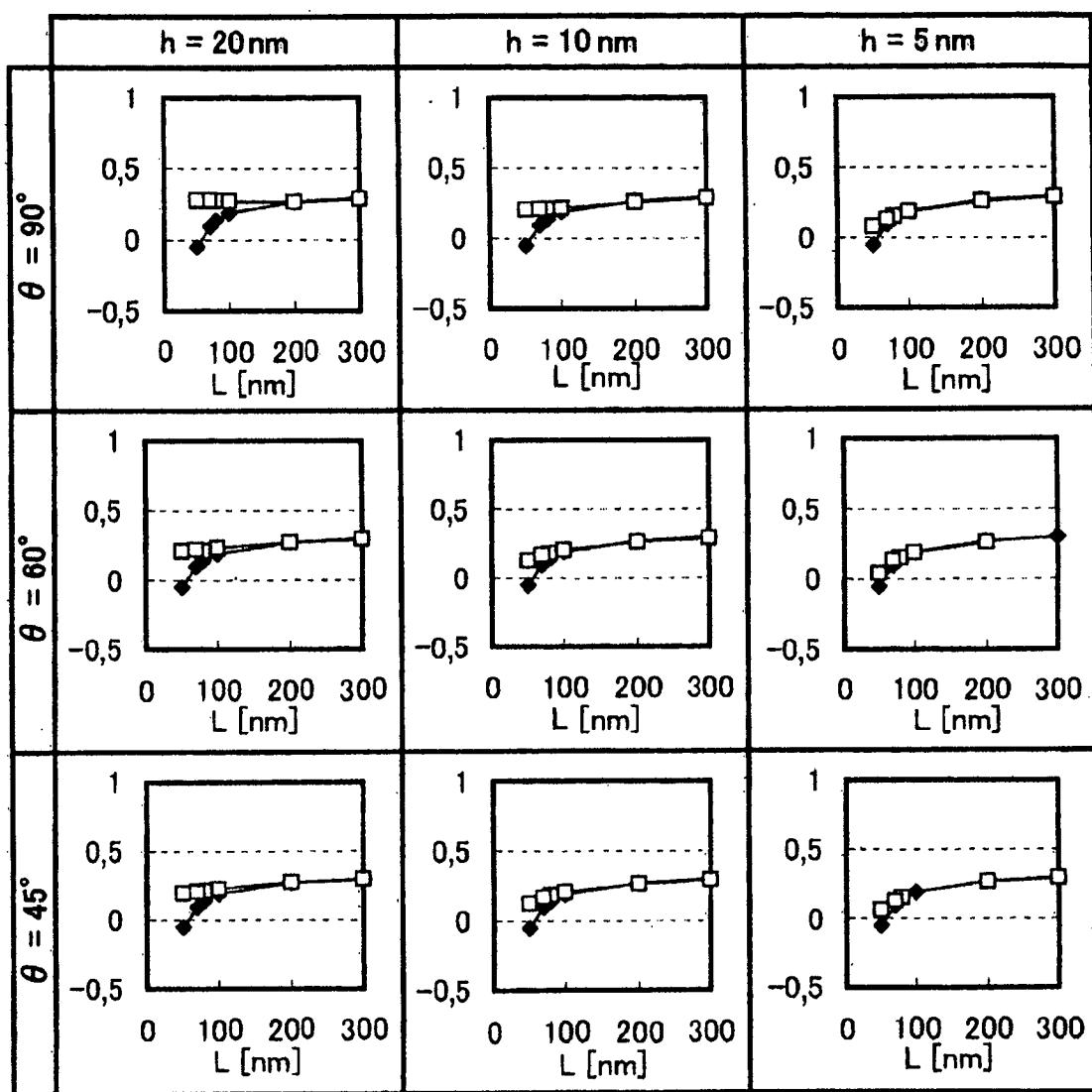


vertikale Achse: ID [A]

 $W = 1 \mu\text{m}$  $V_{ds} = 1 \text{ V}$  $L = 50 \text{ nm}$ 

— Struktur B  
 — Struktur A

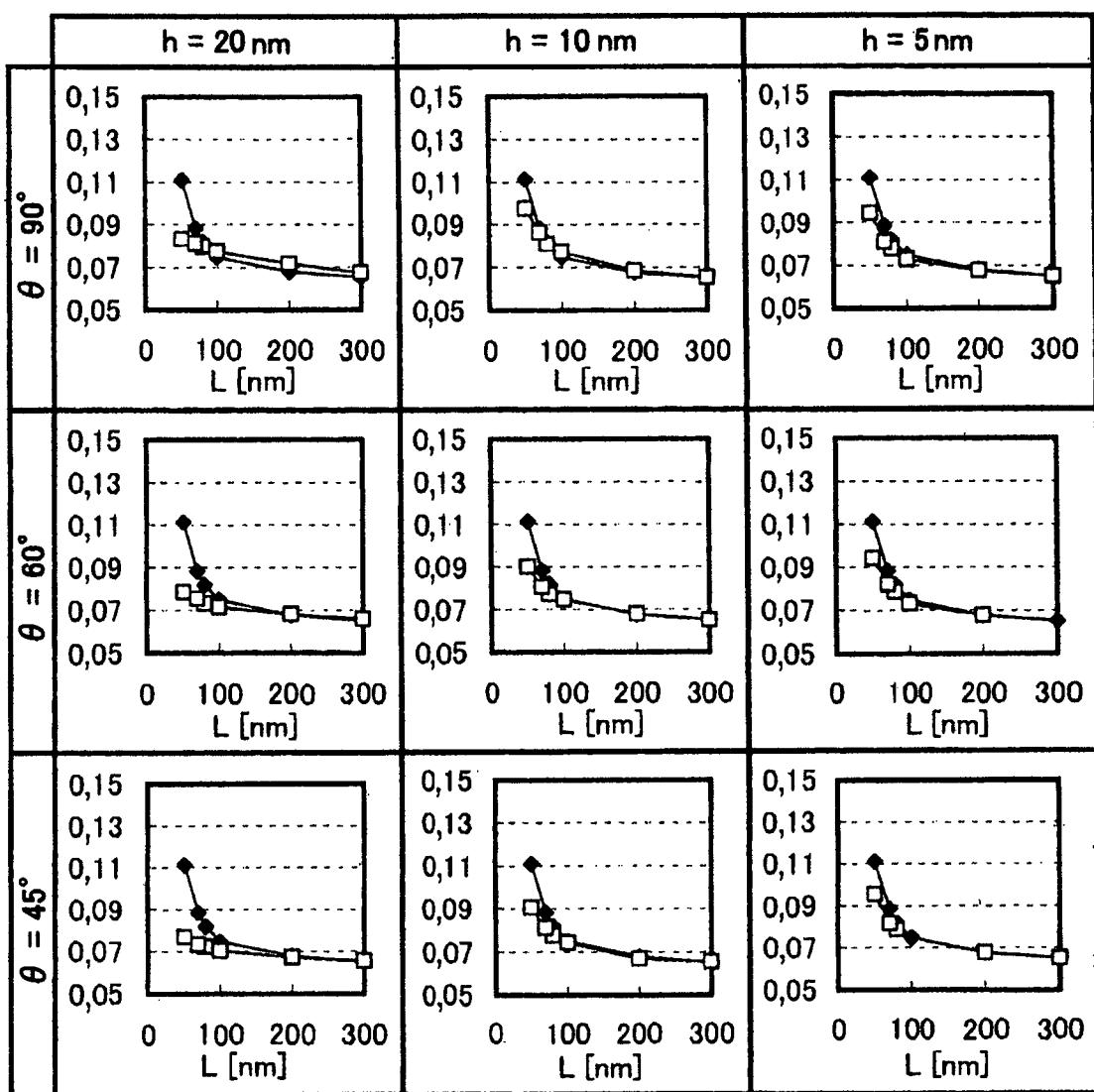
FIG. 15



vertikale Achse:  $V_{th}$  [V]  
 $V_{ds} = 1\text{ V}$

—●— Struktur B  
 —□— Struktur A

FIG. 16



vertikale Achse: S-Wert [V/dec]

 $V_{ds} = 1 \text{ V}$ 

Struktur B

Struktur A

FIG. 17A

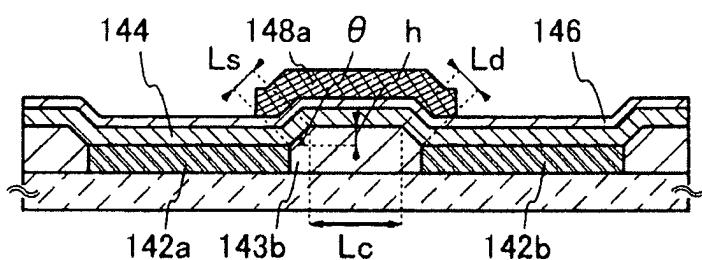


FIG. 17B

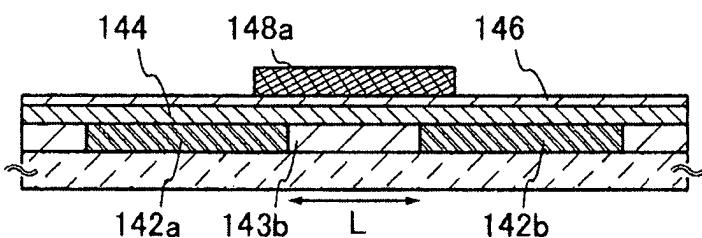


FIG. 18

