



(12) 发明专利申请

(10) 申请公布号 CN 106941349 A

(43) 申请公布日 2017. 07. 11

(21) 申请号 201610007940. 2

(22) 申请日 2016. 01. 05

(71) 申请人 浙江盾安机械有限公司

地址 311835 浙江省绍兴市诸暨市店口工业  
区

(72) 发明人 高明锐 刘海民

(74) 专利代理机构 北京弘权知识产权代理事务  
所(普通合伙) 11363

代理人 逯长明 许伟群

(51) Int. Cl.

H03K 19/0175(2006. 01)

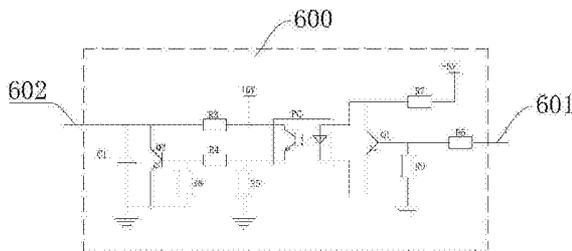
权利要求书1页 说明书6页 附图3页

(54) 发明名称

一种低延时光耦隔离电路以及 RS485 隔离通信电路

(57) 摘要

本发明实施例公开了一种低延时光耦隔离电路以及 RS485 隔离通信电路,该低延时光耦隔离电路包括由发光二极管和受光三极管组成的光耦,减小光耦输出侧的匹配电阻使光耦满足相应的延时时间,且在光耦的输出侧增加由第二三极管组成的三极管电平维持电路,将光耦输出的电平转换为标准高低电平;在光耦的输入侧增加由第一三极管组成的提升光耦开关速度的电路,使光耦两侧延时时间同步,电平维持时间不丢失,使其满足较高速率的通信需求。



1. 一种低延时光耦隔离电路,包括由发光二极管和受光三极管组成的光耦(PC),其特征在于,还包括:隔离电路数据输入端(601)、隔离电路数据输出端(602)、第一三极管(Q1)和第二三极管(Q2);

其中,所述受光三极管的集电极与所述第二三极管(Q2)的集电极之间串联第三电阻(R3),所述受光三极管的发射极与所述第二三极管(Q2)的基极之间串联第四电阻(R4),所述受光三极管的集电极接高电位,所述受光三极管的发射极通过第五电阻(R5)接地电位,所述第二三极管(Q2)的集电极接隔离电路数据输出端(602);

所述发光二极管的正极和负极分别对应连接第一三极管(Q1)的集电极和发射极,所述第一三极管(Q1)的集电极通过第七电阻(R7)接高电位,所述第一三极管(Q1)的发射极接地电位,所述第一三极管(Q1)的基极与隔离电路数据输入端(601)之间串联第六电阻(R6);

所述第四电阻(R4)和第五电阻(R5)被配置为使光耦(PC)满足相应的延时时间。

2. 根据权利要求1所述的低延时光耦隔离电路,其特征在于,所述第四电阻(R4)和第五电阻(R5)被配置为使光耦(PC)满足延时2-6us。

3. 根据权利要求1所述的低延时光耦隔离电路,其特征在于,所述第一三极管(Q1)的基极和发射极之间还连接有第九电阻(R9)。

4. 根据权利要求1所述的低延时光耦隔离电路,其特征在于,所述第二三极管(Q2)的基极和发射极之间还串联有第八电阻(R8)。

5. 根据权利要求1所述的低延时光耦隔离电路,其特征在于,所述第二三极管(Q2)的发射极和集电极之间还串联有第一电容(C1)。

6. 一种RS485隔离通信电路,包括RS485收发芯片(100),所述RS485收发芯片(100)包括收发芯片数据输出端(R0)和收发芯片数据接收端(DI),所述收发芯片数据输出端(R0)通过数据输出端隔离电路(200)与所述数据接收接口(RS485\_RXD)相连,所述收发芯片数据接收端(DI)通过数据输入端隔离电路(400)与所述数据发送接口(RS485\_TXD)相连,其特征在于,

所述数据输出端隔离电路(200)采用权利要求1-4任一项所述的低延时光耦隔离电路(600),其中,所述收发芯片数据输出端(R0)与所述隔离电路数据输入端(601)相连,所述隔离电路数据输出端(602)与所述数据接收接口(RS485\_RXD)相连;

所述数据输入端隔离电路(400)采用权利要求1-4任一项所述的低延时光耦隔离电路(600),其中,所述收发芯片数据接收端(DI)与所述隔离电路数据输出端(602)相连,所述隔离电路数据输入端(601)与所述数据发送接口(RS485\_TXD)相连。

7. 根据权利要求6所述的RS485隔离通信电路,其特征在于,所述收发芯片数据输出端(R0)还通过第十电阻(R10)接高电位。

8. 根据权利要求7所述的RS485隔离通信电路,其特征在于,所述第十电阻(R10)的两侧还并联第二电容(C2)。

## 一种低延时光耦隔离电路以及RS485隔离通信电路

### 技术领域

[0001] 本发明涉及隔离电路技术领域,特别是涉及一种低延时光耦隔离电路以及RS485隔离通信电路。

### 背景技术

[0002] RS485是PC机与通信工业中应用最广泛的一种串行接口,其被定义为一种在低速率串行通信中增加通信距离的单端标准,通过RS485收发芯片进行数据的接收与发送。

[0003] 图1为现有技术中RS485收发芯片的结构示意图,如图1所示,该RS485收发芯片100包括收发芯片数据输出端RO、收发芯片数据接收端DI、接收使能端RE、发送使能端CE、输入输出同相端A、输入输出反相端B、高电平端VCC和接地端GND。其中,当输入输出同相端A的电压-输入输出反相端B的电压 $>200\text{mV}$ 时,收发芯片数据输出端RO输出高电平,当输入输出同相端A的电压-输入输出反相端B的电压 $<200\text{mV}$ 时,收发芯片数据输出端RO输出低电平;当收发芯片数据接收端DI接收低电平信号时,输入输出同相端A输出低电平信号,输入输出反相端B输出高电平信号;当收发芯片数据接收端DI接收高电平信号时,输入输出同相端A输出高电平信号,输入输出反相端B输出低电平信号;接收使能端RE低电平有效,收发芯片数据输出端RO输出高电平时,接收使能端RE处于高阻态;发送使能端CE高电平有效;高电平端VCC接 $+5\text{V}\pm 10\%$ 电压,接地端GND接地电位,参考电压为0V,通过高电平端VCC和接地端GND提供RS485收发芯片100的工作电源。

[0004] 在强干扰环境下,为了提高系统的抗干扰能力,通常采用隔离RS485收发芯片的方法来提高系统的抗干扰性能。图2为现有技术中RS485隔离通信电路示意图,如图2所示,收发芯片数据输出端RO与数据接收接口RS485\_RXD之间串联数据输出端隔离电路200;收发芯片数据接收端DI与数据发送接口RS485\_TXD之间串联数据输入端隔离电路400;接收使能端RE、发送使能端CE与使能控制接口RS485\_R/D之间串联使能控制端隔离电路;输入输出同相端A和输入输出反相端B连接数据传输电路500进行数据传输。其中,由于数据输出端隔离电路200和数据输入端隔离电路400的结构相同,其区别仅在于输入输出方向的不同,因此,以下仅以数据输出端隔离电路200为例进行说明。

[0005] 图3为现有技术中数据输出端隔离电路示意图,如图3所示,该电路包括由发光二极管和受光三极管组成的光耦PC,其中,发光二极管的正极接+5V电压,负极串联第二电阻R2后接收收发芯片数据输出端RO,在发光二极管的正极和负极之间还串接二极管D1;受光三极管的发射极接地、集电极通过第一电阻R1接+5V电压,另外,受光三极管的集电极与数据接收接口RS485\_RXD相连。通过数据输出端隔离电路200实现输出数据的电信号隔离,提高系统的抗干扰性能。

[0006] 通常RS485收发芯片以帧数据的电平宽度为单元,波特率越高,帧数据的电平宽度越小。然而,现有的RS485隔离通信电路中光耦前后端时间延时有 $20\mu\text{s}$ - $30\mu\text{s}$ ,光耦隔离输出后电平会缩短十几个微秒,若在通信速度为9600bps的通信协议中,处理器已经认为这个长度缩短的电平不是有效电平,导致通信丢包,通信不正常。也就是说,现有的RS485隔离

通信电路无法满足9600bps或更高的通信速率。

[0007] 为了提高RS485隔离通信电路的通信速率,现有技术中常用的做法为采用高速光耦替代低速光耦,但是由于高速光耦的成本较高,导致RS485隔离通信电路的成本提高。因此,一种利用普通光耦实现较低延时的光耦隔离电路以及实现更高通信速率的RS485隔离通信电路亟待出现。

## 发明内容

[0008] 本发明实施例中提供了一种低延时光耦隔离电路以及RS485隔离通信电路,以解决现有技术中由于隔离电路延时较高导致其无法满足RS485隔离通信电路中较高通信速率的问题。

[0009] 为了解决上述技术问题,本发明实施例公开了如下技术方案:

[0010] 一种低延时光耦隔离电路,包括由发光二极管和受光三极管组成的光耦、隔离电路数据输入端、隔离电路数据输出端、第一三极管和第二三极管;

[0011] 其中,所述受光三极管的集电极与所述第二三极管的集电极之间串联第三电阻,所述受光三极管的发射极与所述第二三极管的基极之间串联第四电阻,所述受光三极管的集电极接高电位,所述受光三极管的发射极通过第五电阻接地电位,所述第二三极管的集电极接隔离电路数据输出端;

[0012] 所述发光二极管的正极和负极分别对应连接第一三极管的集电极和发射极,所述第一三极管的集电极通过第七电阻接高电位,所述第一三极管的发射极接地电位,所述第一三极管的基极与隔离电路数据输入端之间串联第六电阻;

[0013] 所述第四电阻和第五电阻被配置为使光耦满足相应的延时时间。

[0014] 优选地,所述第四电阻和第五电阻被配置为使光耦满足延时2-6 $\mu$ s。

[0015] 优选地,所述第一三极管的基极和发射极之间还连接有第九电阻。

[0016] 优选地,所述第二三极管的基极和发射极之间还串联有第八电阻。

[0017] 优选地,所述第二三极管的发射极和集电极之间还串联有第一电容。

[0018] 一种RS485隔离通信电路,包括RS485收发芯片,所述RS485收发芯片包括收发芯片数据输出端和收发芯片数据接收端,所述收发芯片数据输出端通过数据输出端隔离电路与所述数据接收接口相连,所述收发芯片数据接收端通过数据输入端隔离电路与所述数据发送接口相连,所述数据输出端隔离电路采用上述低延时光耦隔离电路,其中,所述收发芯片数据输出端与所述隔离电路数据输入端相连,所述隔离电路数据输出端与所述数据接收接口相连;

[0019] 所述数据输入端隔离电路采用上述低延时光耦隔离电路,其中,所述收发芯片数据接收端与所述隔离电路数据输出端相连,所述隔离电路数据输入端与所述数据发送接口相连。

[0020] 优选地,所述收发芯片数据输出端还通过第十电阻接高电位。

[0021] 优选地,所述第十电阻的两侧还并联第二电容。

[0022] 由以上技术方案可见,本发明实施例提供的一种低延时光耦隔离电路以及RS485隔离通信电路,在低延时光耦隔离电路中减小光耦输出侧的匹配电阻使光耦满足相应的延时时间,且在光耦的输出侧增加由第二三极管组成的三极管电平维持电路,将光耦输出的

电平转换为标准高低电平;在光耦的输入侧增加由第一三极管组成的提升光耦开关速度的电路,使光耦两侧延时时间同步,电平维持时间不丢失,使其满足较高速率的通信需求。

### 附图说明

[0023] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,对于本领域普通技术人员而言,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1为现有技术中RS485收发芯片的结构示意图;

[0025] 图2为现有技术中RS485隔离通信电路框图;

[0026] 图3为现有技术中数据输出端隔离电路示意图;

[0027] 图4为本发明实施例提供的一种低延时光耦隔离电路示意图;

[0028] 图5为本发明实施例提供的一种RS485隔离通信电路框图;

[0029] 图6为本发明实施例提供的一种RS485隔离通信电路示意图。

### 具体实施方式

[0030] 为了使本技术领域的人员更好地理解本发明中的技术方案,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都应当属于本发明保护的范围。

[0031] 光耦是以光为媒介来传输电信号的器件,通常把发光二极管和受光三极管封装在同一管壳内组成光耦。当光耦的输入端加电信号时,发光二极管发出光线,受光三极管接收到光线后产生光电流,从而在光耦的输出端输出,实现了“电-光-电”的转换。

[0032] 根据光耦的特性,信号在通过光耦进行传输时,输入电信号和输出电信号之间具有一定的传输延时,而光耦的延时时间除了受光耦自身特性(例如,普通光耦的延时较高,高速光耦的延时较低)影响外,还受光耦输出侧电流的影响。当普通光耦输出侧电流达到10mA以上时,传输延时能够达到光耦特性的2-3us;当普通光耦的输出侧电流在10mA以下时,传输延时为20-30us。

[0033] 利用光耦的上述特性,如果采用直接减小光耦输出侧匹配电阻的方式将光耦的输出侧电流达到10mA以上,以型号为TLP181GR的光耦为例,其CTR(电流传输比)为100%,即光耦的输入侧匹配电阻也要减小至使光耦的输入侧电流达到10mA以上,这样才能让光耦内部的受光三极管工作在饱和区,受光三极管的饱和压降约为0V,输出高电平达到约5V。但是由于大于10mA的电流对于处理器来说负载较重,因此,采用上述方法降低光耦延时无法实现。

[0034] 针对上述现象,本发明实施例提供了一种低延时光耦隔离电路,其采用普通光耦即可实现较低的延时,进而可以满足RS485隔离通信电路中9600bps或更高速率的隔离通信,以下结合附图对其进行详细说明。

[0035] 图4为本发明实施例提供的一种低延时光耦隔离电路示意图,如图4所示,本发明实施例提供的一种低延时光耦隔离电路600包括由发光二极管和受光三极管组成的光耦PC、隔离电路数据输入端601和隔离电路数据输出端602,电信号由隔离电路数据输入端601

输入,经光耦PC进行“电-光-电”转换后由隔离电路数据输出端602输出,完成数据的传输。

[0036] 本发明实施例提供一种低延时光耦隔离电路600还包括第一三极管Q1和第二三极管Q2,其中,光耦PC中受光三极管的集电极与第二三极管Q2的集电极之间串联第三电阻R3,受光三极管的发射极与第二三极管Q2的基极之间串联第四电阻R4,受光三极管的集电极接高电位,受光三极管的发射极通过第五电阻R5接地电位,第二三极管Q2的集电极接隔离电路数据输出端602,且第四电阻R4和第五电阻R5被配置为使光耦PC满足相应的延时时间。

[0037] 也就是说,本领域技术人员可以根据通信速率的实际需求对第四电阻和第五电阻的阻值进行相应调整,以使得光耦满足相应的延时时间,进而满足相应通信速率的需求。其中,通信速率越高,光耦的延时时间应该越低,在本发明一种优选实施例中,为了满足9600bps的通信速率,将第四电阻R4和第五电阻R5配置为使光耦满足延时2-6us。当然,本领域的技术人员面对其它通信速率需求时,可以将第四电阻R4和第五电阻R5配置为其它的延时时间,其均应当属于本发明的保护范围之内。

[0038] 光耦PC的输出侧采用上述电路配置,则当光耦PC中的受光三极管导通时,第二三极管Q2的基极接高电平,第二三极管Q2导通,第二三极管Q2的 $V_{CE}$ (集电极和发射极之间的电压)压降很低,隔离电路数据输出端602接地,输出低电平信号;当光耦PC中的受光三极管截止时,第二三极管Q2的基极接地电位,第二三极管Q2截止,隔离电路数据输出端602接高电位(在本实施例中为+5V),输出高电平信号。也就是说,在本发明实施例中,第二三极管Q2起到电平维持的作用,即使光耦PC中受光三极管导通时 $V_{CE}$ 存在一定的压降,隔离电路数据输出端602仍会输出标准的5V/0V高低电平,即光耦PC输入侧的电流可以对应减小以满足处理器的负载需求。

[0039] 另外,对于光耦PC的输入侧,发光二极管的正极和负极分别对应连接第一三极管Q1的集电极和发射极,第一三极管Q1的集电极通过第七电阻R7接高电位,第一三极管Q1的发射极接地电位,第一三极管Q1的基极与隔离电路数据输入端601之间串联第六电阻R6。

[0040] 光耦PC的输入侧采用上述电路配置,则当隔离电路数据输入端601输入高电平信号时,第一三极管Q1导通,第一三极管Q1的 $V_{CE}$ 很低,相当于短路,光耦PC中的发光二极管截止;当隔离电路数据输入端601输入低电平信号时,第一三极管Q1截止,光耦PC中的发光二极管的正极接高电位(在本发明实施例中为+5V),负极接地电位(在本发明实施例中为0V),光耦PC中的发光二极管导通。

[0041] 其中,光耦PC输入侧的第一三极管Q1提升了光耦PC的开关速度,具体为:光耦PC中发光二极管的导通压降约为1.2V,如果不存在第一三极管Q1,则当隔离电路数据输入端601输入电平在3.8V以下时,发光二极管导通,隔离电路数据输入端601输入电平在3.8V以上时,发光二极管截止。在隔离电路数据输入端601输入电平由3.8V到0V这个下降沿过程中,发光二极管处在导通电流持续增加的过程中,直到隔离电路数据输入端601输入电平为0V为止,这个过程需要的时间较长,也会影响波形的锋利程度。

[0042] 在本发明实施例中,增加了第一三极管Q1,则当隔离电路数据输入端601输入电平在0.7V以下时,第一三极管Q1截止,发光二极管的正极通过第七电阻R7接+5V电压,负极接地,中间不受隔离电路数据输入端601电平上升沿或下降沿时间的影响,使发光二极管的电流值维持在 $(5V-1.2V)/R7$ ,则当隔离电路数据输入端601电平在0.7V以上时,第一三极管Q1

导通,发光二极管截止,提升了发光二极管的开关速度,同时也提升了波形的锋利程度。

[0043] 由以上技术方案可见,本发明实施例提供一种低延时光耦隔离电路,调整光耦PC输出侧的匹配电阻,使光耦PC满足相应的延时时间,且在光耦PC的输出侧增加三极管电平维持电路,将光耦PC输出的电平转换为5V/0V电平;在光耦PC的输入侧增加一个提升光耦PC开关速度的电路,使光耦PC两侧延时时间同步,保持电平维持时间不丢失,进而使其满足较高速率的通信需求。

[0044] 在一种优选实施例中,第一三极管Q1的基极和发射极之间还连接有第九电阻R9;第二三极管Q2的基极和发射极之间还串联有第八电阻R8。其中,第八电阻R8和第九电阻R9分别使第二三极管Q2和第一三极管Q1的基极和发射极可靠接地,提高系统的抗干扰性能,防止误触发。另外,在第二三极管Q2的发射极和集电极之间还串联有第一电容C1进行滤波。

[0045] 在上述低延时光耦隔离电路的基础上,本发明实施例还提供一种RS485隔离通信电路,图5为本发明实施例提供的一种RS485隔离通信电路框图,如图5所示,在本发明实施例提供的一种RS485隔离通信电路中,收发芯片数据输出端RO通过低延时光耦隔离电路600与数据接收接口RS485\_RXD相连;收发芯片数据接收端DI通过低延时光耦隔离电路600与数据发送接口RS485\_TXD相连。由于本发明实施例提供的低延时光耦隔离电路600可以满足相应的延时时间,因此,将其应用在RS485隔离通信电路中,可使得RS485隔离通信电路能够满足9600bps或更高的通信需求。

[0046] 图6为本发明实施例提供的一种RS485隔离通信电路示意图,如图6所示,本发明实施例提供的一种RS485隔离通信电路包括RS485收发芯片100,RS485收发芯片100包括收发芯片数据输出端RO和收发芯片数据接收端DI,收发芯片数据输出端RO与隔离电路数据输入端601相连,隔离电路数据输出端602与数据接收接口RS485\_RXD相连;收发芯片数据接收端DI与隔离电路数据输出端602相连,隔离电路数据输入端601与数据发送接口RS485\_TXD相连。其中,接收使能端RE和发送使能端CE通过使能控制端隔离电路300与使能控制接口RS485\_R/D相连;输入输出同相端A和输入输出反相端B与数据传输电路500相连,在此不再赘述。

[0047] 在一种优选实施例中,收发芯片数据输出端RO还通过第十电阻R10接高电位,在第十电阻R10的两侧还并联第二电容C2进行滤波,以提高系统的稳定性。

[0048] 为了便于本领域技术人员更好地理解本技术方案,以下结合RS485隔离通信电路中数据的传输过程进行示例性说明,其中,收发芯片数据输出端RO和收发芯片数据接收端DI的隔离电路结构相同,反向对称设置,在此为了节约篇幅,以下仅以收发芯片数据输出端RO为例进行说明。

[0049] 当输入输出同相端的电压-输入输出反相端的电压 $>200\text{mV}$ 时,收发芯片数据输出端RO输出高电平,第一三极管Q1导通,其中,第一三极管Q1的 $V_{ce}$ 很低,相当于在光耦PC中的发光二极管两端短路,导致发光二极管截止,光耦PC中的受光三极管截止,第二三极管Q2截止,隔离电路数据输出端602接+5V电压,进而向数据接收接口RS485\_RXD输出高电平信号。

[0050] 当输入输出同相端的电压-输入输出反相端的电压 $<200\text{mV}$ 时,收发芯片数据输出端RO输出低电平,第一三极管Q1截止,光耦PC中的发光二极管的正极接高电位,负极接地电位,发光二极管导通,光耦PC中的受光三极管导通,第二三极管Q2的基极接高电平,第二三极管Q2导通,第二三极管的 $V_{ce}$ (集电极和发射极之间的电压)压降很低,隔离电路数据输出

端602接地,进而向数据接收接口RS485\_RXD输出低电平信号。

[0051] 由以上技术方案可知,本发明提供了一种低延时光耦隔离电路采用普通光耦即可实现2-6us的延时,将其应用在RS485隔离通信电路可实现9600bps甚至更高的485隔离通信,极大地节约了成本。

[0052] 需要说明的是,在本文中,诸如“第一”和“第二”等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0053] 以上所述仅是本发明的具体实施方式,使本领域技术人员能够理解或实现本发明。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

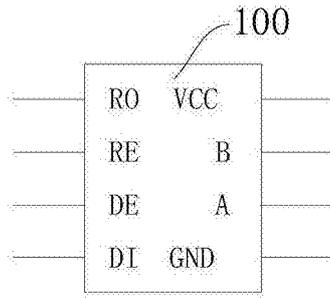


图1

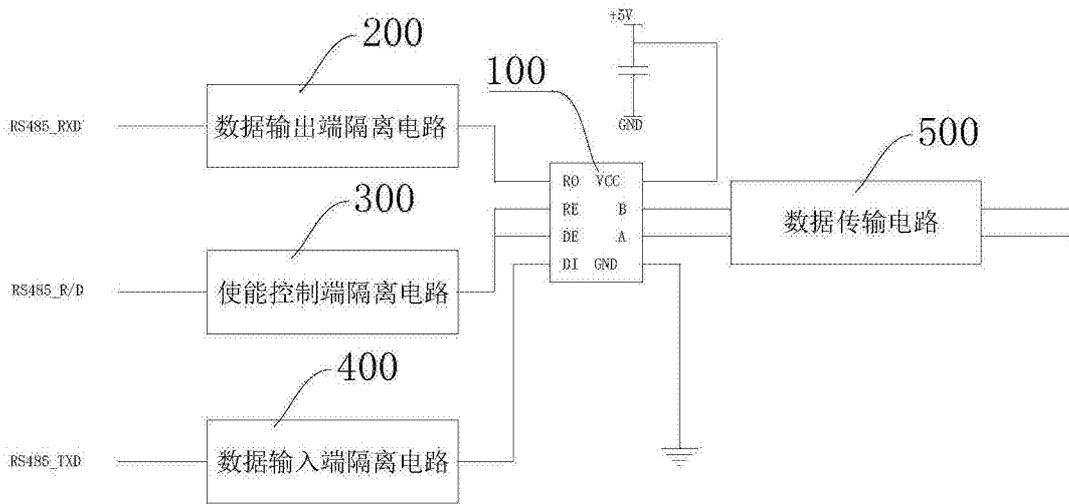


图2

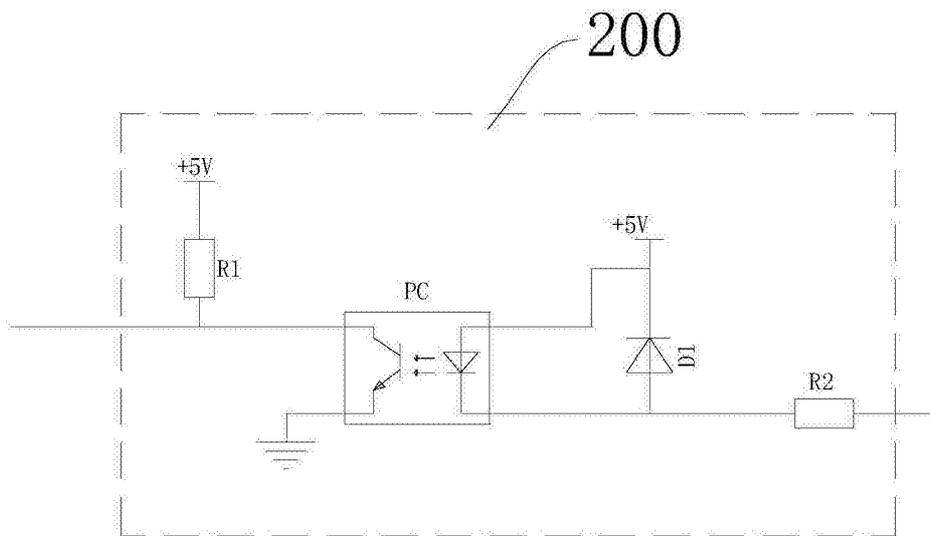


图3

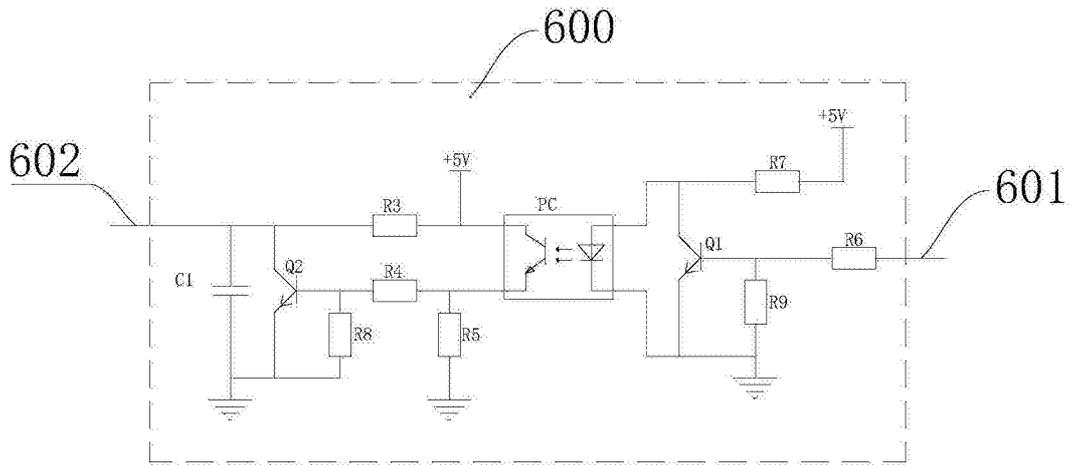


图4

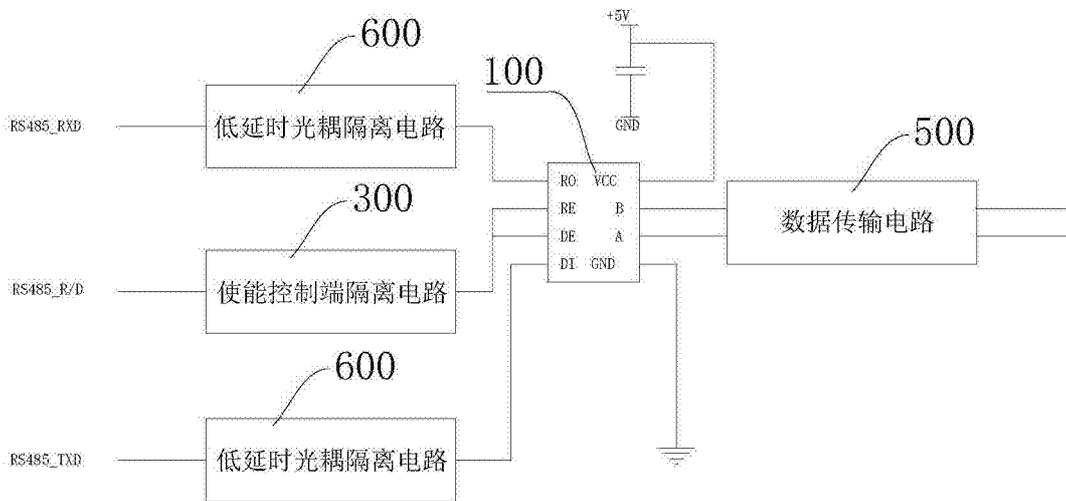


图5

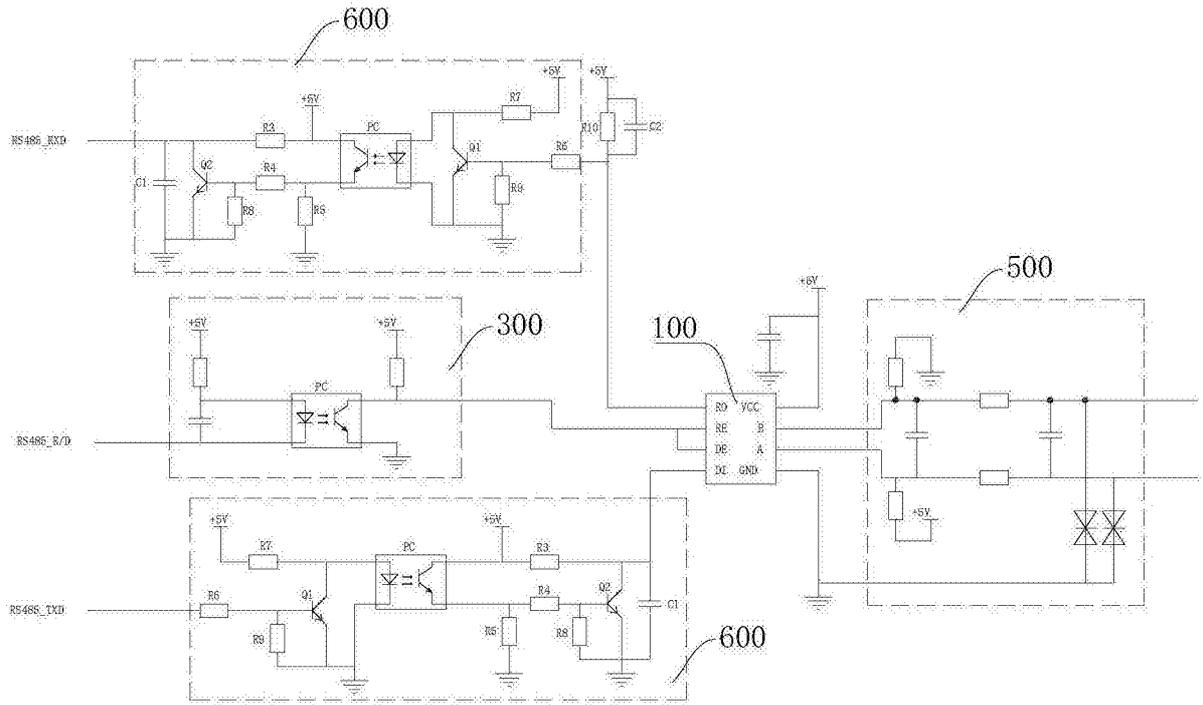


图6