I232590

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：P211873

※ 申請日期：92.7.9　　※IPC 分類：H01L 29/872

壹、發明名稱：（中文/英文）

溝渠肖特基勢壘(SCHOTTKY BARRIER)式二極體

TRENCH SCHOTTKY BARRIER DIODE

貳、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商・國際整流器公司

INTERNATIONAL RECTIFIER CORPORATION

代表人：（中文/英文）

唐納德 R. 丹瑟/Donald R. Dancer

住居所或營業所地址：（中文/英文）

美國加州愛爾斯詹道・堪薩斯街233號

233 Kansas Street, El Segundo, CA 90245, USA

國　籍：（中文/英文）

美國/USA

參、發明人：（共 2 人）

姓　名：（中文/英文）

1.安藤 浩二/Kohji Andoh

2.大衛・雪拉/Davide Chiola

住居所地址：（中文/英文）

1.美國加州愛爾斯詹道・榭登525號

525 Sheldon, El Segundo, CA 90245, USA

2.美國加州瑪莉納德雷・波拉波拉路13856號#C221

13856 Bora Bora Way, #C221, Marina del Rey, CA 90292, USA

國　籍：（中文/英文）

1.日 本/Japan

2.義大利/Italy

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☑ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國；2002,07,11；10/193,783

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關於一種半導體元件，且特別是指一種新型之溝渠肖特基二極體，以及用來製造一溝渠肖特基二極體之製程。

【先前技術】

發明背景

肖特基二極體係非常習知且被以不同拓樸技術來製成。大部分常見的是平面拓樸技術。一溝渠拓樸技術，例如：典型地顯示在Baliga專利5612567號中，亦為習知技術。一溝渠式肖特基二極體之製程需要數個掩膜層及製造步驟。以下將會說明以一減少後之製程步驟及較少之掩膜層所製成之溝渠式肖特基二極體，並可改善其邊緣構造。

【發明內容】

發明概要

依據本發明，一新型之LOCOS形式的製程係被應用於大量製造溝渠型肖特基元件上，其中，排除了預定之LOCOS製程的氧化作用，以及在生成一閘氧化物於溝渠側壁上之前的位於溝渠內壁之犧牲氧化層。這些步驟的排除乃保存了一掩膜圖層和相關的重要步驟，更意外地避免在溝渠邊緣生成不良之“鳥嘴效應”氧化物，因而改善了逆漏分佈，而增進了產量。

更明確地來說，為了使設計成大約20伏特之整流器可

大量生產，氮化矽係直接生成在矽晶圓之表面而沒有中介的二氧化矽層。一溝渠掩膜製程接著於氮化層上穿通了一開口圖樣，且包含一邊界溝渠蝕刻之蝕刻亦被完成。沒有預定的犧牲氧化層及PR移除步驟，該等溝渠壁即可接著被氧化。於溝渠再填充與平面化之後，氮化層係以一濕蝕刻來除去來為表面隨後金屬化作準備。如此，該LOCOS製程之優點仍被利用，且被修改來減少部分關鍵步驟之數量，且可改善製造能力及元件特性。

圖式簡單說明

第1圖係顯示於一習知LOCOS製程中，完成一墊氧化層及一氮化層後之一小部分矽晶圓的一剖面；

第2圖係顯示第1圖之構造，於氮化物與溝渠之一乾式蝕刻、犧牲氧化層及一濕氧化蝕刻之後，形成該墊氧化層底部下切；

第3圖係顯示第2圖之一閘氧化層長成在該等溝渠側壁上後的構造；

第4圖係顯示第3圖除去該氮化層、多晶沈積、硼植入物且驅入、多晶矽蝕刻底部，以及一繼之墊氧化層蝕刻後所形成之鳥嘴效應構造的構造；

第5圖係顯示第1圖直接形成於一層矽之表面，而未設有一墊氧化層之部分晶圓；

第6圖係顯示第5圖於凹槽蝕刻且該閘氧化層長成後之部分晶圓；(並未具有犧牲氧化層之步驟)

第7圖係顯示第6圖在填滿溝渠之多晶矽層與將硼植入

多晶矽後之構造；

第8圖係顯示第7圖之多晶矽蝕刻後的構造；

第9圖係顯示第8圖覆蓋有一勢壘金屬(鈦)後之構造；

第10圖係顯示第9圖中，該勢壘金屬退火、未反應之鈦蝕刻以及一金屬掩膜形成後之構造；及

第11圖係顯示一類似第10圖之剖面，且顯示晶圓之其他區域，包括一位在主動區域之平行溝渠以及一邊緣溝渠。

【實施方式】

較佳實施例之詳細說明

第1圖至4係顯示申請人起初嘗試利用一LOCOS製程來形成一溝渠肖特基元件。一初始矽晶圓10，具有一包括一往外長成N^-於上表面之N^+基板，首先得到一厚度200至500Å之一SiO_2的習知墊氧化層12。一氮化層14(Si_3N_4)係接著沈積於該墊氧化層12頂部。接著形成一溝渠掩膜且進行光蝕刻來形成複數個平行開口。複數個平行溝渠係接著被蝕刻進入該矽層內，即是顯示在第2圖之單一溝渠16。於以一濕犧牲氧化物加以蝕刻後，乃成長形成一犧牲氧化層。於此製程內，該墊氧化層，如第2圖所示，係底部被蝕刻。一閘氧化物(500Å)乃接著成長於該溝渠16之側壁上，於此製程中，該氮化層14之突出邊緣係被長於該下切空間之氧化物往上擠壓。接著移除該氮化層14，而多晶矽則被沈積、摻雜硼以及蝕刻背部。該墊氧化層係被蝕刻，留下第4圖顯示之位於該溝渠之頂緣的鳥嘴效應。該鳥嘴效應則會降低一完整元件的漏洩特性。

依據本發明，係可發現該墊氧化層及犧牲氧化步驟可被排除而不會降低元件特性，並簡化該製造流程。

第5圖至第11圖係以詳細之方式與新產生之元件，來顯示本發明肖特基二極體構造之製程。該製程係針對一20伏特元件說明，並不提供任何有關於適當變化之設備。如第5圖所示，為一厚度範圍在2.5μm至大約4μm且每圓密耳電阻在0.3至0.5歐姆間的矽晶圓10。該晶圓係被以例如氫氟酸(HF)來清洗。HF處理會除去熱氧化物及原有之氧化物。

該等配置圖樣乃是藉由使用數個光罩之習知照相平板印刷製程由掩膜層轉印至一矽晶圓之表面而被製成，其中每一掩膜層必須仔細對齊關於在該晶圓上之預先圖樣。典型地，為了提供這樣的對齊，一所謂之零層或基層係被形成於該晶圓之頂部。該零層係一形成於一晶圓上之初始層(為第1圖之典型墊氧化層)。大部分一般運用之利用一步進器的商業方法包含沿著刻線在X及Y方向上設置多數已對齊之光罩來改善對準的正確性。然而，此舉會增加生產成本。

申請人明瞭可能可避免形成該零光罩，且直接沈積一厚度約600Å之可移除氮化層，例如以低壓化學沈積技術(LPCVD)，直接沈積於該頂層26之表面22，如第5圖所示。因此，藉由避免生成該氧化零光罩，該新發明之整體生產成本可以減少。

為了形成該等溝渠，一掩膜層(未顯示)係被形成在該Si_3N_4層26之表面，且以一適當之照相平板印刷製程製圖，

其中，該光罩包括一所需之溝渠圖樣。

如第6圖所示，溝渠係利用合適之蝕刻流程而被形成於該Si_3N_4層26，例如電漿蝕刻。由於，多數個相間隔之溝渠28、30(第6圖至11)係較佳地被排列成平行相間隔之條紋，由該頂層之頂側22往下延伸進入該頂層。一邊緣溝渠區域30(第11圖)亦可在此階段被形成。該等溝渠28與30具有大約0.5微米的寬度，大約0.5微米的間距以及1.5微米的深度。值得注意，可利用於其他已知溝渠構造及蝕刻技術。

一旦該等溝渠形成後，該感光罩之其餘部分係會被除去，且該等溝渠之暴露表面會經歷一預-擴散之清理步驟。

綜合以上所述依序之步驟，本發明製程成功地避免形成一墊氧化層。

本發明製程優於已知構造製程的一更關鍵之差別係在於消除第3圖之犧牲氧化層。如上所述，該申請人係已發現此等步驟一般可被省去，並且，事實上，此等步驟乃會不利於該溝渠肖特基勢壘構造的品質。

再者，該發明之製程接著提供一閘氧化層步驟，如第6圖所示，而無須成長及蝕刻該犧牲氧化層。在該製程的此階段，一具有大約500Å之厚度的薄形均勻之最終氧化層44係以濕式或乾式製程成長於該溝渠的側壁上。

接著，未摻雜多晶矽48係被沈積於事先預備之構造上達大約7500Å之厚度以填滿整個溝渠，如第7圖所示。

舉例來說，一硼植入物以在80kev下以1E14/cm^2被塗佈在該元件的表面。任何可被蝕刻之植入物種類例如一P型植

入物均可被利用。在此等植入物中，硼或二氟化硼，是最常用的。

然後，在未進行其他預擴散清理之前，該植入物種類係於1050℃下被活化且驅入一小時，藉以於該等溝渠內形成多晶矽的P型傳導。藉由P型多晶矽48，多數電極則在逆偏壓下減少在該等溝渠間N^-台面的電荷，而成為形成於溝渠28及台面30之間的間歇逆向電壓。

一表面複蝕刻係如第8圖所示，以適合的電漿蝕刻器持續大約多於移除元件表面多晶矽所需之時間5秒的一段時間來完成。接著的復蝕刻步驟，係在105℃以一磷酸濕蝕刻移除覆蓋於台面區域的該氮化層。

該鳥嘴效應並無法以習知LOCOS製程中的一外加之掩膜來消除。消除鳥嘴效應所衍生之優點係可降低損耗，而不會增加成本，且因此減少成本。

接著，參閱第9圖，該頂面22係以可接著被使用之任何規劃的預-金屬清理來清理。一勢壘金屬50，例如：鈦或鎢化鈦等等，係接著被濺鍍於該表面上，形成約600Å的厚度。為了鈦的沈積，任何技術均可被利用；濺鍍及電子束蒸鍍係最常見的技術。該鈦層的任何厚度均可被利用，惟較佳的鈦層係大約600Å厚度，最大不超過該緊接之矽化物層厚度，且最小不超過該未蝕刻鈦層的厚度。

鈦係接著在高溫下鈍氣內退火。重要的是，薄鈦會與該活性元件反應而形成覆蓋於該活化層上的一層矽化鈦，即形成在該台面區域54底部延伸之肖特基接面52。沿著邊

緣區域21延伸之未反應的鈦層可接著以任何已知氫氧化銨類與過氧化氫為主之溶液來蝕刻本發明之構造而移除。蝕刻時間係可以修改，而蝕刻溫度則不應超過80℃以避免雙氧水過份快速腐蝕。

一可為鋁或其他導電金屬之介電金屬層56(第10圖)係接著被設在本發明構造頂側。一金屬光罩(未顯示)係為了下一步蝕刻，以移除位在邊界溝渠區域60內之周圍部分58(第11圖)的表面金屬而披覆。

最後，整個晶圓係以黏著形式地附著於一磨光元件上(圖未示)且會完成背面磨光，在該工作件被去黏且蝕刻來使磨光後之粗糙表面變成平坦後，該晶圓乃會至薄到8 mils。一背側金屬，例如：三價金屬鈦/鎳/銀，係被濺鍍於晶圓的底部以形成位在本發明肖特基整流器底面的陰極電極。該晶圓接著會被沿著破折線分割而分開成數個相同之二極體。

在第11圖之實施例中，該位於溝渠60內之矽二極體44具有與閘氧化物相同之厚度，大約500Å。此超薄氧化物在鋁接面58的周圍區域的頂部及該"X"區域，可能會於溫度循環下破裂。前述缺失可藉由使用較厚之氧化層來預防，例如，750Å至1000Å，或者，利用增加掩膜之一步驟來避免，例如一5000Å厚度之TEOS層。或者，藉由在接面金屬構造之中依序設置TiW及Al，一厚度大約3500Å(非必要)之鈦化鎢的勢壘層可被形成來保護位於邊界區域之閘氧化層44。

儘管本發明已經說明有關於前述特別的數具體例，許

多其他變化、修改以及其他利用對於該等熟習技藝者而言均為顯而易見。因此，本發明並非被前述具體說明所限制，而是以附上之申請專利範圍來限制。

【圖式簡單說明】

第1圖係顯示於一習知LOCOS製程中，完成一墊氧化層及一氮化層後之一小部分矽晶圓的一剖面；

第2圖係顯示第1圖之構造，於氮化物與溝渠之一乾式蝕刻、犧牲氧化層及一濕氧化蝕刻之後，形成該墊氧化層底部下切；

第3圖係顯示第2圖之一閘氧化層長成在該等溝渠側壁上後的構造；

第4圖係顯示第3圖除去該氮化層、多晶沈積、硼植入物且驅入、多晶矽蝕刻底部，以及一繼之墊氧化層蝕刻後所形成之鳥嘴效應構造的構造；

第5圖係顯示第1圖直接形成於一層矽之表面，而未設有一墊氧化層之部分晶圓；

第6圖係顯示第5圖於凹槽蝕刻且該閘氧化層長成後之部分晶圓；(並未具有犧牲氧化層之步驟)

第7圖係顯示第6圖在填滿溝渠之多晶矽層與將硼植入多晶矽後之構造；

第8圖係顯示第7圖之多晶矽蝕刻後的構造；

第9圖係顯示第8圖覆蓋有一勢壘金屬（鈦）後之構造；

第10圖係顯示第9圖中，該勢壘金屬退火、未反應之鈦蝕刻以及一金屬掩膜形成後之構造；及

第11圖係顯示一類似第10圖之剖面，且顯示晶圓之其他區域，包括一位在主動區域之平行溝渠以及一邊緣溝渠。

【圖式之主要元件代表符號表】

10…矽晶圓

12…墊氧化層

14…氮化層

16、28、30、60…溝渠

22…頂側

26…Si_3N_4層

44…最終氧化層

48…多晶矽

50…勢壘金屬

52…肖特基接面

54…台面區域

56…介電金屬層

58…周圍部分

伍、中文發明摘要：

一肖特基勢壘構造之製造流程，包含：直接於一頂層表面上形成一氮化層，且依序形成多數溝渠於該頂層中。該等溝渠之內側壁係接著沈積一最終氧化層，而並未形成一犧牲氧化層以避免溝渠側壁之內側面頂部之一鳥嘴效應的結構。一邊緣溝渠係被以相同流程步驟蝕刻，以形成多數個溝渠於該主動區域中。

陸、英文發明摘要：

A fabrication process for a Schottky barrier structure includes forming a nitride layer directly on a surface of an epitaxial ("epi") layer and subsequently forming a plurality of trenches in the epi layer. The interior walls of the trenches are then deposited with a final oxide layer without forming a sacrificial oxide layer to avoid formation of a beak bird at the tops of the interior trench walls. A termination trench is etched in the same process step for forming the plurality of trenches in the active area.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 11 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10…矽晶圓
28、30、60…溝渠
44…最終氧化層
48…多晶矽
50…勢壘金屬
52…肖特基接面
54…台面區域
56…介電金屬層
58…周圍部分

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

5. 如申請專利範圍第4項之方法，其中，該肖特基金屬層係覆蓋於該等台面與該等溝渠頂部之矽基板的露出部位，用以形成一肖特基勢壘。

6. 如申請專利範圍第1項之方法，其中，該矽基板具有2.5-4 μm之厚度以及0.3至0.5歐姆/公分之電阻。

7. 如申請專利範圍第2項之方法，其中，該最終氧化層係成長為厚度至多500Å。

8. 如申請專利範圍第3項之方法，其中，該未摻雜層係沈積成約7500Å之厚度。

9. 如申請專利範圍第3項之方法，其中，該植入雜質的步驟係包括將每平方公分3×10^{16}之濃度的硼離子加入於填滿該等溝渠之未摻雜矽層內；以及在1050℃下驅入該等硼離子至該等溝渠內達一小時，以形成P-導電區，且提供該半導體元件多個介於鄰近該等台面及溝渠間的p-n接合。

10. 如申請專利範圍第3項之方法，更包含利用一段超過該蝕刻終點5秒時間之電漿蝕刻之未摻雜多晶矽層之頂層蝕刻的步驟。

11. 如申請專利範圍第5項之方法，其中，該肖特基金屬係濺鍍為厚度至少600Å之鈦或鎢化鈦之一。

12. 如申請專利範圍第11項之方法，更包含於625℃下將肖特基層退火達30秒，且選擇地蝕刻該退火後之肖特基勢壘層的步驟。

13. 如申請專利範圍第1項之方法，其中，該矽基板具有由

該一表面延伸且終止於該等溝渠下方之N^-附加層，與一在該N^-附加層與該半導體基板之相反面間延伸之N^+基板。

14. 一種製造溝渠肖特基勢壘半導體元件之方法，包含以下步驟：

於一具有一第一導電性的半導體之相反面的其中之一上形成一氮化層；

圖案化該氮化層，以於該氮化層上界定出窗口；

藉由蝕刻穿越該氮化層來開穿該等窗口且穿越該半導體之相反於該等窗口之一表面的區域，以在該半導體基板上形成交替之溝渠與台面；

形成一氧化層於一未形成一犧牲氧化層之溝渠的頂面與各側壁上，以避免介於該氮化層與該半導體基板間，沿該台面之相間隔介面之鳥嘴效應構造；

沈積一未摻雜多晶矽之連續層於該氮化層上，來以此未摻雜多晶矽層填滿該等溝渠；

植入一第二型導電性之雜質進入該未摻雜多晶矽層來提供第二型導電性之多晶矽層；

移除覆蓋於該等台面上之氮化層以暴露將該半導體基板；

將一連續勢壘層覆蓋於該表面以形成一介於該等台面與該勢壘層之半導體基板的外露部位間之肖特基；及

將一金屬覆蓋於該半導體之相反面上以形成該半

導體元件之陽極與陰極電極。

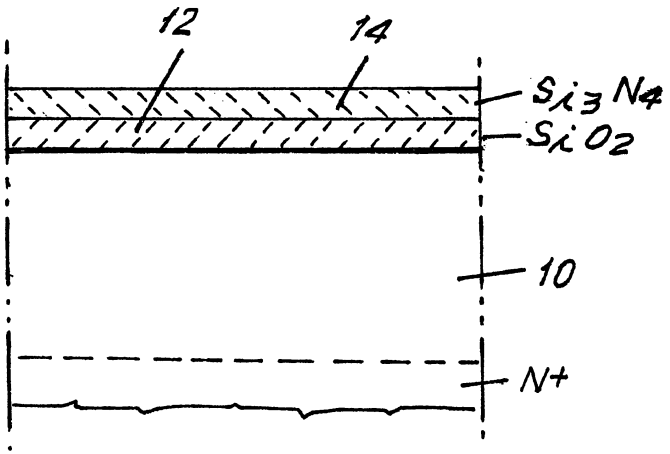
15. 如申請專利範圍第1項之方法，其中，一邊緣溝渠係與該等間隔溝渠同時形成；該肖特基金屬層係至少部分排除於該邊緣溝渠外。

16. 一種溝渠肖特基勢壘半導體元件，包含：一矽基板；該矽基板具有二相反側面；該等相反側面其中之一具有多數個間隔溝渠，及一直接設在該等溝渠間之表面上的可移除之氮化層；其中一溝渠具有一設有最終氧化層的內側壁，最終氧化層係直接成長於未預先以一犧牲氧化層設於該內側壁上，藉以當該氮化層係由該矽基板之一表面上被移除時，並無拱起之氧化物被形成於該等間隔溝渠之各內側壁的頂部。

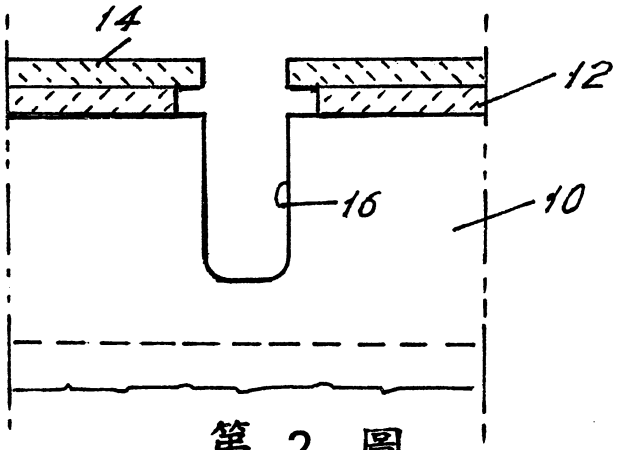
17. 如申請專利範圍第16項之溝渠肖特基勢壘半導體元件，其中，一邊緣溝渠係與該等間隔溝渠同時形成；該肖特基金屬層係至少部分排除於該邊緣溝渠之外。

18. 如申請專利範圍第17項之溝渠肖特基勢壘半導體元件，其中，一薄形矽氧化物係形成覆蓋於該邊緣之頂表面上，且插入於該溝渠頂部與該肖特基金屬層之一重疊部位之間。

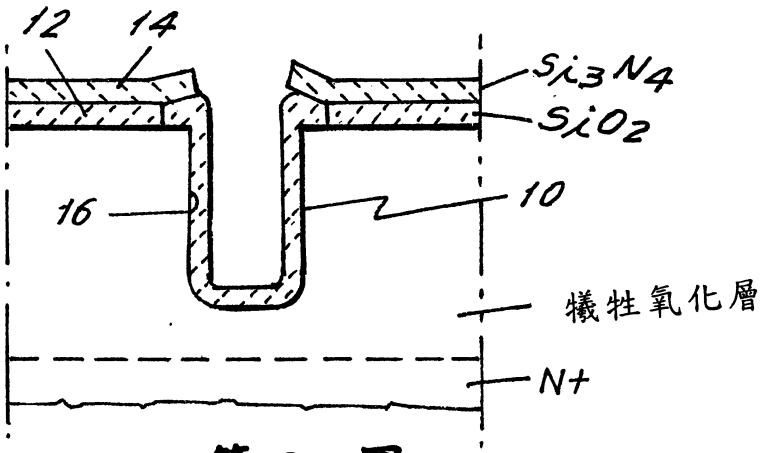
19. 如申請專利範圍第18項之溝渠肖特基勢壘半導體元件，更包含一插入於該矽氧化層與該肖特基金屬層之重疊部位之間的TECOS勢壘層。



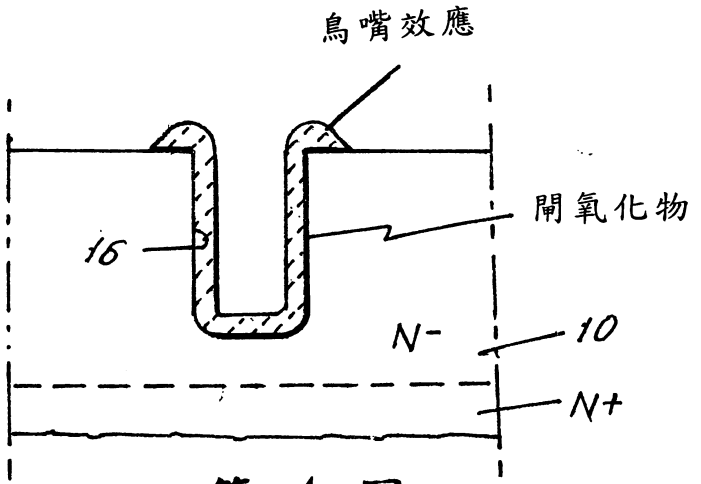
第 1 圖



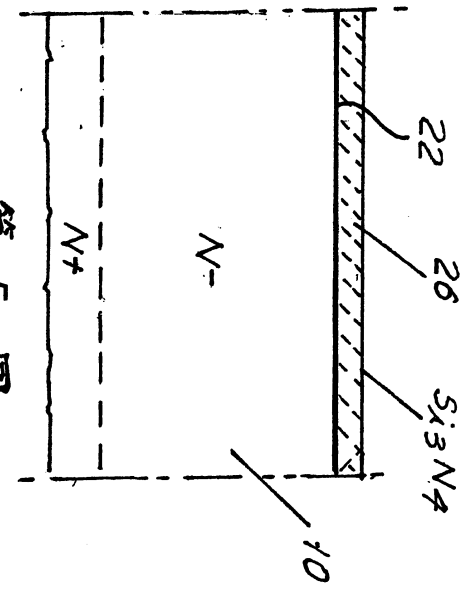
第 2 圖



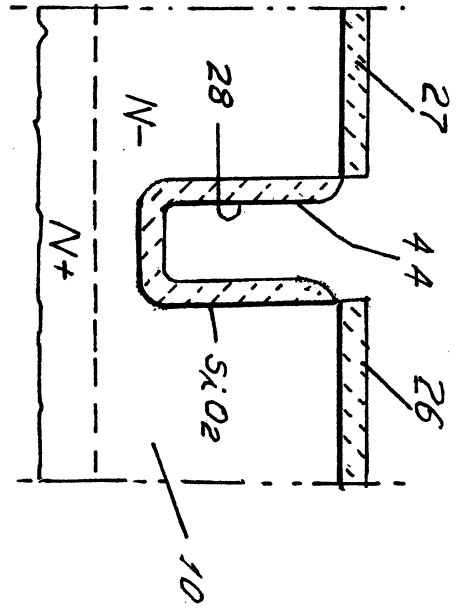
第 3 圖



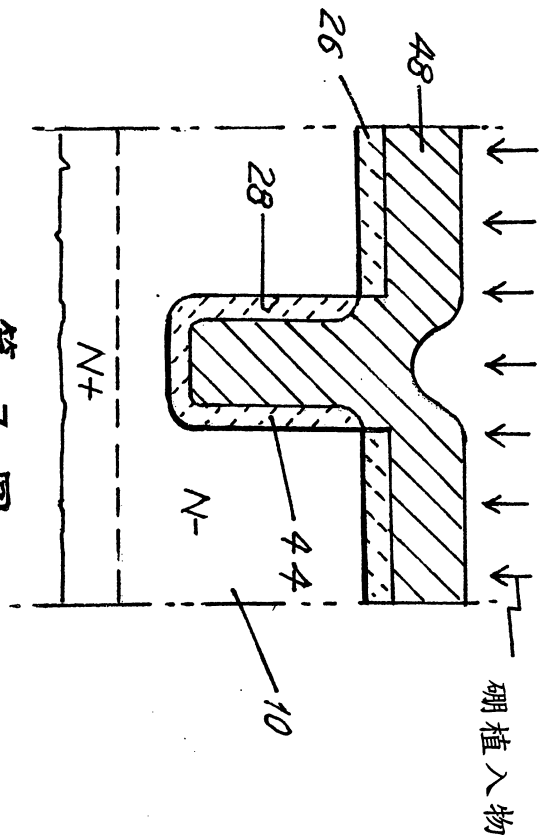
第 4 圖



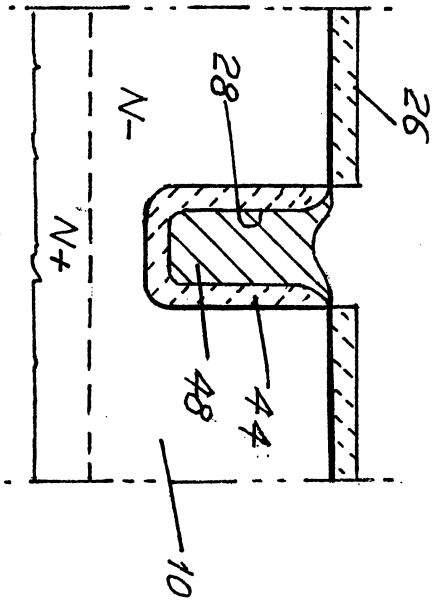
第 5 圖



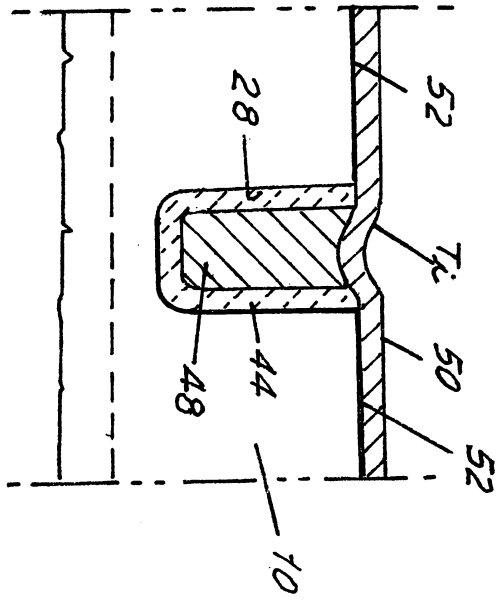
第 6 圖



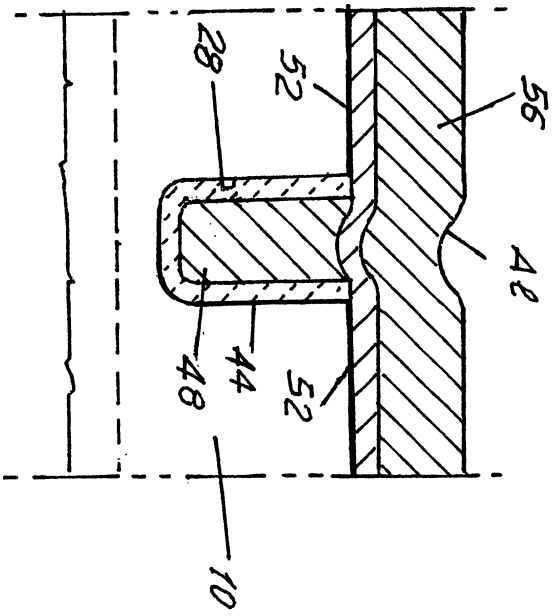
第 7 圖



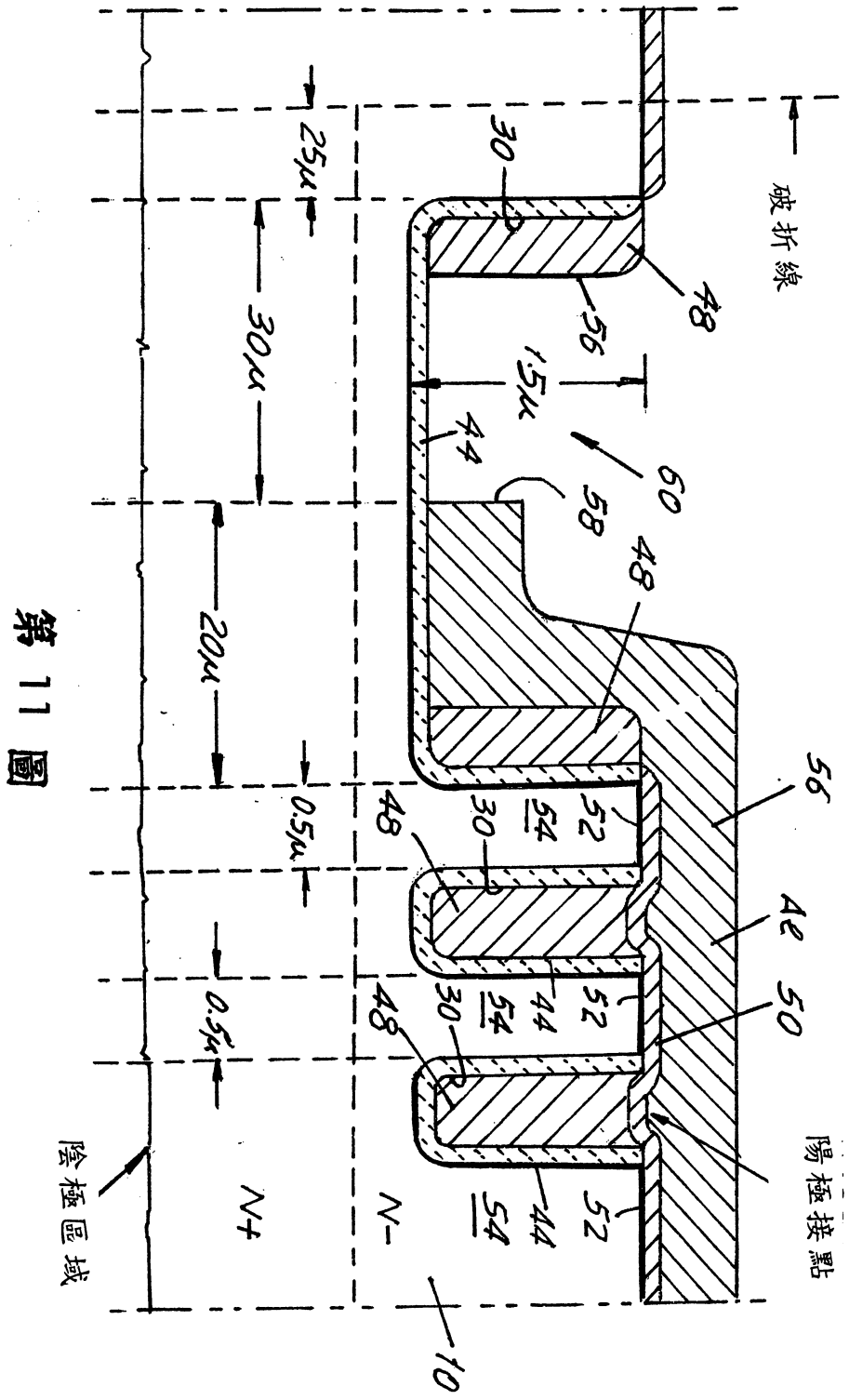
第 8 圖



第 9 圖



第 10 圖


破折線
25μ
30μ
20μ
30
48
56
1.5μ
44
60
58
48
52
54
30
0.5μ
48
52
44
54
30
0.5μ
48
56
42
50
陽極接點
52
44
54
陰極區域
N+
N-
10

第 11 圖

94年1月27日 修正補充

拾、申請專利範圍：

1. 一種製造一溝渠肖特基勢壘半導體元件之方法，包含以下步驟：於一具有第一導電性形式之矽基板的一表面上直接形成一氮化層；圖案化該氮化層以界定出間隔窗口且接著蝕刻穿過該等窗口以形成由該表面往下延伸進入矽基板內的間隔溝渠；以及以一最終氧化層覆蓋該等溝渠之內側壁而不形成與蝕刻一犧牲氧化層，以避免該等溝渠內側壁之頂部的鳥嘴效應結構。

2. 如申請專利範圍第1項之方法，更包含：以一第二導電性質之導電材料填滿該等溝渠；形成一肖特基金屬層於該頂部且與該表面接觸；以及分別地形成穿過該肖特基金屬層表面及該矽基板之一相反面且與其等接觸之陽極與陰極電極，其中，該等窗口係藉蝕刻穿越該氮化層及穿越該與窗口並置之矽基板的間隔部位而開口，以形成交替的溝渠及台面。

3. 如申請專利範圍第1項之方法，其中，以該第二導電性質之導電材料填滿該等溝渠之步驟包括：沈積一未摻雜多晶矽之連續層於該圖案化之氮化層上，以及植入第二形式之導電雜質進入填滿該等溝渠之未摻雜多晶矽層內。

4. 如申請專利範圍第2項之方法，更包含：移除覆蓋在該等台面之氮化層以露出矽基板之間隔部位，該移除動作係在以該最終氧化層覆蓋該等相間隔溝渠之內側壁後，於150℃中以一磷酸濕蝕刻來完成。