Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 920778

(61) Дополнительное к авт. свид-ву № 530337

(22) Заявлено 08.12.75 (21) 2197138/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 15.04.82. Бюллетень № 14

Дата опубликования описания 15.04.82

(51) М. Кл.[3] G 06 F 1/00

(53) УДК 681.3 (088.8)

(72) Авторы изобретения В. А. Авдеев и Я. Е. Ромм

(71) Заявитель Таганрогский радиотехнический институт им. В. Д. Калмыкова

(54) КОМБИНИРОВАННАЯ ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА

1

Изобретение относится к вычислительной технике и может быть использовано для моделирования сложных динамических процессов управления движением объектов в реальном масштабе времени и решения различных научно-технических задач (математической физики, оптимального управления и т. д.).

По основному авт. св. № 530337 известна комбинированная вычислительная система, содержащая решающие блоки, блоки памяти чисел, кодов управления, кодов настройки, коммутатор, блок управления, цифровую вычислительную машину (ЦВМ) с соответствующими взаимосвязями [1].

Недостатком известного устройства является относительно низкое быстродействие, заключающееся в том, что цифровая вычислительная машина непосредственно подключается к блоку памяти чисел. Это приводит к тому, что комбинированную вычислительную

2

систему нельзя использовать для решения некоторого класса задач, связанного с непрерывным управлением быстродействующими процессами или движением объектов, так как на время смены информации необходимо останавливать ход вычислений в решающих блоках, потому что одни и те же ячейки блока памяти чисел используются в качестве регистров сдвига в режиме решения и в качестве регистров для приема (выдачи) параллельными кодами информационных слов в режиме обмена.

Цель изобретения заключается в повышении быстродействия комбинированной вычислительной системы.

Поставленная цель достигается тем, что комбинированная вычислительная система содержит два буферных блока памяти, адресные входы которых соединены с адресным выходом цифровой вычислительной машины, информационный выход которой подключен к информационному входу второго буферного блока

памяти, выход которого соединен с информационным входом блока памяти чисел, информационный выход которого соединен с информационным входом первого буферного блока памяти, выход которого соединен с информационным входом ЦВМ, управляющие входы первого и второго буферных блоков памяти соединены с соответствующим выходом блока управления.

Введение буферных блоков памяти в устройство позволяет повысить быстродействие, во-первых, за счет совмещения передачи данных из цифровой вычислительной машины во второй буферный блок памяти и передачи данных из решающих блоков в первый буферный блок памяти с процессом вычисления решающих блоков, во-вторых, за счет организации более быстрой передачи данных из второго буферного блока памяти в блок памяти чисел параллельно по словам и параллельно или последовательно по разрядам в процессе обмена информацией цифровой вычислительной машины с решающими блоками.

На чертеже представлена структурная схема комбинированной вычислительной системы.

Система содержит цифровую вычислительную машину 1, соединенную адресным выходом 2 и информационными выходом 3 и входом 4 с блоками памяти чисел 5, памяти кодов настройки 6, памяти кодов управления 7 и с блоком коммутации 8, соединенным выходами и входами с информационными входом и выходом каждого решающего блока 9_1-9_n, соединенного другими информационными выходом и входом с блоком памяти чисел 5 и настроечными входами с выходом блока памяти кодов настройки 6, блок управления 10, подключенный двухсторонними связями к блокам памяти чисел 5 и памяти кодов управления 7 и управляющими выходами к решающим блокам 9_1-9_n и цифровой вычислительной машине 1, первый буферный блок памяти 11, информационный вход которого соединен с блоком памяти чисел 5, а выход - с информационным входом 4 цифровой вычислительной машины 1, второй буферный блок памяти 12, подключенный информационным выходом к блоку памяти чисел 5 и входом к выходу 3 цифровой вычислительной машины 1, соединенной адресным выходом 2 с первым и вторым буферным блоками памяти, управляющие выходы 13 блока управления 8, кроме того, подключены ко всем блокам памяти 5, 6, 7, 11 и 12 и блоку коммутации 8.

Комбинированная вычислительная система в зависимости от класса решаемых задач работает в следующих основных режимах: последовательном, параллельном и одиночном.

Последовательный режим работы характеризуется последовательной во времени работой цифровой вычислительной машины 1 и решающих блоков 9_1-9_n. Этот режим работы вычислительной системы встречается при решении задач оптимального управления и математической физики, в которых решающие блоки используются в качестве структурной подпрограммы цифровой вычислительной машины для быстрого решения систем алгебраических (дифференциальных) уразнений.

Для этого режима работы наиболее быстродействующей является организация передачи числовых данных из цифровой вычислительной машины 1 (и наоборот) непосредственно в блок памяти чисел 5, так как результаты, полученные процессором цифровой вычислительной машины и являющиеся начальными значениями для решающих блоков, отсылаются в блок памяти чисел 5, который благодаря своему подключению к адресным и информационным шинам цифровой вычислительной машины составляет некоторую часть ее оперативной памяти.

Параллельный режим работы комбинированной вычислительной системы выполняется при одновременной работе цифровой вычислительной машины и решающих блоков, например, при моделировании сложных динамических систем.

Одиночный режим работы системы заключается в выполнении операций вычислений только решающими блоками 9_1-9_n, а цифровая вычислительная машина 1 осуществляет вывод управляющих и информационных слов в решающие блоки по сигналам прерывания, сформированным блоком управления 10. Этот режим работы встречается при программном управлении движением объектов по заранее известной траектории (программе).

Для последних двух режимов работы наиболее быстродействующей является организация передачи данных между цифровой вычислительной машиной и решающими блоками через первый 11 и

второй 12 буферные блоки памяти. За счет совмещения передачи чисел из цифровой вычислительной машины во второй буферный блок памяти 12 и из решающих блоков в первый буферный блок памяти 11 с процессом вычисления решающих блоков время ввода числовых данных в решающие блоки определяется временем передачи чисел из второго буферного блока памяти 12 в блок памяти чисел 5. Это время при передаче данных параллельно по словам и параллельно по разрядам, практически равно времени выполнения одного такта, осуществляющего передачу чисел из второго буферного блока памяти 12 в блок памяти чисел 5, т. е. в этом случае возможно осуществлять смену начальных значений в решающих блоках без останова в них процесса решения.

Рассмотрим некоторые принципы организации совместной работы цифровой вычислительной машины и решающих блоков, характерные для трех режимов работы вычислительной системы.

Перед началом работы цифровая вычислительная машина выполняет с помощью команды "Передача" ввод числовой информации, кодов коммутации, кодов настройки и кодов управления соответственно в блок памяти чисел 5, блок коммутации 8, в блоки памяти кодов настройки 6 и памяти кодов управления 7. Каждому типу передаваемой информации соответствуют коды признака информации, которые передаются в фиксированные ячейки блока памяти 7. В соответствии с этими кодами признаков блок управления 10 на выходе 13 формирует сигналы разрешения на ввод информации в соответствующие блоки памяти 5, 6, 7, 11 и 12 и блок коммутации 8, а выбор ячейки в блоках памяти выполняется с помощью адресных выходов 2 цифровой вычислительной машины. Ввод кодов коммутации, кодов настройки и некоторых кодов управления, задающих время решения блоков 9_1-9_n, производится обычно один раз на все время решения задачи. Затем в процессе выполнения программы цифровой вычислительной машиной происходит только смена начальных условий решающих блоков в ячейках блока памяти чисел 5. После ввода исходной информации блок памяти кодов настройки 6 осуществляет настройку каждого решающего блока на выполнение определенной операции (суммирования, интегрирования и т. д.), блок коммутации 8 выполняет соединение выходов и входов решающих блоков в соответствии с кодами коммутации, задающими адреса входов решающих блоков, и адресами на адресном выходе 2 цифровой вычислительной машины, определяющими адреса выходов решающих блоков.

По управляющему слову с кодом признака пуска, переданным цифровой вычислительной машиной в фиксированную ячейку блока памяти кодов управления 7, производится пуск блоков 9_1-9_n на решение задачи. При этом цифровая вычислительная машина переключается на выполнение другой программы или находится в режиме ожидания (останов).

В процессе работы решающих блоков выполняется одновременный сдвиг в данных ячейках блока памяти чисел 5 тактовыми импульсами блока управления 10 (каждая ячейка соединена с соответствующим решающим блоком и используется в качестве регистра сдвига).

После останова работы решающих блоков блоком управления 10 вырабатывается сигнал, который прерывает работу цифровой вычислительной машины над выполнением текущей программы или осуществляет пуск ее на продолжение выполнения старой программы, и результаты решения блоков 9_1-9_n считываются цифровой вычислительной машиной из блока памяти чисел 5 или первого буферного блока памяти 11 в зависимости от режима работы комбинированной вычислительной системы, который также задается цифровой вычислительной машиной, передачей кода в фиксированную ячейку блока памяти кодов управления 7. В соответствии с этим кодом блок управления 10 разрешает выдачу чисел по одним и тем же адресам или из ячеек буферного блока или блока памяти чисел 5.

Кроме того, цифровая вычислительная машина может произвести считывание информации о состоянии решающих блоков из фиксированных ячеек памяти блока памяти кодов управления 7.

Использование первого и второго буферных блоков памяти повышает быстродействие комбинированной вычислительной системы при решении круга задач за счет организации более быстрой передачи данных между цифровой вычислительной машиной и решающими

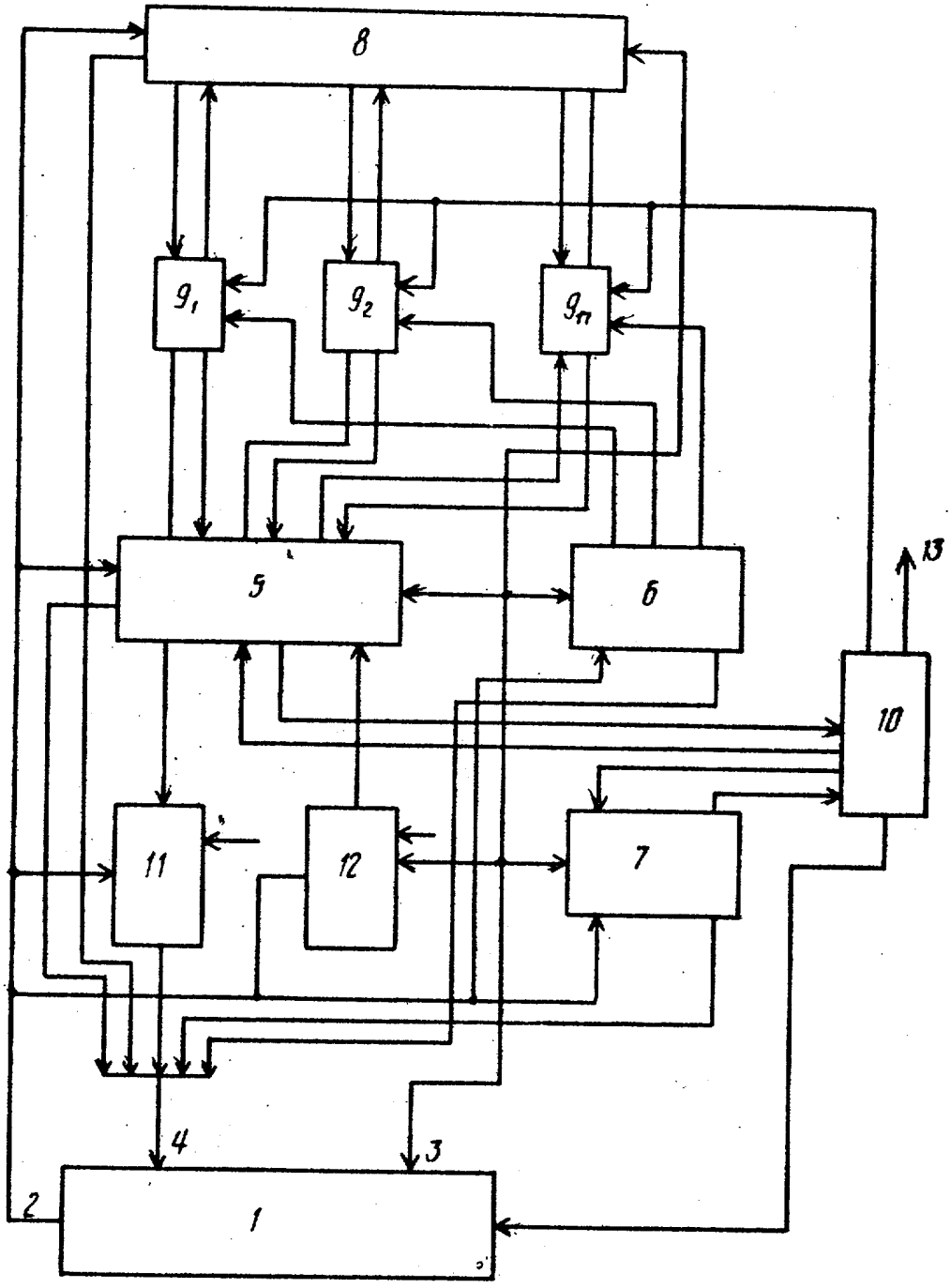
блоками, позволяющей производить смену начальных значений в решающих блоках без останова в них процесса вычисления. Это новое качество выгодно отличает предлагаемое устройство от известного и приводит к расширению класса решаемых задач, а следовательно, и сферы применения устройства.

Формула изобретения

Комбинированная вычислительная система по авт. св. № 530337, отличающаяся тем, что, с целью повышения быстродействия, она содержит два буферных блока памяти, адресные входы которых соединены с адресным выходом цифровой вычислительной машины, информационный выход которой соединен с информационным входом второго буферного блока памяти, выход которого соединен с информационным входом блока памяти чисел, информационный выход которого соединен с информационным входом первого буферного блока памяти, выход которого соединен с информационным входом цифровой вычислительной машины, управляющие входы первого и второго буферных блоков памяти соединены с соответствующим входом блока управления.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 530337, кл. G 06 J 1/00, 1975 (прототип).



Составитель И. Хазова
Редактор Л. Веселовская Техред Е. Харитончик Корректор В. Бутяга

Заказ 2347/59 Тираж 732 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4