

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第3区分  
【発行日】平成26年1月23日(2014.1.23)

【公開番号】特開2012-128478(P2012-128478A)  
【公開日】平成24年7月5日(2012.7.5)  
【年通号数】公開・登録公報2012-026  
【出願番号】特願2010-276730(P2010-276730)  
【国際特許分類】

G 0 6 F 12/04 (2006.01)

【F I】

G 0 6 F 12/04 5 1 0 A

【手続補正書】

【提出日】平成25年11月28日(2013.11.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

K個(K:2以上の整数)のアドレス係数をNビットに相当するビット幅のアドレスが設けられた第1メモリに対応して発生する一方、L個(L:Kを上回る整数)のアドレス係数をN/M(M:2以上の整数)ビットに相当するビット幅のアドレスが設けられた第2メモリに対応して発生する発生手段、  
前記発生手段によって発生されたアドレス係数の値を1/Mの値に変換する第1変換手段

、  
前記発生手段によって発生されたアドレス係数に基づくアドレス情報を前記第1メモリに対応して生成する一方、前記第1変換手段によって変換されたアドレス係数に基づくアドレス情報を前記第2メモリに対応して生成する生成手段、および  
前記第1メモリ又は前記第2メモリへのアクセスのために前記生成手段によって生成されたアドレス情報を出力する出力手段を備える、メモリアクセス装置。

【請求項2】

前記メモリはバーストアクセス方式を採用し、

前記出力手段は前記生成手段によって生成されたアドレス情報を前記メモリのバースト長に対応する周期でラッチするラッチ手段を含む、請求項1に記載のメモリアクセス装置。

【請求項3】

前記出力手段から出力されたアドレス情報の基礎となるアドレス係数を検出する検出手段

、  
前記検出手段によって検出されたアドレス係数の値をM倍の値に変換する第2変換手段、  
および

前記検出手段によって検出されたアドレス係数を前記第1メモリに対応して選択する一方、前記第2変換手段によって変換されたアドレス係数を前記第2メモリに対応して選択する選択手段をさらに備える、請求項2に記載のメモリアクセス装置。

【請求項4】

各ワードが前記Nビットに相当するビット幅を有するデータを前記N/Mビットに相当するビット幅を有する部分データに分割する分割手段、および

前記分割手段によって分割された部分データを前記第2メモリに向けて出力するデータ出力手段をさらに備える、請求項3に記載のメモリアクセス装置。

**【請求項 5】**

各ワードが前記 N / M ビットに相当するビット幅を有して前記第 2 メモリから読み出されたデータを結合して各ワードが前記 N ビットに相当するビット幅を有する結合データを作成する結合手段、および  
前記結合手段によって作成された結合データを出力する出力手段をさらに備える、請求項 4 記載のメモリアクセス装置。