

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014464 A1

- (51) 国際特許分類:
H03H 19/00 (2006.01) H04B 1/26 (2006.01)
H03K 17/00 (2006.01) H04B 1/30 (2006.01)
- (21) 国際出願番号: PCT/JP2011/004239
- (22) 国際出願日: 2011年7月27日(27.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-169628 2010年7月28日(28.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 塩崎 泰翔 (SHIOZAKI, Hiroka). 荒木 純道 (ARAKI, Kiyomichi). 森下 陽平 (MORISHITA, Yohei). 金丸 正樹 (KANEMARU, Masaki).
- (74) 代理人: 鷲田 公一 (WASHIDA, Kimihito); 〒1600023 東京都新宿区西新宿1-23-7 新宿ファーストウエスト8階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

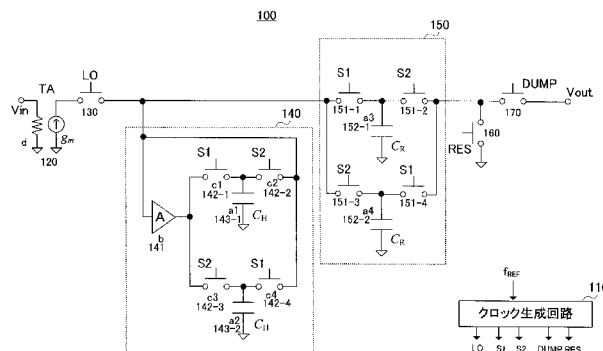
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISCRETE TIME ANALOG CIRCUIT AND RECEIVER USING SAME

(54) 発明の名称: 離散時間アナログ回路及びそれを用いた受信機

[図10]



110 Clock generation circuit

(57) Abstract: A discrete time analog circuit has a high degree of freedom in the zero-point and pole setting positions of a filter, and has wide band and steep filter characteristics. The discrete time analog circuit (100) is provided with: a rotate capacitor circuit (150); an amplifier (141) that is connected to the input line or the output line of the rotate capacitor (150), and amplifies the input potential or input charge; a coefficient circuit (140) that is positioned in series with the amplifier (141), and has two history capacitors (143-1, 143-2) positioned parallel to each other; a first active capacitor among the two history capacitors (143-1, 143-2) that is connected to and charges the amplifier (141); and a clock generation circuit (110) that is connected to the input line or the output line without the involvement of the amplifier (141), and that sequentially changes the pairing of the rotate capacitor circuit (150) a second active capacitor, which shares a charge with the rotate capacitor circuit (150).

(57) 要約:

[続葉有]

WO 2012/014464 A1



フィルタの零点と極の設定位置の自由度が高い、広帯域かつ急峻なフィルタ特性を有する離散時間アナログ回路。この離散時間アナログ回路（１００）は、ローテートキャパシタ回路（１５０）と、ローテートキャパシタ回路（１５０）の入力ライン又は出力ラインに接続され、入力電位又は入力電荷を増幅する増幅器（１４１）と、増幅器（１４１）に直列に配置され、互いに並列に配置される２個のヒストリキャパシタ（１４３－１，１４３－２）とを有する係数回路（１４０）と、２個のヒストリキャパシタ（１４３－１，１４３－２）のうち、増幅器（１４１）と接続されチャージされる第１のアクティブキャパシタと、増幅器（１４１）を介さずに入力ライン又は出力ラインと接続され、ローテートキャパシタ回路（１５０）と電荷共有される第２のアクティブキャパシタとのペアを順次変更するクロック生成回路（１１０）と、を具備する。

明 細 書

発明の名称： 離散時間アナログ回路及びそれを用いた受信機

技術分野

[0001] 本発明は、離散時間アナログ回路及びそれを用いた受信機に関し、特に離散時間アナログ処理により周波数変換やフィルタ処理等の受信信号処理を行う技術に関する。

背景技術

[0002] 無線受信機は、小型化、低消費電力化、ならびに、アナログ信号処理部とデジタル信号処理部の一体化を目指すため、高周波信号を直接、離散時間的にサンプリングして受信処理する構成が知られている（例えば特許文献１、非特許文献１）。

[0003] 図１は、特許文献１に開示されているダイレクトサンプリング回路の全体構成を示す図である。図２は、図１の回路に入力される制御信号を示すタイミングチャートである。図１のダイレクトサンプリング回路は、受信したアナログＲＦ（Radio Frequency）信号を、周波数変換し、離散時間アナログ信号へ変換している。このときの周波数変換は、マルチタップ・ダイレクト・サンプリング・ミキサ（Multi-Tap Direct Sampling Mixer）を用いる。より具体的には、図１の回路に含まれる複数のキャパシタ間での電荷移動により、ＦＩＲ（Finite Impulse Response）フィルタ、及びＩＩＲ（Infinite Impulse Response）フィルタの積となるフィルタ特性を実現する。通過域近傍の特性は、２次ＩＩＲフィルタ特性で決定される。図３（ａ）は、広帯域周波数特性を示し、図３（ｂ）は通過域近傍の狭帯域周波数特性の一例を示す。

[0004] さらに、ダイレクトサンプリング回路は、上記構成を基本として、伝達関数に複素極を有する構成が知られている（非特許文献２）。図４は、非特許文献２に開示されているダイレクトサンプリング回路の全体構成を示す図である。図５は、図４の回路に入力される制御信号を示すタイミングチャートである。図６は、図４の回路によって得られる周波数特性の例（ローカル（

L O) 周波数 $f_{L0}=2.4\text{ GHz}$) である。ダイレクトサンプリング回路は、伝達関数に複素極を有することによって通過域にリプルを得られていることが知られている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許出願公開第2003/0035499号明細書

非特許文献

[0006] 非特許文献1：IEEE Journal of Solid-State Circuits, Vol.39, No.12, Dec. 2004, “All-Digital Tx Frequency Synthesizer and Discrete-time Receiver for Blue tooth Radio in 130-nm CMOS”

非特許文献2：電気学会 電子回路研究会, ECT-08-89, Nov. 2008, “複素極を有するダイレクトサンプリングミキサによる通過域端特性の改善(Direct Sampling Mixer with Complex Poles Enhancing Sharpness Passband Edge Characteristic)”

発明の概要

発明が解決しようとする課題

[0007] しかしながら、前記従来の技術では、以下に示すような課題を有する。

[0008] 図1に示すような従来のダイレクトサンプリング回路では、通過域近傍が2次の $1/R$ で決まるため、広帯域かつ急峻なフィルタ特性を実現することが困難である。

[0009] また、図4に示すような構成を採るダイレクトサンプリング回路は、伝達関数上に複素極を実現し、通過域をフラットにしたフィルタ特性を実現することが可能となる。しかし、この構成では、式(1)に示すようにフィルタの係数として1より小さい値しか選択できず、実現できる極の範囲が狭くなり、低周波数で極による周波数特性の持ち上がりを実現することが難しい。

[数1]

$$T = \frac{1}{1 - C_H / (C_H + C_F + C_R) z^{-1} + C_F / (C_H + C_F + C_R) z^{-2}} \quad (1)$$

[0010] 例えば、従来のダイレクトサンプリング回路では、サンプリング周波数の $1/1000$ の帯域幅をもつフィルタで広帯域化を達成することが困難となる。図6の実線では、リップルの位置が 10MHz 付近にあり、デシメーション後のサンプリング周波数は 120MHz であるため、両者の比はたった 12 でしかない。

[0011] 広帯域なフィルタ特性を実現するためには、デシメーション(Decimation)が必要となる。しかし、デシメーションを用いたフィルタは、デシメーション比に対応する周波数で折り返しが発生するため、当該フィルタ特性を有するフィルタを容易に使用することが難しくなる。

[0012] つまり、従来の構成では、係数の実現範囲に制約があるため、アナログやデジタルのフィルタ設計において、一般的に用いられている最平坦特性やチェビシェフ特性を、任意のサンプリング周波数で実現することができなかった。

[0013] 本発明は、かかる点に鑑みてなされたものであり、フィルタの零点と極の設定位置の自由度が高い、広帯域かつ急峻なフィルタ特性を有する離散時間アナログ回路および受信機を提供することを目的とする。

課題を解決するための手段

[0014] 本発明の離散時間アナログ回路の一つの態様は、ローテートキャパシタ回路と、前記ローテートキャパシタ回路の入力ラインに接続され、入力電位又は入力電荷を増幅する電位保持手段と、前記電位保持手段に直列に配置され、互いに並列に配置される n 個の電荷保持手段とを有する、少なくとも一つの係数回路と、前記 n 個の電荷保持手段のうち、前記電位保持手段と接続されチャージされる第1の電荷保持手段と、前記電位保持手段を介さずに前記入力ラインと接続され、前記ローテートキャパシタ回路の電荷と電荷共有または前記ローテートキャパシタ回路に電位保持される第2の電荷保持手段とのペアを順次変更する回路接続切り替え手段と、を具備する。

[0015] 本発明の離散時間アナログ回路の一つの態様は、ローテートキャパシタ回路と、前記ローテートキャパシタ回路の出力ラインに接続され、出力電位又

は出力電荷を増幅する電位保持手段と、前記電位保持手段に直列に配置され、互いに並列に配置される n 個の電荷保持手段とを有する、少なくとも一つの係数回路と、前記 n 個の電荷保持手段のうち、前記電位保持手段と接続されチャージされる第 1 の電荷保持手段と、前記電位保持手段を介さずに前記出力ラインと接続され、前記ローテートキャパシタ回路の電荷と電荷共有または前記ローテートキャパシタ回路に電位保持される第 2 の電荷保持手段とのペアを順次変更する回路接続切り替え手段と、を具備する。

[0016] 本発明の受信機の一つの態様は、上記記載の離散時間アナログ回路と、入力信号を受信するアンテナと、前記アンテナが受信した信号を増幅し、増幅された信号を前記離散時間アナログ回路に出力する低雑音増幅器と、前記離散時間アナログ回路から出力されるベースバンド信号をアナログデジタル変換して、デジタルベースバンド信号を出力するアナログデジタル変換部と、を具備する。

発明の効果

[0017] 本発明によれば、サンプリング回路の設計自由度を向上し、広帯域かつ急峻なフィルタ特性を実現することが可能となる。

図面の簡単な説明

[0018] [図1]従来構成 1 のダイレクトサンプリング回路の構成図

[図2]従来構成 1 のダイレクトサンプリング回路に入力する制御信号のタイミングチャート

[図3]従来構成 1 のダイレクトサンプリング回路により実現されるフィルタ特性の例を示す特性図

[図4]従来構成 2 のダイレクトサンプリング回路の構成図

[図5]従来構成 2 のダイレクトサンプリング回路に入力する制御信号のタイミングチャート

[図6]従来構成 2 のダイレクトサンプリング回路により実現されるフィルタ特性の例を示す特性図

[図7]本発明の実施の形態 1 に係るダイレクトサンプリング受信機の構成を示

サブブロック図

[図8]実施の形態 1 に係る離散時間アナログ回路の構成図

[図9]クロック生成回路から提供されるクロック（制御信号）を示す図

[図10]実施の形態 1 に係る離散時間アナログ回路の別の構成図

[図11]クロック生成回路から提供されるクロック（制御信号）を示す図

[図12]実施の形態 1 に係る離散時間アナログ回路の更に別の構成図

[図13]実施の形態 1 に係る係数回路の動作を説明するための図

[図14]実施の形態 1 に係る係数回路の共通構成を示す図

[図15]実施の形態 2 に係る離散時間アナログ回路の構成図

[図16]クロック生成回路から提供されるクロック（制御信号）を示す図

[図17]実施の形態 2 に係る離散時間アナログ回路の別の構成図

[図18]計算結果及びシミュレーション結果によるフィルタ特性の一例を示す特性図

[図19]実施の形態 3 に係る係数回路の動作原理を示す図

[図20]実施の形態 3 に係る係数回路の具体的構成を示す図

[図21]実施の形態 3 に係る離散時間アナログ回路の構成図

[図22]クロック生成回路から提供されるクロック（制御信号）を示す図

[図23]実施の形態 3 に係る n 次の離散時間アナログ回路の別の構成図

[図24]実施の形態 4 に係る係数回路の構成図

[図25]実施の形態 4 に係る離散時間アナログ回路の構成図

[図26]クロック生成回路から提供されるクロック（制御信号）を示す図

[図27]実施の形態 4 に係る離散時間アナログ回路の別の構成図

[図28]クロック生成回路から提供されるクロック（制御信号）を示す図

[図29]実施の形態 4 に係る k 次の係数回路の構成図

[図30]実施の形態 4 に係る n 次の離散時間アナログ回路の構成図

[図31]実施の形態 5 に係る離散時間アナログ回路の構成図

[図32]実施の形態 5 に係る離散時間アナログ回路の別の構成図

[図33]クロック生成回路から提供されるクロック（制御信号）を示す図

[図34]実施の形態5の離散時間アナログ回路により実現されるフィルタ特性の例を示す特性図

[図35]実施の形態6に係るn次の離散時間アナログ回路の構成図

[図36]実施の形態6に係るn次の離散時間アナログ回路の別の構成図

[図37]実施の形態7に係る離散時間アナログ回路の構成図

[図38]実施の形態7に係る離散時間アナログ回路の別の構成図

[図39]実施の形態7に係る離散時間アナログ回路の更に別の構成図

[図40]実施の形態7に係る離散時間アナログ回路の更に別の構成図

[図41]実施の形態7に係る離散時間アナログ回路により実現されるフィルタ特性の例を示す特性図

[図42]実施の形態8に係る係数回路の構成図

[図43]実施の形態8に係る回路接続の別の構成図

[図44]実施の形態8に係る回路接続の更に別の構成図

[図45]実施の形態9に係る係数回路の更に別の構成図

[図46]実施の形態9に係るk次の係数回路の構成図

発明を実施するための形態

[0019] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

[0020] (実施の形態1)

[サンプリング受信機全体の説明]

図7は、本実施の形態に係るダイレクトサンプリング受信機の構成を示すブロック図である。図7において、ダイレクトサンプリング受信機10は、アンテナ11と、低雑音増幅器(LNA: Low Noise Amplifier)12と、離散時間アナログ回路13と、参照周波数発振部14と、A/D(Analog to Digital)変換処理部15と、デジタル受信処理部16とを有する。

[0021] このダイレクトサンプリング受信機10は、搬送波周波数 f_{RF} で送信された電磁波21を受信し、この受信信号に対して離散時間的に周波数変換とフィルタ処理を施して所望信号成分を抽出する。そして、ダイレクトサンプリング受信機10は、抽出した所望信号成分をデジタル信号に変換してデジタ

ル受信処理を行い、得られた受信データ 27 を出力する。

[0022] アンテナ 11 は、図示していない送信局から搬送波周波数 f_{RF} で送信された電磁波 21 を受信し、これをアナログ RF 信号 22 に変換する。低雑音増幅器 12 は、アナログ RF 信号 22 を増幅して出力する。

[0023] 離散時間アナログ回路 13 は、増幅されたアナログ RF 信号 23 と参照周波数信号 24 とを入力とする。そして、離散時間アナログ回路 13 は、アナログ RF 信号 23 を離散時間的に周波数変換してフィルタ処理を行うことで、所望信号成分のみを抽出したベースバンド信号(または中間周波数 (IF) 信号) 25 を出力する。

[0024] 参照周波数発振部 14 は、離散時間アナログ回路 13 に対して、サンプリング処理及び周波数変換処理に用いる参照周波数信号 24 を生成して出力する。

[0025] A/D 変換処理部 15 は、入力されるベースバンド信号 25 を所定のサンプリング周波数でデジタル値に量子化し、変換したデジタルベースバンド信号 26 を出力する。

[0026] デジタル受信処理部 16 は、入力されるデジタルベースバンド信号 26 に対して、復調処理及び復号処理等の所定のデジタル受信処理を行い、これにより得た受信データ 27 を出力する。

[0027] 図 8 は、本実施の形態に係る離散時間アナログ回路 13 の要部構成の一例を示すブロック図である。なお、図 8 において、離散時間アナログ回路 100 は、図 7 の離散時間アナログ回路 13 に相当し、サンプリングミキサを構成する。

[0028] [離散時間アナログ回路 100 の構成]

図 8 において、離散時間アナログ回路 100 は、クロック生成回路 110、TA (Transconductance Amplifier: 電圧電流変換回路 (トランスコンダクタンス値: g_m)) 120、サンプリングスイッチ 130、係数回路 140、ローテートキャパシタ回路 150、リセットスイッチ 160、及び、ダンプスイッチ 170 を有する。

- [0029] 図8に示す離散時間アナログ回路100は、ローテートキャパシタ回路150の前段に係数回路140を有する構成を示すもので、以下では、前段型離散時間アナログ回路と呼ぶ。前段型離散時間アナログ回路は、係数回路140がローテートキャパシタ回路150の入力ラインに接続されている。
- [0030] 係数回路140は、CH（ヒストリキャパシタ）143-1, 143-2 (a1, a2)、増幅器141 (b)、接続切り替えスイッチ（以下、スイッチという）142-1～142-4 (c1-c4)を有する。そして、係数回路140は、ローテートキャパシタ回路150 (内の電荷保持回路)と電荷共有することにより、離散時間アナログ回路100の伝達関数の分母（denominator）の1次の任意の値を有する係数を実現する。係数回路140には、クロック生成回路110から制御信号であるS1、S2が入力される。
- [0031] 係数回路140において、増幅器141 (b)は、ローテートキャパシタ回路150の入力ラインに接続され、入力電位又は入力電荷を増幅する電位保持手段として機能する。また、CH143-1, 143-2は、増幅器141 (b)とは直列に接続され、互いに並列に配置される。CH143-1, 143-2は、電荷保持手段として機能する。
- [0032] ローテートキャパシタ回路150は、スイッチ151-1～151-4、CR（ローテートキャパシタ）152-1, 152-2 (a3, a4)を有する。
- [0033] クロック生成回路110は、サンプリングスイッチ130、係数回路140、スイッチ151-1～151-4、リセットスイッチ160、及び、ダンプスイッチ170に、クロック（制御信号）を提供する。図9は、クロック生成回路110から提供されるクロック（制御信号）を示す図である。具体的には、クロック生成回路110は、参照周波数発振部14で生成された参照周波数信号24から、LO, S1, S2, RES, DUMPの制御信号を生成し、各スイッチに供給する。
- [0034] なお、図9において、Nは、電荷サンプリング時の電荷蓄積によるデシメーション比を表し、LOの周期とS系のクロック（S1, S2）の周期との比の1/2である。具体的には、 $2NT_{LO} = T_{SCLK}$ 、LOの周期とRE

S又はDUMPの周期との比である。また、DUMPとRESとは、半周期だけずれた信号である。

[0035] [離散時間アナログ回路100の動作]

クロック生成回路110は、参照周波数発振部14で生成された参照周波数信号24から、LO、S1、S2、RES、DUMPの制御信号を生成し、各スイッチに供給する。

[0036] TA120は、低雑音増幅器12で増幅されたアナログRF信号23を入力電圧信号として電流($g_m \times V_{in}$)に変換する。

[0037] サンプリングスイッチ130は、TA120の出力段に接続され、クロック生成回路から供給されるLOがハイの時間だけオンする。ここで、LOは、ダイレクトコンバージョンの場合、アナログRF信号23の f_{RF} と一致した周波数の信号($f_{LO} = f_{RF}$)である。また、LOは、IF周波数を用いる場合、 f_{RF} からIF周波数分だけずれた周波数の信号である($f_{LO} = f_{RF} \pm f_{IF}$)。

[0038] [1] S1がハイとなる区間

LOがハイとなる区間は、入力電流($g_m \times V_{in}$)が、CH143-2(a2)とCR152-1(a3)とに電荷(入力電荷)として蓄積される。S1がハイとなる区間は、CH143-2(a2)に保持されている電荷($A \times V_{out}$ で蓄積された電荷)と前記入力電荷とが電荷共有されて、出力電位 V_{out} が定まる。

[0039] 同時に、増幅器141は、出力電位 V_{out} をモニタし、出力電位 V_{out} をA倍に増幅してCH143-1(a1)に充電する。

[0040] 一方で、DUMPがハイとなる区間は、CR152-1(a3)の出力電位 V_{out} を、ベースバンド信号または中間周波数(Intermediate Frequency: IF)信号25として、出力(V_{out})する。つまり、出力電位 V_{out} は、アナログRF信号23を離散時間的に周波数変換してフィルタ処理され、所望信号成分のみを抽出したベースバンド信号(またはIF信号)25として出力される。

[0041] また、RESがハイとなる区間は、DUMPがローとなり、CR152-1(a3)の電位がリセットされる。

[0042] [2] S2がハイとなる区間

LOがハイとなる区間は、入力電流($gm \times V_{in}$)が、CH143-1(a1)とCR152-2(a4)に電荷(入力電荷)として蓄積される。S2がハイとなる区間は、CH143-1(a1)に保持されている電荷($A \times V_{out}$ で蓄積された電荷)と前記入力電荷とが電荷共有されて、出力電位 V_{out} が定まる。

[0043] 同時に、増幅器141(b)は、出力電位 V_{out} をモニタし、出力電位 V_{out} をA倍に増幅してCH143-2(a2)に充電する。

[0044] 一方で、DUMPがハイとなる区間は、CR152-1(a3)の出力電位 V_{out} をベースバンド信号またはIF信号25として出力される。つまり、出力電位 V_{out} は、アナログRF信号23を離散時間的に周波数変換してフィルタ処理され、所望信号成分のみを抽出したベースバンド信号(またはIF信号)25として出力される。

[0045] また、RESがハイとなる区間は、DUMPがローとなり、CR152-1(a3)の電位がリセットされる。

[0046] [3]以降は、[1]、[2]の動作が繰り返される。すなわち、回路接続切り替え手段としてのクロック生成回路110及び各スイッチは、第1のキャパシタと、第2のキャパシタとのペアを順次変更する。ここで、第1のキャパシタは、増幅器141(b)と接続されチャージされるキャパシタである。また、第2のキャパシタは、増幅器141(b)を介さずにローテートキャパシタ回路150の入力ラインと接続され、ローテートキャパシタ回路150の電荷と電荷共有されるキャパシタである。

[0047] 上記動作は、差分方程式により以下のように記述される。

[数2]

$$q_{in}(n) + AC_H v_{out}(n - N) = (C_R + C_H) v_{out}(n) \quad (2)$$

[0048] 式(2)において、左辺第1項の $q_{in}(n)$ は、入力電荷に相当し、左辺第2項は1タイミング前の出力電位がA倍されてCHに保持された電荷である。また、nは、タイミング時刻を示す。

[0049] 式(2)を z 変換することにより、式(3)は得られる。

[数3]

$$Q_{in} + AC_H z^{-N} V_{out} = (C_R + C_H) V_{out} \quad (3)$$

[0050] 式(3)において、第1項 Q_{in} は、入力電荷 $q_{in}(n)$ の z 変換に相当し、以下の式で記述できる。 $\sin \theta$ は、 $\pi/2$ 付近であり値が変わらないので、 $f = f_{LO}$ を代入すれば $f = f_{LO}$ 付近の近似式として、式(4)のように簡単に表すことができる。

[数4]

$$\begin{aligned} Q_{in} &= g_m V_{in} \left| \int_0^{T_{LO}/2} \exp(j\omega t) dt \right| \cdot (1 + z^{-1} + \dots + z^{-(N-1)}) \\ &= \frac{g_m}{\pi f} \cdot \left| \exp \left(j\omega \left(\frac{T_{LO}}{4} \right) \right) \right| \cdot \sin \left(\frac{\pi f T_{LO}}{2} \right) \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot V_{in} \\ &\approx \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot V_{in} \end{aligned} \quad (4)$$

[0051] 伝達関数は、以下の式(5)のようになる。

[数5]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1/(C_R + C_H)}{1 - \{AC_H/(C_R + C_H)\}z^{-N}} \quad (5)$$

[0052] 本実施の形態に係る離散時間アナログ回路は、分母の z^{-N} の係数に重み付け量 A がかかることによって、任意の係数値を設定することが可能になっていることがわかる。

[0053] 以上の説明は、サンプリングミクサを構成するヒストリキャパシタを係数回路の構成要素に用いた例である。次の説明は、サンプリングミクサを構成するバッファキャパシタを係数回路の構成要素に用いた例について説明する。

[0054] 図10は、本実施の形態に係る離散時間アナログ回路13の別の要部構成

を示す図である。なお、図 10 において、離散時間アナログ回路 200 は、図 7 の離散時間アナログ回路 13 に相当し、サンプリングミキサを構成する。なお、図 10 の離散時間アナログ回路 200 において、図 8 の離散時間アナログ回路 100 と共通する構成部分には、図 8 と同一の符号を付して説明を省略する。図 10 の離散時間アナログ回路 200 は、図 4 の離散時間アナログ回路 100 に対し、係数回路 140 に代えて係数回路 220 を有し、CH210 (a5) を追加した構成を採る。図 10 に示す離散時間アナログ回路 200 は、ローテートキャパシタ回路 150 の後段に係数回路 220 を有する構成を示すもので、以下では、後段型離散時間アナログ回路と呼ぶ。後段型離散時間アナログ回路は、係数回路 140 がローテートキャパシタ回路 150 の出力ラインに接続されている。

[0055] 係数回路 220 は、CB (バッファキャパシタ) 223-1, 223-2 (a1, a2)、増幅器 221 (b)、スイッチ 222-1 ~ 222-4 (c1-c4) を有する。そして、係数回路 220 内の CB 223-1, 223-2 (a1, a2) は、CR 152-1, 152-2 (a3, a4) と電荷共有することにより、離散時間アナログ回路 200 の伝達関数の分母の高次の係数を実現する。係数回路 220 には、クロック生成回路 110 から制御信号である S1, S2 が入力される。図 11 は、クロック生成回路 110 から提供されるクロック (制御信号) を示す図である。

[0056] 係数回路 220 において、増幅器 221 (b) は、ローテートキャパシタ回路 150 の出力ラインに接続され、出力電位又は出力電荷を増幅する電位保持手段として機能する。また、CB 223-1, 223-2 (a1, a2) は、増幅器 221 (b) と直列に接続され、互いに並列に配置される。CB 223-1, 223-2 (a1, a2) は、電荷保持手段として機能する。

[0057] [離散時間アナログ回路 200 の動作]

クロック生成回路 110 は、参照周波数発振部 14 で生成された参照周波数信号 24 から、LO, S1, S2, RES, DUMP の制御信号を生成し、各スイッチに供給する。

[0058] T A 1 2 0 は、低雑音増幅器 1 2 で増幅されたアナログ R F 信号 2 3 を入力電圧信号として電流($g_m \times V_{in}$)に変換する。

[0059] [1] S 1 がハイとなる区間

L O がハイとなる区間は、入力電流($g_m \times V_{in}$)が、C H 2 1 0 (a5)とC R 1 5 2 - 1 (a3)に電荷（入力電荷）として蓄積される。L O がハイとなる区間では、C H 2 1 0 (a5)に保持されている電荷と前記入力電荷とが、電荷共有されて、C H 2 1 0 (a5)とC R 1 5 2 - 1 (a3)の電位 V_1 が定まる。この電荷サンプリングにより、周波数変換が同時に行なわれ、R F (Radio Frequency : 高周波) 信号は、I F (中間周波数) 信号またはB B (Baseband : ベースバンド) 信号に変換される。

[0060] 一方で、D U M P がハイとなる区間は、C R 1 5 2 - 2 (a4)とC B 2 2 3 - 2 (a2)が接続される。そして、S 1 がハイとなる区間は、C R 1 5 2 - 2 (a4)に保持されていた電荷と、C B 2 2 3 - 2 (a2)に保持されていた電荷(A倍して蓄積された電荷)とが共有される。共有された電荷は、C R 1 5 2 - 2 (a4)とC B 2 2 3 - 2 (a2)とに保持されて、出力電位 V_{out} が定まる。

[0061] 同時に、増幅器 2 2 1 (b)は、出力電位 V_{out} をモニタし、出力電位 V_{out} をA倍に増幅してC B 2 2 3 - 1 (a1)に充電する。出力電位 V_{out} は、アナログ R F 信号 2 3 を周波数変換してフィルタ処理したB B 信号またはI F 信号 2 5 として出力される。また、R E S がハイとなる区間は、D U M P がローとなり、C R 1 5 2 - 2 (a4)の電荷が接地されてリセットされる。

[0062] [2] S 2 がハイとなる区間

L O がハイとなる区間は、入力電流($g_m \times V_{in}$)が、C H 2 1 0 (a5)とC R 1 5 2 - 2 (a4)に電荷（入力電荷）として蓄積される。C H 2 1 0 (a5)に保持されている電荷と前記入力電荷とは、電荷共有されて、C H 2 1 0 (a5)とC R 1 5 2 - 2 (a4)の電位 V_1 が定まる。この電荷サンプリングにより、周波数変換が同時に行なわれ、R F 信号は、I F 信号またはB B 信号に変換される。

[0063] 一方で、D U M P がハイとなる区間は、C R 1 5 2 - 1 (a3)とC B 2 2 3

− 1 (a1)が接続される。そして、S 2がハイとなる区間は、C R 1 5 2 − 1 (a3)に保持されていた電荷と、C B 2 2 3 − 1 (a1)に保持されていた電荷(A倍して蓄積された電荷)とが共有される。共有された電荷は、C R 1 5 2 − 1 (a3)とC B 2 2 3 − 1 (a1)に保持されて、出力電位Voutが定まる。同時に、増幅器 2 2 1 (b)は、出力電位Voutをモニタし、出力電位Vout A 倍に増幅してC B 2 2 3 − 2 (a2)に充電する。出力電位Voutは、アナログR F 信号 2 3 を周波数変換してフィルタ処理したB B 信号またはI F 信号 2 5 として出力される。また、R E S がハイとなる区間は、C R 1 5 2 − 1 (a3)の電荷が接地されてリセットされる。

[0064] [3] 以降は、[1]、[2] の動作が繰り返される。すなわち、回路接続切り替え手段としてのクロック生成回路 1 1 0 及び各スイッチは、第 1 のキャパシタと、第 2 のキャパシタとのペアを順次変更する。ここで、第 1 のキャパシタは、増幅器 2 2 1 (b)と接続されチャージされるキャパシタである。また、第 2 のキャパシタは、増幅器 2 2 1 (b)を介さずにローテートキャパシタ回路 1 5 0 の出力ラインと接続され、ローテートキャパシタ回路 1 5 0 の電荷と電荷共有されるキャパシタである。

[0065] 上記動作は、差分方程式により以下のように記述される。

[数6]

$$q_{in}(n) + C_H v_1(n - N) = (C_R + C_H) v_1(n) \quad (6)$$

[0066] 式 (6) において、左辺第 1 項の $q_{in}(n)$ は、入力電荷に相当し、左辺第 2 項は C_H に保持されていた 1 タイミング前の電荷共有で定まった電荷である。

[数7]

$$C_R v_1(n) + A C_B v_{out}(n - N) = (C_R + C_B) v_{out}(n) \quad (7)$$

[0067] 式 (7) において、左辺第 1 項は、 C_R に保持されていた電荷であり、左辺第 2 項は 1 タイミング前の電荷共有で定まった電位を A 倍して C_B に保持

された電荷である。

[0068] 式(6)及び式(7)を z 変換して整理すると、伝達関数は、以下の式(8)のようになる。

[数8]

$$\frac{V_{\text{out}}}{V_{\text{in}}} = \frac{g_m T_{\text{LO}}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1 / (C_R + C_H)}{1 - \{C_H / (C_R + C_H)\} z^{-N}} \cdot \frac{C_R / (C_R + C_B)}{1 - \{A C_B / (C_R + C_B)\} z^{-N}} \quad (8)$$

[0069] 本実施の形態に係る離散時間アナログ回路は、分母の z^{-N} の係数に重み付け量 A がかかることによって、任意の係数値を設定することが可能になっていることがわかる。

[0070] 以上のように説明した離散時間アナログ回路200は、サンプリングミキサを構成するバッファキャパシタを係数回路の構成要素に用いた例である。次に説明するサンプリングフィルタは、バッファキャパシタを係数回路の構成要素に用いた例である。

[0071] [離散時間アナログ回路300の構成]

図12は、本実施の形態に係る離散時間アナログ回路13の更に別の要部構成を示す図である。なお、図12において、離散時間アナログ回路300は、サンプリングフィルタを構成する。なお、図12の離散時間アナログ回路300において、図10の離散時間アナログ回路200と共通する構成部分には、図10と同一の符号を付して説明を省略する。図12の離散時間アナログ回路300は、図10の離散時間アナログ回路200に対して、TA120、サンプリングスイッチ130、CH210、リセットスイッチ160、ダンプスイッチ170を削除した構成を採る。

[0072] 離散時間アナログ回路300は、ローテートキャパシタ回路150の後段に係数回路220を有し、後段型離散時間アナログ回路である。

[0073] [離散時間アナログ回路300の動作]

クロック生成回路110は、参照周波数発振部14で生成された参照周波数信号24から、S1、S2の制御信号を生成し、各回路に供給する。

[0074] [1] S1がハイとなる区間

S1がハイとなる区間は、CR152-1(a3)に入力電位Vin(または外部の電荷保持部との電荷共有によって定まる電位)に応じた電荷が蓄積される。

[0075] 一方で、CR152-2(a4)に蓄積されていた電荷とCB223-2(a2)に蓄積されていた電荷とは、電荷共有される。共有された電荷は、CR152-2(a4)とCB223-2(a2)とに保持され、出力電位Voutが定まる。

[0076] 同時に、増幅器221(b)は、出力電位Voutをモニタし、出力電位VoutをA倍に増幅してCB223-1(a1)に充電する。

[0077] [2] S2がハイとなる区間

S2がハイとなる区間は、CR152-2(a4)に入力電位Vin(または外部の電荷保持部との電荷共有によって定まる電位)に応じた電荷が蓄積される。

[0078] 一方で、CR152-1(a3)に蓄積されていた電荷とCB223-1(a1)に蓄積されていた電荷とは、電荷共有される。共有された電荷は、CR152-1(a3)とCB223-1(a1)に保持され、出力電位Voutが定まる。

[0079] 同時に、増幅器221(b)は、出力電位Voutをモニタし、出力電位VoutをA倍に増幅してCB223-2(a2)に充電する。

[0080] [3] 以降は、[1]、[2]の動作が繰り返される。

[0081] 上記動作は、差分方程式により以下のように記述される。

[0082] [数9]

$$C_R v(n) + AC_B v_{out}(n - N) = (C_R + C_B) v_{out}(n) \quad (9)$$

伝達関数は、式(9)をz変換して整理すると、以下のようになる。

[0083] [数10]

$$\frac{V_{out}}{V_{in}} = \frac{C_R / (C_R + C_B)}{1 - \{AC_B / (C_R + C_B)\} z^{-N}} \quad (10)$$

本実施の形態に係る離散時間アナログ回路は、分母の z^{-N} の係数に重み付け量Aがかかることによって任意の係数値を設定することが可能になっていることがわかる。

- [0084] なお、図 12 の係数回路 220 は、 V_{in} に接続しても式 (10) と同様の伝達関数をもつ前段型のサンプリングフィルタとして構成可能である。
- [0085] このように、本実施の形態では、サンプリングミキサを構成するヒストリキャパシタ又はバッファキャパシタを係数回路の構成要素に用いる場合、式 (5) 及び式 (8) に示すように、伝達関数の分母の任意の係数値を実現することができる。また、本実施の形態では、サンプリングフィルタを構成するバッファキャパシタを係数回路の構成要素に用いる場合、式 (10) に示すように、伝達関数の分母の任意の係数値を実現することができる。
- [0086] 次に、図 13 及び図 14 を用いて、図 8 及び図 10 の係数回路 140, 220 の内部構成及び動作について説明する。
- [0087] 図 13 は、係数回路 140, 220 の動作を説明するための図である。
- [0088] 図 13 (b) は、前段型の係数回路 140 の使用例を示し、図 13 (c) は、後段型の係数回路 220 の使用例を示す図である。図 13 (a) は、前段型の係数回路 140 及び後段型の係数回路 220 の共通動作を示す図である。
- [0089] 図 13 (b) に示すように前段型の場合は、入力電荷と $CH143-2$ に保持されていた電荷とが電荷共有を行なうと共に、共有された電荷を A 倍して $CH143-1$ に充電する動作を交互に繰り返す。
- [0090] 一方、図 13 (c) に示す後段型の場合は、 $CR152-1$, $152-2$ に保持されていた電荷と $CB223-2$ に保持されていた電荷とが電荷共有を行なうと共に、共有された電荷を A 倍して $CB223-2$ に充電する動作を交互に繰り返す。
- [0091] このとき、 $CH143-1$, $143-2$ 又は $CB223-1$, $223-2$ に保持されている電荷は、1 タイミング前の電位を A 倍にした電位で蓄積されることになる。
- [0092] これにより、本実施の形態の係数回路は、式 (5)、式 (8) 及び式 (10) に示すように、伝達関数の分母に任意の係数値を形成することができる。

[0093] 図14は、係数回路140、220の共通構成を示す図である。

[0094] 係数回路400は、キャパシタ430-1、430-2(a1,a2)、増幅器410(b)、スイッチ420-1~420-4(c1-c4)を有する。係数回路400には、クロック生成回路110からS1、S2が入力される。

[0095] [係数回路400の動作]

増幅器410(b)は、ノードCinの電位をA倍に増幅する。

[0096] S1がハイとなる区間では、スイッチ420-4(c4)及びスイッチ420-1(c1)がオンする。この結果、スイッチ420-4(c4)を介してキャパシタ430-2(a2)は、ノードCinで外部回路と接続される。同時に、増幅器410(b)でA倍に増幅された電位に応じた電荷は、スイッチ420-1(c1)を介して、キャパシタ430-1(a1)に蓄積される。

[0097] S2がハイとなる区間では、スイッチ420-2(c2)及びスイッチ420-3(c3)がオンする。この結果、スイッチ420-2(c2)を介してキャパシタ430-1(a1)は、ノードCinで外部回路と接続される。同時に、増幅器410(b)でA倍に増幅された電位に応じた電荷は、スイッチ420-3(c3)を介して、キャパシタ430-2(a2)に蓄積される。

[0098] 上記動作が繰り返される。

[0099] そして、図8に示す離散時間アナログ回路100では、ノードCinが初期電荷0のCR152-1、152-2に交互に接続された例である。また、図10に示す離散時間アナログ回路200は、ノードCinが初期電荷CrVin(n-1)のCR152-1、152-2に交互に接続された例である。また、図12に示す離散時間アナログ回路300は、ノードCinが初期電荷CrVin(n-1)のCR152-1、152-2に接続された例である。ノードCinの接続先のCR152-1、152-2の初期電荷は、前段型と後段型とで異なる。

[0100] このようにして、係数回路400において、キャパシタ430-1(a1)は、電荷保持手段として機能する。係数回路400が前段型の係数回路140として用いられる場合、キャパシタ430-1、430-2(a1,a2)は、CH143-1、143-2である。また、係数回路400が後段型の係数回

路 220 として用いられる場合、キャパシタ 430-1, 430-1 (a1, a2) は、CB223-1, 223-2 である。

[0101] また、係数回路 400 において、増幅器 410 (b) は、電位保持手段として機能する。また、各スイッチ及びクロック生成回路 110 は、回路接続切り替え手段として機能し、タイミング 1 とタイミング 2 とで、ローテートキャパシタとキャパシタ 430-1, 430-1 (a1, a2) との接続を切り替える。

[0102] 図 8、図 10 の構成は、電荷サンプリングによる周波数変換とともに、分母に任意の係数を有する 1 次の項をもつ伝達関数で表されるフィルタ処理を行うことができる。両者は周波数変換を行う電荷サンプリング時に分母の係数回路が接続されるか、されないかという点で異なり、雑音や線形性に影響するものと考えられる。

[0103] 図 12 に示す係数回路 220 は、同様に、分母に任意の係数を有する 1 次の項をもつ伝達関数で表されるフィルタ処理を行うことができる回路である。図 12 の構成では、電荷サンプリングを行う電圧電流変換回路とサンプリングスイッチがないため、フィルタ回路として使用することが可能である。

[0104] 以上説明したように、本実施の形態では、伝達関数の分母に任意の係数値 A を形成することより、離散時間アナログ回路の設計自由度を向上し、広帯域かつ急峻なフィルタ特性を実現することが可能となる。

[0105] なお、特許文献 1 と非特許文献 1 においては、ローテートキャパシタを複数用意して、タイミングの異なるサンプル値を保持し、同時に出力することで FIR フィルタ特性を得ている。本実施の形態および以降の実施の形態では、上記の構成を省略しているが、同様の形態を使用することが可能である。

[0106] また、特許文献 1 と非特許文献 1 においては、フィードバック系によるローテートキャパシタのプリチャージを行なっている。本実施の形態および以降の実施の形態では、上記の構成を省略しているが、同様の形態を使用することが可能である。

[0107] (実施の形態 2)

実施の形態 1 では、離散時間アナログ回路の伝達関数の分母に、1 次の任意の係数値を設定する場合について説明した。本実施の形態では、離散時間アナログ回路の伝達関数の分母に、2 次の任意の係数値を設定する場合について説明する。

[0108] [サンプリングミキサ（前段型 2 次）]

図 1 5 は、本実施の形態に係る離散時間アナログ回路 1 3 の要部構成の一例を示すブロック図である。なお、図 1 5 において、離散時間アナログ回路 5 0 0 は、図 7 の離散時間アナログ回路 1 3 に相当し、伝達関数の分母に 2 次の係数を有するサンプリングミキサを構成する。なお、図 1 5 の離散時間アナログ回路 5 0 0 において、図 4 の離散時間アナログ回路 1 0 0 と共通する構成部分には、図 4 と同一の符号を付して説明を省略する。図 1 5 の離散時間アナログ回路 5 0 0 は、図 4 の離散時間アナログ回路 1 0 0 に対して、係数回路 5 1 0 及びバッファキャパシタ 5 2 0 を追加した構成を採る。このように、離散時間アナログ回路 5 0 0 は、ローテートキャパシタ回路 1 5 0 の前段に、係数回路 1 4 0 及び係数回路 5 1 0 を有する構成を採る。離散時間アナログ回路 5 0 0 は、係数回路 1 4 0、5 1 0 を 2 個使用することで、伝達関数の分母に 2 次の多項式を実現する。

[0109] 係数回路 5 1 0 は、増幅器 5 1 1 (b2)、スイッチ 5 1 2-1 ~ 5 1 2-6、CH（ヒストリキャパシタ）5 1 3-1 ~ 5 1 3-3 (a3-a5) を有する。

[0110] [離散時間アナログ回路 5 0 0 の動作]

クロック生成回路 1 1 0 は、参照周波数発振部 1 4 で生成された参照周波数信号 2 4 から図 1 6 に示す LO, SA, SB, DUMP, RES, S1, S2, S3 の制御信号を生成し、各スイッチに供給する。

[0111] TA120 は、低雑音増幅器 1 2 で増幅されたアナログ RF 信号 2 3 を入力電圧信号として電流 ($g_m \times V_{in}$) に変換する。

[0112] 係数回路 1 4 0 は、実施の形態 1 と同様に動作するため、説明を省略し、以下では、係数回路 5 1 0 の動作を中心に説明する。

[0113] [1] S1がハイとなる区間

LOがハイとなる区間は、入力電流($g_m \times V_{in}$)が、CH143-1(a1)またはCH143-2(a2)と、CR152-1(a6)またはCR152-2(a7)と、CH513-2(a4)とに電荷（入力電荷）として蓄積される。S1がハイとなる区間は、CH143-1(a1)またはCH143-2(a2)に保持されている電荷と、CH513-2(a4)に保持されている電荷と前記入力電荷が電荷共有を行う。これにより、共有された電荷は、CH143-1(a1)またはCH143-2(a2)と、CH513-2(a4)と、CR152-1(a6)またはCR152-2(a7)とに保持され、電位V1が定まる。

[0114] この電荷サンプリングにより、離散時間アナログ回路500は、周波数変換が同時に行なわれ、RF信号はIF信号またはBB信号に変換される。

[0115] 同時に、増幅器141(b1)は、電位V1をA1倍に増幅してCH143-1(a1)またはCH143-2(a2)のうち、CH513-2(a4)と電荷共有しないキャパシタに充電する。一方、増幅器511(b2)は、電位V1をモニタして、電位V1をA2倍に増幅してCH513-1(a3)に充電する。

[0116] 一方で、DUMPがハイとなる区間は、CR152-1(a6)またはCR152-2(a7)のうち、CH513-2(a4)と電荷共有しないキャパシタが保持する電荷とCB520(a8)が保持する電荷とが共有される。そして、共有された電荷は、CR152-1(a6)またはCR152-2(a7)のうち、CH513-2(a4)と電荷共有にしないキャパシタとCB520(a8)とに保持され、出力電位Voutが定まる。出力電位Voutは、ベースバンド信号25として出力される。また、RESがハイとなる区間では、DUMPがローとなり、CR152-1(a6)またはCR152-2(a7)のうち、CH513-2(a4)と電荷共有しないキャパシタの電荷が接地されてリセットされる。

[0117] [2] S2がハイとなる区間

LOがハイとなる区間は、入力電流がCH143-1(a1)またはCH143-2(a2)と、CR152-1(a6)またはCR152-2(a7)と、CH513-3(a5)に電荷（入力電荷）として蓄積される。S2がハイとなる区間は

、 $CH143-1(a1)$ または $CH143-2(a2)$ に保持されている電荷と、 $CH513-3(a5)$ に保持されている電荷と前記入力電荷とが電荷共有を行う。これにより、共有された電荷は、 $CH143-1(a1)$ または $CH143-2(a2)$ と、 $CH513-3(a5)$ と、 $CR152-1(a6)$ または $CR152-2(a7)$ に保持され、電位 $V1$ が定まる。

[0118] 同時に、増幅器141(b1)は、電位 $V1$ をモニタし、電位 $V1$ を $A1$ 倍に増幅して $CH143-1(a1)$ または $CH143-2(a2)$ のうち、 $CH513-3(a5)$ と電荷共有しないキャパシタに充電する。そして、増幅器511(b2)は、電位 $V1$ をモニタして、電位 $V1$ を $A2$ 倍に増幅して $CH513-2(a4)$ に充電する。

[0119] 一方で、DUMPがハイとなる区間は、 $CR152-1(a6)$ または $CR152-2(a7)$ のうち、 $CH513-3(a5)$ と電荷共有しないキャパシタが保持する電荷と $CB520(a8)$ が保持する電荷とが共有される。そして、共有された電荷は、 $CR152-1(a6)$ または $CR152-2(a7)$ のうち、 $CH513-3(a5)$ と電荷共有しないキャパシタと $CB520(a8)$ とに保持され、出力電位 V_{out} が定まる。RESがハイとなる区間は、DUMPがローとなり、 $CR152-1(a6)$ または $CR152-2(a7)$ のうち、 $CH513-3(a5)$ と電荷共有しないキャパシタの電荷が接地されてリセットされる。

[0120] [3] $S3$ がハイとなる区間

LO がハイとなる区間は、入力電流が $CH143-1(a1)$ または $CH143-2(a2)$ と、 $CR152-1(a6)$ または $CR152-2(a7)$ と、 $CH513-1(a3)$ とに電荷（入力電荷）として蓄積される。 $S3$ がハイとなる区間は、 $CH143-1(a1)$ または $CH143-2(a2)$ に保持されている電荷と、 $CH513-1(a3)$ に保持されている電荷と前記入力電荷とが電荷共有を行う。共有された電荷は、 $CH143-1(a1)$ または $CH143-2(a2)$ と、 $CH513-1(a3)$ と、 $CR152-1(a6)$ または $CR152-2(a7)$ とに保持され、電位 $V1$ が定まる。

[0121] 同時に、増幅器141(b1)は、電位 $V1$ をモニタし、電位 $V1$ を $A1$ 倍に増

幅してCH143-1 (a1)またはCH143-2 (a2)のうち、CH513-1 (a3)と電荷共有しないキャパシタに充電する。そして、増幅器511 (b2)は、電位V1をモニタして、電位V1をA2倍に増幅してCH513-3 (a5)に充電する。

[0122] 一方で、DUMPがハイとなる区間は、CR152-1 (a6)またはCR152-2 (a7)のうち、CH513-1 (a3)と電荷共有しないキャパシタが保持する電荷とCB520 (a8)が保持する電荷とが共有される。そして、共有された電荷は、CR152-1 (a6)またはCR152-2 (a7)のうち、CH513-1 (a3)と電荷共有にしないキャパシタとCB520 (a8)とに保持され、出力電位Voutが定まる。RESがハイとなる区間は、DUMPがローとなり、CR152-1 (a6)またはCR152-2 (a7)のうち、CH513-1 (a3)と電荷共有しないキャパシタの電荷が接地されてリセットされる。

[0123] [4]以降は、[1]、[2]、[3]の動作が繰り返される。

[0124] 以上のように、本実施の形態に係る離散時間アナログ回路は、増幅器511 (b2)によって重み付けして保持された電荷が電荷共有を行う前に、1タイミング待ちのタイミングを設けることによって、伝達関数の分母に2次の項が実現される。

[0125] 上記動作は、差分方程式により以下のように記述される。

[数11]

$$q_{in}(n) + A_1 C_{H1} v_1(n-N) + A_2 C_{H2} v_1(n-2N) = (C_R + C_{H1} + C_{H2}) v_1(n) \quad (11)$$

[0126] 式(11)において、左辺第1項は入力電荷に相当し、第2項は1タイミング前の電荷共有で定まった電位をA1倍してCH1に保持された電荷である。また、式(11)において、左辺第3項は、2タイミング前の電荷共有で定まった電位をA2倍してCH2に保持された電荷である。

[数12]

$$C_R v_1(n) + C_B v_{out}(n-N) = (C_R + C_B) v_{out}(n) \quad (12)$$

[0127] 伝達関数は、式(11)、(12)をz変換して整理すると、以下の式(1

3) のようになる。

[数13]

$$\frac{V_{\text{out}}}{V_{\text{in}}} = \frac{g_m T_{\text{LO}}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot T_{\text{IRR}} \cdot \frac{C_R / (C_R + C_B)}{1 - \{C_B / (C_R + C_B)\} z^{-N}} \quad (13)$$

[数14]

$$T_{\text{IRR}} = \frac{1 / (C_R + C_{H1} + C_{H2})}{1 - \{A_1 C_{H1} / (C_R + C_{H1} + C_{H2})\} z^{-N} + \{A_2 C_{H2} / (C_R + C_{H1} + C_{H2})\} z^{-2N}} \quad (14)$$

[0128] 本実施の形態に係る離散時間アナログ回路は、式(13)及び式(14)に示すように、伝達関数の分母に任意な係数を持つ2次の多項式が実現できる。

[0129] なお、上記の説明の離散時間アナログ回路500は、ヒストリキャパシタを係数回路の構成要素に用いた前段型の例である。バッファキャパシタを係数回路の構成要素に用いた後段型の離散時間アナログ回路200は、離散時間アナログ回路500と同様に、伝達関数の分母に2次の項を実現することができる。

[0130] 次に、後段型の離散時間アナログ回路の伝達関数の分母に2次の項を実現する構成について説明する。

[0131] [サンプリングミキサでの後段使用例 2次への拡張(後段Cb分母型)]

図17は、本実施の形態に係る離散時間アナログ回路13の別の要部構成の一例を示すブロック図である。なお、図17において、離散時間アナログ回路600は、図7の離散時間アナログ回路13に相当し、伝達関数の分母に2次の係数を有するサンプリングミキサを構成する。なお、図17の離散時間アナログ回路600において、図10の離散時間アナログ回路200と共通する構成部分には、図10と同一の符号を付して説明を省略する。図17の離散時間アナログ回路600は、図10の離散時間アナログ回路200に対して、係数回路610を追加した構成を採る。より具体的には、離散時間アナログ回路600は、ローテートキャパシタ回路150の後段に、係数

回路 220 及び係数回路 610 を有する構成を採る。このように、係数回路 220、610 を 2 個使用することで、離散時間アナログ回路 600 は、伝達関数の分母に 2 次の多項式を実現する。

[0132] 係数回路 610 は、増幅器 611 (b2)、スイッチ 612-1 ~ 612-6、CB (バッファキャパシタ) 613-1 ~ 613-3 (a3-a5) を有する。

[0133] [離散時間アナログ回路 600 の動作]

クロック生成回路 110 は、参照周波数発振部 14 で生成された参照周波数信号 24 から LO, SA, SB, S1, S2, S3, RES, DUMP の制御信号を生成し、各回路に供給する。

[0134] TA120 は、低雑音増幅器 12 で増幅されたアナログ RF 信号 23 を入力電圧信号として電流 ($g_m \times V_{in}$) に変換する。

[0135] 係数回路 220 は、実施の形態 1 と同様に動作するため、説明を省略し、以下では、係数回路 610 の動作を中心に説明する。

[0136] [1] S1 がハイとなる区間

LO がハイとなる区間は、入力電流 ($g_m \times V_{in}$) が CR152-1 (a6) または CR152-2 (a7) と、CH210 (a8) とに電荷 (入力電荷) として蓄積される。S1 がハイとなる区間は、CR152-1 (a6) または CR152-2 (a7) に保持されている電荷と、CH210 (a8) に保持されている電荷と前記入力電荷とが電荷共有を行う。共有された電荷は、CR152-1 (a6) または CR152-2 (a7) と CH210 (a8) に保持され、電位 V1 が定まる。

[0137] この電荷サンプリングにより、離散時間アナログ回路 600 は、周波数変換が同時に行なわれ、RF 信号は IF 信号または BB 信号に変換される。

[0138] 一方で、DUMP がハイとなる区間では、CR152-1 (a6) または CR152-2 (a7) のうち、CH210 (a8) との電荷共有しないキャパシタが、次に示す CB (バッファキャパシタ) と電荷共有される。電荷共有しないキャパシタは、自身の保持する電荷と、CB223-1 (a1) または CB223-2 (a2) が保持している電荷 (A1 倍されたもの) と、CB613-2 a4 に保持されている電荷 (A2 倍されたもの) とが共有される。共有された電荷は、CR

1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)のうち、C H 2 1 0 (a8)と電荷共有しないキャパシタと、C B 6 1 3 - 2 (a4)とC B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)とに保持される。これにより、出力電位 V_{out} が決まる。

[0139] 同時に、増幅器 2 2 1 (b1)は、出力電位 V_{out} をモニタし、出力電位 V_{out} をA1倍に増幅して、C B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)のうち、C B 6 1 3 - 2 (a4)と電荷共有しないキャパシタに充電する。そして、増幅器 6 1 1 (b2)は、出力電位 V_{out} をモニタし、出力電位 V_{out} をA2倍してC B 6 1 3 - 1 (a3)に充電する。なお、出力電位 V_{out} は、ベースバンド信号 2 5 として出力する。

[0140] R E S がハイとなる区間は、D U M P がローになり、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)で、C H 2 1 0 (a8)との電荷共有にしないキャパシタの電荷を、接地してリセットする。

[0141] [2] S 2 がハイとなる区間

L O がハイとなる区間は、入力電流($g_m \times V_{in}$)が、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)と、C H 2 1 0 (a8)とに電荷（入力電荷）として蓄積される。S 2 がハイとなる区間は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)に保持されている電荷と、C H 2 1 0 (a8)に保持されている電荷と前記入力電荷とが電荷共有を行う。そして、共有された電荷は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)とC H 2 1 0 (a8)に保持され、電位 V_1 が決まる。

[0142] 一方で、D U M P がハイとなる区間は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)のうち、C H 2 1 0 (a8)と電荷共有しないキャパシタが、次に示すC B（バッファキャパシタ）と電荷共有される。電荷共有しないキャパシタは、自身の保持する電荷と、C B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)が保持している電荷(A1倍されたもの)と、C B 6 1 3 - 3 (a5)に保持されている電荷(A2倍されたもの)とを共有される。共有された電荷は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)のうち、C H 2 1 0 (a8)と電荷共有しないキャパシタと、C B 6 1 3 - 3 (a5)と、C B 2 2 3 - 1 (a1)またはC B

2 2 3 - 2 (a2)とに保持される。これにより、出力電位 V_{out} が決まる。同時に、増幅器 2 2 1 (b1)は、出力電位 V_{out} をモニタ、出力電位 V_{out} を $A1$ 倍に増幅して、C B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)でC B 6 1 3 - 3 (a5)と電荷共有しないキャパシタに充電する。そして、増幅器 6 1 1 (b2)は、出力電位 V_{out} をモニタ、出力電位 V_{out} を $A2$ 倍してC B 6 1 3 - 2 (a4)に充電する。

[0143] R E S がハイとなる区間では、D U M P がローとなり、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)で、C H 2 1 0 (a8)との電荷共有にしないキャパシタの電荷を、接地してリセットする。

[0144] [3] S 3 がハイとなる区間

L O がハイとなる区間は、入力電流($g_m \times V_{in}$)がC R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)と、C H 2 1 0 (a8)に電荷（入力電荷）として蓄積される。S 3 がハイとなる区間は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)に保持されている電荷と、C H 2 1 0 (a8)に保持されている電荷と前記入力電荷が電荷共有を行う。共有された電荷は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)とC H 2 1 0 (a8)に保持され、電位 V_1 が定まる。

[0145] 一方で、D U M P がハイとなる区間は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)のうち、C H 2 1 0 (a8)と電荷共有しないキャパシタが、次に示すC B（バッファキャパシタ）と電荷共有される。電荷共有しないキャパシタは、自身の保持する電荷とC B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)が保持している電荷($A1$ 倍されたもの)と、C B 6 1 3 - 1 (a3)に保持されている電荷($A2$ 倍されたもの)とを共有する。共有された電荷は、C R 1 5 2 - 1 (a6)またはC R 1 5 2 - 2 (a7)のうち、C H 2 1 0 (a8)との電荷共有しないキャパシタと、C B 6 1 3 - 1 (a3)と、C B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)とに保持される。これにより、出力電位 V_{out} が決まる。

[0146] 同時に、増幅器 2 2 1 (b1)は、出力電位 V_{out} をモニタし、出力電位 V_{out} を $A1$ 倍に増幅して、C B 2 2 3 - 1 (a1)またはC B 2 2 3 - 2 (a2)のうち、C B 6 1 3 - 1 (a3)と電荷共有しないキャパシタに充電する。そして、増幅器 6

1 1 (b2)は、出力電位 V_{out} をモニタし、出力電位 V_{out} を A_2 倍して C_{B1} 3
 - 3 (a5)に充電する。

[0147] RESがハイとなる区間では、DUMPがロートなり、 C_{R152-1} (a6)
)または C_{R152-2} (a7)で、 C_{H210} (a8)との電荷共有にしないキャパ
 シタの電荷を、接地してリセットする。

[0148] [4]以降は、[1]、[2]、[3]の動作が繰り返される。

[0149] 本実施の形態に係る離散時間アナログ回路は、増幅器6 1 1 (b2)によって
 重み付けして保持された電荷が電荷共有を行う前に、1 タイミング待ちのタイ
 ミングを設けることによって、伝達関数の分母に2次の項が実現される。

[0150] 上記動作は、差分方程式により以下のように記述される。

[数15]

$$q_{in}(n) + C_H v_1(n - N) = (C_R + C_H) v_1(n) \quad (15)$$

[数16]

$$C_R v_1(n) + A_1 C_{B1} v_{out}(n - N) + A_2 C_{B2} v_{out}(n - N) = (C_R + C_{B1} + C_{B2}) v_{out}(n) \quad (16)$$

[0151] 伝達関数は、式(16)を z 変換して整理すると、以下のようになる。

[数17]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1/(C_R + C_H)}{1 - \{C_H/(C_R + C_H)\} z^{-N}} T_{IIR} \quad (17)$$

[数18]

$$T_{IIR} = \frac{C_R / (C_R + C_{B1} + C_{B2})}{1 - \{A_1 C_{B1} / (C_R + C_{B1} + C_{B2})\} z^{-N} + \{A_2 C_{B2} / (C_R + C_{B1} + C_{B2})\} z^{-2N}} \quad (18)$$

[0152] 本実施の形態に係る離散時間アナログ回路は、式(17)及び式(18)
 に示すように、伝達関数 T_{IIR} の分母に任意な係数を持つ2次の多項式が実現で
 きる。

[0153] 次に、チェビシェフ特性の計算結果と本実施の形態に係る離散時間アナログ回路におけるシミュレーション結果との比較により、本実施の形態の有効性を説明する。

[0154] [チェビシェフ特性を実現する設計手法]

s 領域における分母に 2 次の多項式を有する伝達関数(最平坦特性やチェビシェフ特性を実現可能)は、双一次変換によって、z 領域に変換すると、以下のような伝達関数の形になる。

[数19]

$$T_1 = K \frac{1 + 2z^{-1} + z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \quad (19)$$

[0155] 2 次チェビシェフ特性を実現する係数の例の一例は、 $a_1 = -1.9547$ 、 $a_2 = 0.9562$ 、 $K = 3.658 \times 10^{-4}$ となる。

[0156] 本実施の形態では、任意の 2 次の分母多項式が実現できる。そこで、本実施の形態では、利得を 1 に正規化した分母のみの式 (19) の分母の係数と式 (18) とを比較することにより、例えば、以下のように T A 1 2 0 のトランスコンダクタンス g_m と、各キャパシタの値を以下のように設定する。

[0157] $g_m = 3.6506 \text{ mS}$ 、 $C_R = 1.18494 \text{ pF}$ 、 $C_{B1} = 19.395 \text{ pF}$ 、 $C_{B2} = 9.4204 \text{ pF}$

ここで、電位保持手段を構成する増幅器 2 2 1、6 1 1 b 2 の利得は、それぞれ $A_1 = 3$ 、 $A_2 = -3$ とした。

[0158] 図 1 8 は、チェビシェフ特性の係数を有する式 (19) で、分子定数(DC 利得が差動で 26 dB になるように設定)の計算結果 (denominator Cal) を示す。また、図 1 8 は、S P I C E (Simulation Program with Integrated Circuit Emphasis) で、シミュレーションした結果 (denominator Sim) を示す。図 1 8 の横軸は、周波数変換後の周波数で記載している。図 1 8 の DC (0 Hz) は、LO 周波数に対応する。計算及びシミュレーションは、LO 周波数を 1.5 GHz として行なった。なお、シミュレーションは、図 1 7 の離散時間アナログ回路 6 0 0 の構成において、T A 1 2 0、各スイッチ、

各キャパシタは理想のものを使用した。また、チェビシェフ特性によるリップルがはっきり現れるように、ヒストリキャパシタとローテートキャパシタの値は、等しくしている。

[0159] 図18から分かるように、評価結果は、計算結果とシミュレーション結果とが良く一致しており、離散時間アナログ回路600が図17に示す構成を採ることにより、目的の動作をしていることが確認できる。

[0160] 以上説明したように、本実施の形態に係る離散時間アナログ回路は、離散時間アナログ回路の伝達関数の分母に2次の任意の係数値を有する多項式を実現することができる。本実施の形態では、その多項式の係数を最平坦特性やチェビシェフ特性に合わせることで、広帯域かつ急峻な特性を得ることが可能となる。

[0161] 図15、図17の構成は、電荷サンプリングによる周波数変換とともに、分母に任意の係数を有する2次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。両者は、周波数変換を行う電荷サンプリング時に分母の係数回路が接続されるか、されないかという点で異なり、雑音や線形性に影響するものと考えられる。

[0162] 以上説明したように、本実施の形態に係る離散時間アナログ回路は、周波数変換とともに分母に任意の係数を有する2次の多項式をもつ伝達関数で表されるフィルタ処理を行うことが可能になる。

[0163] (実施の形態3)

実施の形態2は、伝達関数の分母に2次の任意の係数値を有する多項式を実現することができる離散時間アナログ回路について説明した。本実施の形態は、次数を n 次に拡張し、伝達関数の分母に n 次の任意の係数値を有する多項式を実現する離散時間アナログ回路について説明する。

[0164] 図19は、係数回路を高次化する手順を説明するための図である。図19(a)は、1次の構成である。1次の手順は、保持して A 倍して重み付けするタイミングと、電荷共有するタイミングと、を交互にくり返す。電荷共有を表現する差分方程式は、 $v(n-1)$ の項が現れるので、1次の項を実現

することができる。

[0165] 図19(b)は、2次の構成を示す。2次の手順は、保持してA倍して重み付けするタイミングと、電荷共有するタイミングの間に、「待ち」タイミングを設ける。これにより、電荷共有を表現する差分方程式は、 $v(n-2)$ の項が現れるので、2次の項を実現することができる。

[0166] 図19(c)は、k次の構成を示す。k次の手順は、係数回路にキャパシタを $k+1$ 個用意して、保持してA倍して重み付けするタイミングと、電荷共有するタイミングの間に、 $k-1$ 回の「待ち」タイミングを設ける。これにより、電荷共有を表現する差分方程式は、 $v(n-k)$ の項が現れるので、k次の項を実現することができる。

[0167] 図20(a)は、k次に拡張した係数回路700の回路構成を示す図である。係数回路700は、 $k+1$ 個のキャパシタ、及び、 $2 \times (k+1)$ 個のスイッチを有する。また、図20(b)は、係数回路700の各スイッチに入力される $S_{k0} \sim S_{kk}$ のタイミング図を示す図である。

[0168] 係数回路700は、 $S_{k0} \sim S_{kk}$ で示すクロックを入力することによって、第iのタイミングにおける第1のキャパシタを、第 $i+n-1$ のタイミングにおける第2のキャパシタとする。また、係数回路700は、第iのタイミングにおける第2のキャパシタを、第 $i+1$ のタイミングにおける第1のキャパシタとする。これにより、係数回路700は、k次の項を実現することができる。さらに、係数回路700は、電位を保持する際に電位をA倍することにより、係数値を任意の値に設定することが可能となる。

[0169] なお、図20(a)の係数回路700では、キャパシタの値を一つの C_k としたが、 C_k 値のそれぞれの C_k の値を適切な値に変更することでもフィルタ設計の自由度が向上する。

[0170] 次に、図15の離散時間アナログ回路500をn次に拡張した構成例について説明する。

[0171] 図21は、図15の離散時間アナログ回路500をn次に拡張した構成例を示す図である。図21において、係数回路810-k及び係数回路830

−k (k = 1 ~ n) は、離散時間アナログ回路 800 の伝達関数の分母に k 次の項を実現するための係数回路である。

[0172] なお、図 21 の離散時間アナログ回路 800 は、サンプリングスイッチ 130 につながる系に加えて、サンプリングスイッチ 820 につながる系を有し、差動構成としている。サンプリングスイッチ 130 には、LO が入力され、サンプリングスイッチ 830 には、LOB が入力される。ここで、LOB は、LO と位相が 180 度ずれた信号であるため、LOB が入力されるサンプリングスイッチ 820 につながる系は、差動の逆相の系として動作する。

[0173] 図 22 は、図 21 の離散時間アナログ回路 800 に入力されるクロック（制御信号）を示す図である。

[0174] これまでの説明と同様に考えると、電荷共有は、以下の差分方程式で表すことができる。

[数20]

$$q_{in}(n) + \sum_{k=1}^n A_k C_{Hk} v_1(n - kN) = \left(C_R + \sum_{k=1}^n C_{Hk} \right) v_1(n) \quad (20)$$

[0175] 式 (20) において、左辺第 1 項は、入力電荷である。また、式 (20) において、左辺第 2 項は、k タイミング前の電荷共有によって定まった電位を A k 倍して、C H k に保持した電荷 (k = 1 ~ n の合計) である。

[数21]

$$C_R v_1(n) + C_B v_{out}(n - N) = (C_R + C_B) v_{out}(n) \quad (21)$$

[0176] 伝達関数は、式 (21) を z 変換して整理すると、以下のようになる。

[数22]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot T_{IIR} \cdot \frac{C_R}{C_R + C_B (1 - z^{-N})} \quad (22)$$

[数23]

$$T_{\text{IRR}} = \frac{1}{C_R + \sum_{k=1}^n C_{\text{Hk}} - \sum_{k=1}^n A_k C_{\text{Hk}} z^{-kN}} \quad (23)$$

[0177] 本実施の形態に係る離散時間アナログ回路は、式(22)及び式(23)に示すように、分母に任意の次数係数を有する伝達関数を実現できることがわかる。これにより、伝達関数の極の数、値は、任任意に設定することが可能となり、フィルタ設計の自由度を改善することが可能となる。

[0178] 次は、図10の離散時間アナログ回路200をn次に拡張した構成例について説明する。

[0179] 図23は、図10の離散時間アナログ回路200をn次に拡張した構成例を示す図である。図23において、係数回路910-k及び係数回路920-k(k=1~n)は、離散時間アナログ回路900の伝達関数の分母にk次の項を実現するための係数回路である。なお、図23の離散時間アナログ回路900は、サンプリングスイッチ130につながる系に加えて、サンプリングスイッチ820につながる系を有する。サンプリングスイッチ130には、LOが入力され、サンプリングスイッチ820には、LOBが入力される。ここで、LOBは、LOと位相が180度ずれた信号であるため、LOBが入力されるサンプリングスイッチ820につながる系は、差動の逆相の系として動作する。

[0180] 離散時間アナログ回路900には、離散時間アナログ回路800と同様に、図22に示すクロック(制御信号)が入力される。

[0181] これまでの説明と同様に考えると、電荷共有は、以下の差分方程式で表すことができる。

[数24]

$$q_{\text{in}}(n) + C_H v_1(n - N) = (C_R + C_H) v_1(n) \quad (24)$$

[数25]

$$C_R v_1(n) + \sum_{k=1}^n A_k C_{Bk} v_{out}(n - kN) = \left(C_R + \sum_{k=1}^n C_{Bk} \right) v_{out}(n) C_B \quad (25)$$

[0182] 伝達関数は、式(25)を z 変換して整理すると、以下の式(26)のようになる。

[数26]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{C_R}{C_R + C_H(1 - z^{-N})} \cdot T_{IIR} \quad (26)$$

[数27]

$$T_{IIR} = \frac{1}{C_R + \sum_{k=1}^n C_{Bk} - \sum_{k=1}^n A_k C_{Bk} z^{-kN}} \quad (27)$$

[0183] 本実施の形態に係る離散時間アナログ回路は、式(26)及び式(27)に示すように、分母に任意の次数係数を有する伝達関数を実現できることがわかる。これにより、伝達関数の極の数、値は、任意に設定することが可能となり、フィルタ設計の自由度を改善することが可能となる。

[0184] なお、これまで $n = 1$ 以上で考えてきたが、分母型係数回路の $n = 0$ は、電位保持回路を持たない単一のキャパシタ(C_H または C_B)になると定義することも可能である。

[0185] 図21、図23の構成は、電荷サンプリングによる周波数変換とともに、分母に任意の係数を有する n 次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。両者は、周波数変換を行う電荷サンプリング時に分母の係数回路が接続されるか、されないかという点で異なり、雑音や線形性に影響するものと考えられる。

[0186] 以上説明したように、本実施形態に係る離散時間アナログ回路は、分母に任意の係数を有する n 次の多項式をもつ伝達関数で表される、伝達関数の極を任意に設定可能な、フィルタ処理を行うことが可能になる。

[0187] (実施の形態4)

実施の形態1から実施の形態3では、伝達関数の分母に任意の次数係数を有する離散時間アナログ回路(分母型)について説明した。本実施の形態では、伝達関数の分子(Numerator)に任意の次数係数を有する離散時間アナログ回路(分子型)について説明する。

[0188] 図24は、分子型の離散時間アナログ回路に用いられる係数回路1000の構成及び当該係数回路1000に入力されるクロックを示す図である。

[0189] [係数回路1000の構成]

係数回路1000は、CR(ローテートキャパシタ)1030-1, 1030-2(a1, a2)、増幅器1010(b)、スイッチ1020-1~1020-4(c1-c4)を有する。係数回路1000には、クロック生成回路(図示せぬ)からS1、S2が入力される。

[0190] なお、図24(a)は、電荷共有型の係数回路を示し、図24(b)は電位保持型の係数回路を示す。以下、図24(b)の電位保持型の係数回路について、説明する。

[0191] [係数回路1000の動作]

クロック生成回路110は、制御信号であるS1、S2を各スイッチに供給する。

[0192] S1がハイとなる区間において、増幅器1010(b)は、ノードCinの電位をモニタし、そのノードCinの電位をB倍に増幅して、スイッチ1020-1(c1)を介して、CR1030-1(a1)に蓄積する。同時に、CR1030-2(a2)は、スイッチ1020-4(c4)を介してノードCoutで外部回路と接続する。

[0193] S2がハイとなる区間において、増幅器1010(b)は、ノードCinの電位をモニタし、そのノードCinの電位をB倍に増幅して、スイッチ1020-3(c3)を介して、CR1030-2(a2)に蓄積する。同時に、CR1030-1(a1)は、スイッチ1020-2(c2)を介してノードCoutで外部回路と接続する。

[0194] 上記動作が繰り返される。

[0195] 次に、上記のように構成された係数回路 1000 を有する離散時間アナログ回路の構成及び動作について説明する。

[0196] [分子電荷共有型のサンプリングミキサでの使用例]

図 25 は、本実施の形態に係る離散時間アナログ回路 13 の要部構成を示す図である。なお、図 25 において、離散時間アナログ回路 1100 は、図 7 の離散時間アナログ回路 13 に相当し、サンプリングミキサを構成する。なお、図 25 の離散時間アナログ回路 1100 において、図 8 の離散時間アナログ回路 100 と共通する構成部分には、図 8 と同一の符号を付して説明を省略する。図 25 の離散時間アナログ回路 1100 は、図 8 の離散時間アナログ回路 100 に対して、係数回路 140 に代えて係数回路 1120 を有し、CH（ヒストリキャパシタ）1110、CB（バッファキャパシタ）1130 を追加した構成を採る。

[0197] 係数回路 1120 は、増幅器 1121 (b)、スイッチ 1122-1 ~ 1122-6、CR（ローテートキャパシタ）1123-1 ~ 1123-3 (a4, a5, a6) を有する。

[0198] 図 25 の離散時間アナログ回路 1100 は、係数回路 1120 をローテートキャパシタ回路 150 に並列に備えることにより、伝達関数の分子を高次化する。

[0199] [離散時間アナログ回路 1100 の動作]

クロック生成回路 110 は、参照周波数発振部 14 で生成された参照周波数信号 24 から図 26 に示す LO, SA, SB, S1, S2, S3, RES, DUMP の制御信号を生成し、各スイッチに供給する。

[0200] TA120 は、低雑音増幅器 12 で増幅されたアナログ RF 信号 23 を入力電圧信号として電流 ($g_m \times V_{in}$) に変換する。

[0201] 離散時間アナログ回路 1100 の動作は、S1 ~ S3 がハイとなる区間を基準にして、以下の説明を行う。

[0202] [1] S1 がハイとなる区間

L Oがハイとなる区間は、入力電流($g_m \times V_{in}$)が、C H 1 1 1 0 (a1)と、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 2 (a3)とに電荷（入力電荷）として蓄積される。S 1がハイとなる区間は、前記入力電荷と、C H 1 1 1 0 (a1)に保持されていた電荷が電荷共有を行い、C H 1 1 1 0 (a1)と、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 2 (a3)とに保持され、電位V1が定まる。

[0203] 同時に、増幅器 1 1 2 1 (b)は、電位V1をモニタし、その電位V1をB倍に増幅して、C R 1 1 2 3 - 1 (a4)に充電する。

[0204] この電荷サンプリングにより、本実施の形態にかかる離散時間アナログ回路 1 1 0 0は、周波数変換が同時に行なわれ、R Fの信号はI F信号またはB B信号に変換される。

[0205] 一方で、D U M Pがハイとなる区間は、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 2 (a3)と、C R 1 1 2 3 - 2 (a5)と、C B 1 1 3 0とが、それぞれが保持していた電荷を共有することで、出力電位Voutが決まる。出力電位Voutは、I F信号またはB B信号 2 5として出力する。

[0206] R E Sがハイとなる区間は、D U M Pがローとなり、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 2 (a3)と、C R 1 1 2 3 - 2 (a5)の電荷を接地してリセットする。

[0207] [2] S 2がハイとなる区間

L Oがハイとなる区間は、入力電流($g_m \times V_{in}$)がC H 1 1 1 0 (a1)と、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 2 (a3)とに電荷（入力電荷）として蓄積される。S 2がハイとなる区間は、前記入力電荷と、C H 1 1 1 0 ((a1)に保持されていた電荷が電荷共有を行い、C H 1 1 1 0 (a1)と、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 2 (a3)とに保持され、電位V1が定まる。

[0208] 同時に、増幅器 1 1 2 1 (b)は、電位V1をモニタし、その電位V1をB倍に増幅して、C R 1 1 2 3 - 1 (a5)に充電する。

[0209] 一方で、D U M Pがハイとなる区間は、C R 1 5 2 - 1 (a2)またはC R 1 5 2 - 3 (a3)と、C R 1 1 2 3 - 3 (a6)と、C B 1 1 3 0バッファキャパシタが、それぞれが保持していた電荷を共有する。これにより、出力電位Vout

が決まる。出力電位 V_{out} は、 I_F 信号または B_B 信号25として出力する。

[0210] RES がハイとなる区間は、 $DUMP$ がローとなり、 $CR152-1$ (a2) または $CR152-2$ (a3)と、 $CR1123-3$ (a6)の電荷を接地してリセットする。

[0211] [3] $S3$ がハイとなる区間

LO がハイとなる区間は、入力電流($g_m \times V_{in}$)が、 $CH1110$ (a1)と、 $CR152-1$ (a2)または $CR152-2$ (a3)とに電荷(入力電荷)として蓄積される。 $S3$ がハイとなる区間は、前記入力電荷と、 $CH1110$ (a1)に保持されていた電荷が電荷共有を行い、 $CH1110$ (a1)と、 $CR152-1$ (a2)または $CR152-2$ (a3)、に保持され、電位 $V1$ が定まる。

[0212] 同時に、増幅器1121 (b)は、電位 $V1$ をモニタし、その電位 $V1$ を B 倍に増幅して、 $CR1123-3$ (a6)に充電する。

[0213] 一方で、 $DUMP$ がハイとなる区間は、 $CR152-1$ (a2)または $CR152-2$ (a3)と、 $CR1123-1$ (a4)と、 $CB1130$ とが、それぞれが保持していた電荷を共有することで、出力電位 V_{out} が決まる。出力電位 V_{out} は、 I_F 信号または B_B 信号25として出力する。

[0214] RES がハイとなる区間は、 $DUMP$ をローとなり、 $CR152-1$ (a2) または $CR152-2$ (a3)と、 $CR1123-1$ (a4)の電荷を接地してリセットする。

[0215] [4]以降は、[1]、[2]、[3]の動作が繰り返される。

[0216] 上記動作は、差分方程式により以下のように記述される。

[数28]

$$q_{in}(n) + C_H v_1(n - N) = (C_{R0} + C_H) v_1(n) \quad (28)$$

[0217] 式(28)において、左辺第1項は、入力電荷である。また、式(28)において、左辺第2項は、 CH に保持された1タイミング前の電荷共有によって、定まった電荷である。

[数29]

$$C_{R0}v_1(n) + B_1C_{R1}v_1(n-N) + C_Bv_{out}(n-N) = (C_{R0} + C_{R1} + C_B)v_{out}(n) \quad (29)$$

[0218] 式(29)において、左辺第1項は、C_{R0}に保持されていた電荷である。また、式(29)において、左辺第2項は、C_{R0}に保持されていた電荷量が、定まった入力側の電荷共有の1タイミング前の入力側の電荷共有によって定まった電位を、B₁倍してC_{R1}に保持されていた電荷である。また、式(29)において、左第3項は、C_Bに保持された1タイミング前の出力側の電荷共有によって定まった電荷である。

[0219] 伝達関数は、式(29)をz変換して整理すると、以下ようになる。

[数30]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1-z^{-N}}{1-z^{-1}} \cdot \frac{1/(C_{R0} + C_H)}{1 - \{C_H/(C_{R0} + C_H)\}z^{-N}} \cdot T_{IIR} \quad (30)$$

[数31]

$$T_{IIR} = \frac{(C_{R0} + C_{R1}B_1z^{-N})/(C_{R0} + C_{R1} + C_B)}{1 - \{C_B/(C_{R0} + C_{R1} + C_B)\}z^{-N}} \quad (31)$$

[0220] 本実施の形態に係る離散時間アナログ回路は、式(30)及び式(31)に示すように、伝達関数 T_{IIR} の分子に定数項と任意な係数を持つ1次の多項式を実現できる。

[0221] なお、本実施の形態では、係数回路1000において、電荷共有型、電位保持型の両方を使用した構成としたが、電荷共有型のみ、電位保持型のみでも構成できる。

[0222] 電荷共有型のみとした場合は、1121の増幅器が単なる配線となる。動作としての違いは、入力電荷とC_HとC_{R0}の電荷共有にC_{R1}も追加され、C_{R1}がB₁倍されない。

[0223] このとき、差分方程式は、以下ようになる。

[数32]

$$q_{in}(n) + C_H v_1(n - N) = (C_{R0} + C_{R1} + C_H) v_1(n) \quad (32)$$

[数33]

$$C_{R0} v_1(n) + C_{R1} v_1(n - N) + C_B v_{out}(n - N) = (C_{R0} + C_{R1} + C_B) v_{out}(n) \quad (33)$$

[0224] 伝達関数は、以下のようにになる。

[数34]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1 / (C_{R0} + C_{R1} + C_H)}{1 - \{C_H / (C_{R0} + C_{R1} + C_H)\} z^{-N}} \cdot T_{IIR} \quad (34)$$

[数35]

$$T_{IIR} = \frac{(C_{R0} + C_{R1} z^{-N}) / (C_{R0} + C_{R1} + C_B)}{1 - \{C_B / (C_{R0} + C_{R1} + C_B)\} z^{-N}} \quad (35)$$

[0225] 本実施の形態に係る離散時間アナログ回路は、式(34)及び式(35)に示すように、伝達関数 T_{IIR} の分子に定数項と任意な係数を持つ1次の多項式を実現できる。

[0226] 電位保持型のみとした場合は、ローテートキャパシタの電荷共有がなくなり、これまでとは、異なる構成となるので、以下で説明する。

[0227] [分子電位保持型のサンプリングミキサ]

図27は、本実施の形態に係る離散時間アナログ回路13の要部構成を示す図である。なお、図27において、離散時間アナログ回路1200は、図7の離散時間アナログ回路13に相当し、サンプリングミキサを構成する。なお、図27の離散時間アナログ回路1200において、図25の離散時間アナログ回路1100と共通する構成部分には、図25と同一の符号を付して説明を省略する。図27の離散時間アナログ回路1200は、図25の離散時間アナログ回路1100に対して、CH1110と、ローテートキャパシタ回路150との間に、増幅器1210を追加した構成を採る。

[0228] 図 27 の離散時間アナログ回路 1200 は、CH1110 と、ローテートキャパシタ回路 150 との間に、増幅器 1210 を備えることにより、伝達関数の分子を高次化する。

[0229] [離散時間アナログ回路 1200 の動作]

クロック生成回路 110 は、参照周波数発振部 14 で生成された参照周波数信号 24 から図 28 に示す LO, SA, SB, S1, S2, S3, RES, DUMP の制御信号を生成し、各スイッチに供給する。

[0230] TA120 は、低雑音増幅器 12 で増幅されたアナログ RF 信号 23 を入力電圧信号として電流 ($g_m \times V_{in}$) に変換する。

[0231] 次に、離散時間アナログ回路 1200 の動作は、S1 ~ S3 がハイとなる区間を基準にして、以下の説明を行う。

[0232] [1] S1 がハイとなる区間

LO がハイとなる区間は、入力電流 ($g_m \times V_{in}$) が CH1110 (a1) に電荷 (入力電荷) として蓄積される。S1 がハイとなる区間は、前記入力電荷と、CH1110 (a1) に保持されていた電荷とが電荷共有を行い、電位 V1 が定まる。

[0233] 同時に、増幅器 1210 (b1) は、電位 V1 をモニタし、その電位 V1 を B0 倍に増幅して、CR152-1 (a2) または CR152-2 (a3) に充電する。増幅器 1121 (b2) は、電位 V1 をモニタし、その電位 V1 を B1 倍に増幅して、CR1123-1 (a4) に充電する。

[0234] この電荷サンプリングにより、本実施の形態に係る離散時間アナログ回路は、周波数変換が同時に行なわれ、RF 信号は IF 信号または BB 信号に変換される。

[0235] 一方で、DUMP がハイとなる区間は、CR152-1 (a2) または CR152-2 (a3) と、CR1123-2 (a5) と、CB1130 とが、それぞれが保持していた電荷を共有することで、出力電位 V_{out} が決まる。出力電位 V_{out} は、IF 信号または BB 信号 25 として出力する。

[0236] RES がハイとなる区間は、DUMP がローとなり、CR152-1 (a2)

またはCR152-2(a3)と、CR1123-2(a5)の電荷を接地してリセットする。

[0237] [2] S2がハイとなる区間

LOがハイとなる区間は、入力電流($g_m \times V_{in}$)がCH1110(a1)に電荷（入力電荷）として蓄積される。S2がハイとなる区間は、前記入力電荷と、CH1110(a1)に保持されていた電荷とが電荷共有を行い、電位V1が定まる。

[0238] 同時に、増幅器1210(b1)は、電位V1をモニタし、その電位V1をB0倍に増幅して、CR152-1(a2)またはCR152-2(a3)に充電する。増幅器1121(b2)は、電位V1をモニタし、その電位V1をB1倍に増幅して、CR1123-2(a5)に充電する。

[0239] 一方で、DUMPがハイとなる区間は、CR152-1(a2)またはCR152-2(a3)と、CR1123-3(a6)と、CB1130が、それぞれが保持していた電荷を共有することで、出力電位Voutが決まる。出力電位Voutは、IF信号またはBB信号25として出力する。

[0240] RESがハイとなる区間は、DUMPがロートなり、CR152-1(a2)またはCR152-2(a3)と、CR1123-3(a6)の電荷を接地してリセットする。

[0241] [3] S3がハイとなる区間

LOがハイとなる区間は、入力電流($g_m \times V_{in}$)がCH1110(a1)に電荷（入力電荷）として蓄積される。S3がハイとなる区間は、前記入力電荷と、CH1110(a1)に保持されていた電荷が電荷共有を行い、電位V1が定まる。

[0242] 同時に、増幅器1210(b1)は、電位V1をモニタし、その電位V1をB0倍に増幅して、CR151-1(a2)またはCR151-2(a3)に充電する。増幅器1121(b2)は、電位V1をモニタし、その電位V1をB1倍に増幅して、CR1123-3(a6)に充電する。

[0243] 一方で、DUMPがハイとなる区間は、CR152-1(a2)またはCR1

5 2 - 2 (a3)と、C R 1 1 2 3 - 1 (a4)と、C B 1 1 3 0とが、それぞれが保持していた電荷を共有することで、出力電位Voutが決まる。出力電位Voutは、I F 信号またはB B 信号 2 5 として出力する。

[0244] R E S がハイとなる区間は、D U M P がローとなり、C R 1 5 2 - 1 (a2) またはC R 1 5 2 - 2 (a3)と、C R 1 1 2 3 - 1 (a4)の電荷を接地してリセットする。

[0245] [4] 以降は、[1]、[2]、[3] の動作が繰り返される。

[0246] 上記動作は、差分方程式により以下のように記述される。

[数36]

$$q_{in}(n) + C_H v_1(n - N) = C_H v_1(n) \quad (36)$$

[数37]

$$B_0 C_{R0} v_1(n) + B_1 C_{R1} v_1(n - N) + C_B v_{out}(n - N) = (C_{R0} + C_{R1} + C_B) v_{out}(n) \quad (37)$$

[0247] 伝達関数は、式 (3 7) をz変換して整理すると、以下ようになる。

[数38]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1}{C_H (1 - z^{-N})} \cdot T_{IRR} \quad (38)$$

[数39]

$$T_{IRR} = \frac{(C_{R0} + B_1 C_{R1} z^{-N}) / (C_{R0} + C_{R1} + C_B)}{1 - \{C_B / (C_{R0} + C_{R1} + C_B)\} z^{-N}} \quad (39)$$

[0248] 本実施の形態に係る離散時間アナログ回路は、式 (3 8) 及び式 (3 9) に示すように、伝達関数 T_{IRR} の分子に定数項と任意な係数を持つ1次の多項式が実現できる。また、式 (3 8) では、D C 利得が無限大となるが、実際の回路ではT A 1 2 0 の出力抵抗や寄生容量の影響でD C 利得は有限な値となる。

[0249] 以上、伝達関数の分子に1次の任意の係数値を有する多項式を実現するこ

とができる離散時間アナログ回路について説明した。

[0250] 次は、次数を n 次に拡張し、伝達関数の分子に n 次の任意の係数値を有する多項式を実現する離散時間アナログ回路について説明する。

[0251] [分子型 (n 次)]

本実施の形態では、伝達関数の分母に n 次の任意の係数値を有する多項式を実現する場合と同様に、伝達関数の分子に n 次の任意の係数値を有する多項式を実現することができる。

[0252] 具体的には、図 19 に示した高次化の原理と同様に、図 25 の離散時間アナログ回路 1100 及び図 27 の離散時間アナログ回路 1200 に対しても、伝達関数の分子の項の次数を高次化することが可能である。

[0253] 図 29 は、 k 次の項を実現する係数回路 ($b_k z^{-k}$) 1300 の構成、及びクロック生成回路 110 から係数回路 1300 に入力されるクロックを示す図である。

[0254] 0 次 ($k=0$) のときに、図 29 (b) の構成を採る場合は、図 25 の離散時間アナログ回路 1100 となる。一方、0 次 ($k=0$) のとき、図 29 (a) の $k=0$ の構成を採る場合は、図 27 の離散時間アナログ回路 1200 となる。つまり、離散時間アナログ回路 1100 と離散時間アナログ回路 1200 との差は、定数項の実現を電荷共有で行なうか、電位の保持・重み付けで行なうかによる。

[0255] なお、図 29 の係数回路 1300 では、キャパシタの値を一つの CR_k としたが、 CR_k 値をそれぞれ適切な値に設定することでフィルタ設計の自由度が向上する。

[0256] 図 30 は、伝達関数の分子の n 次の任意の係数値を有する多項式を実現することができる離散時間アナログ回路の要部構成を示す図である。

[0257] 図 30 の離散時間アナログ回路 1400 は、クロック生成回路 110、TA120、サンプリングスイッチ 1410-1、1410-2、係数回路 1420- k ($k=0\sim n$)、1340- k 、リセットスイッチ 1440-1、1440-2、ダンプスイッチ 1450-1、1450-2、CB (バッ

ファキャパシタ) 1460-1, 1460-2を有する。

[0258] 図30の離散時間アナログ回路1400は、1420-0~1420-n、1430-0~1430-nに示す分子型の係数回路を有し、それぞれは電荷共有型、電位保持型、いずれの構成を選択しても良い。

[0259] 具体的には、係数回路1420-0~1420-n、1430-0~1430-nの構成は、電荷共有型だけで構成した場合、電荷共有型と電位保持型を組み合わせで構成した場合、及び電位保持型だけで構成した場合である。電荷共有型、電位保持型、及びそれを組み合わせた構成それぞれのn次の分子電荷共有型の動作を表す差分方程式と、z変換によって導かれる伝達関数は、以下ようになる。

[0260] <電荷共有型だけでn次を構成した場合>

[数40]

$$q_{in}(n) + C_H v_1(n-N) = \left(\sum_{k=0}^n C_{Rk} + C_H \right) v_1(n) \quad (40)$$

[数41]

$$\sum_{k=0}^n C_{Rk} v_1(n-kN) + C_B v_{out}(n-N) = \left(\sum_{k=0}^n C_{Rk} + C_B \right) v_{out}(n) \quad (41)$$

[0261] 伝達関数は、式(41)をz変換して整理すると、z変換して整理すると、以下ようになる。

[数42]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1-z^{-N}}{1-z^{-1}} \cdot \frac{1/\left(\sum_{k=0}^n C_{Rk} + C_H\right)}{1-\left\{C_H/\left(\sum_{k=0}^n C_{Rk} + C_H\right)\right\}z^{-N}} \cdot \frac{1/\left(\sum_{k=0}^n C_{Rk} + C_B\right)}{1-\left\{C_B/\left(\sum_{k=0}^n C_{Rk} + C_B\right)\right\}z^{-N}} \cdot T_{FIR} \quad (42)$$

[数43]

$$T_{FIR} = \sum_{k=0}^n C_{Rk} z^{-kN} \quad (43)$$

[0262] <電荷共有型と電位保持型を組み合わせでn次を構成した場合>

電荷共有型を選択した係数回路のkをkci (i = 1 ~ l)として、電位保持型を選択した係数回路のkをkhj (j = 1 ~ n + 1 - l)とすれば、電荷共有の動作は、差分方程式により以下のように記述される。

[数44]

$$q_{in}(n) + C_H v_1(n - N) = \left(\sum_{i=1}^l C_{Rkci} + C_H \right) v_1(n) \quad (44)$$

[数45]

$$\sum_{i=1}^l C_{Rkci} v_1(n - kciN) + \sum_{j=1}^{n+1-l} B_{khj} C_{Rkhj} v_1(n - khjN) + C_B v_{out}(n - N) = \left(\sum_{k=0}^n C_{Rk} + C_B \right) v_{out}(n) \quad (45)$$

[0263] 伝達関数は、式(44)及び式(45)をz変換して整理すると、以下のようになる。

[数46]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1 / \left(\sum_{i=1}^l C_{Rkci} + C_H \right)}{1 - \left\{ C_H / \left(\sum_{i=1}^l C_{Rkci} + C_H \right) \right\} z^{-N}} \cdot \frac{1 / \left(\sum_{k=0}^n C_{Rk} + C_B \right)}{1 - \left\{ C_B / \left(\sum_{k=0}^n C_{Rk} + C_B \right) \right\} z^{-N}} \cdot T_{FIR} \quad (46)$$

[数47]

$$T_{FIR} = \sum_{i=1}^l C_{Rkci} z^{-kciN} + \sum_{j=1}^{n+1-l} B_{khj} C_{Rkhj} z^{-khjN} \quad (47)$$

[0264] <電位保持型だけでn次を構成した場合>

[数48]

$$q_{in}(n) + C_H v_1(n - N) = C_H v_1(n) \quad (48)$$

[数49]

$$\sum_{k=0}^n B_k C_{Rk} v_1(n-kN) + C_B v_{out}(n-N) = \left(\sum_{k=0}^n C_{Rk} + C_B \right) v_{out}(n) \quad (49)$$

[0265] 伝達関数は、式(48)及び式(49)をz変換して整理すると、以下のようになる。

[数50]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1-z^{-N}}{1-z^{-1}} \cdot \frac{1}{C_H(1-z^{-N})} \cdot \frac{1/\left(\sum_{k=0}^n C_{Rk} + C_B\right)}{1 - \left\{ C_B / \left(\sum_{k=0}^n C_{Rk} + C_B\right) \right\} z^{-N}} \cdot T_{FIR} \quad (50)$$

[数51]

$$T_{FIR} = \sum_{k=0}^n B_k C_{Rk} z^{-kN} \quad (51)$$

[0266] 本実施の形態に係る離散時間アナログ回路は、式(50)及び式(51)に示すように、伝達関数の分子に任意の次数係数を有する伝達関数の実現できている。

[0267] なお、分子型の係数回路を電位保持型にした場合は、RESによる電位保持型係数回路内のローテートキャパシタの電荷を接地してリセットする動作は、必ずしも必要ではない。

[0268] このように、本実施の形態では、任意の数及び任意の周波数で、伝達関数に零を実現することが可能となる。本実施の形態では、remezアルゴリズムを用いてFIRフィルタの係数を求め、その値になるようにCRk、Bkの値を設定すれば、FIRフィルタによって、広帯域なフィルタ特性を実現することが可能となる。

[0269] 図25、図27の構成は、電荷サンプリングによる周波数変換とともに、分子に任意の係数を有する2次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。両者は、周波数変換を行う電荷サンプリング時に分子の係数回路が増幅器を介して接続されるか、されないかという点で異なる。

り、伝達関数の構成に違いをもたらす。さらに、その差異は、雑音や線形性に影響するものと考えられる。

[0270] 図30の構成は、電荷サンプリングによる周波数変換とともに、分子に任意の係数を有する n 次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。

[0271] 分子の係数回路が増幅器を持たない場合は、分子係数回路内の電荷保持回路が電荷共有に使用される。分子の係数回路が増幅器を持つ場合は、分子係数回路内の電荷保持回路は増幅(保持された)電位に相当する電荷を分子係数回路内の電荷保持回路に充電する。

[0272] 増幅器を使用しない分子係数回路が多いほど、消費電力は、低減すると考えられるが、入力時に多くの電荷保持回路が使用されると、その分DC利得は低下することになる。

[0273] 以上説明したように、本実施の形態に係る離散時間アナログ回路は、周波数変換とともに分母に任意の係数を有する n 次の多項式をもつ伝達関数で表されるフィルタ処理を行うことが可能になる。

[0274] (実施の形態5)

実施の形態3では、伝達関数の分母に k 次の次数係数を有する離散時間アナログ回路について説明した。また、実施の形態4では、伝達関数の分子に k 次の次数係数を有する離散時間アナログ回路について説明した。本実施の形態では、伝達関数の分子分母に2次の次数係数を有する離散時間アナログ回路について説明する。

[0275] [分子分母型サンプリングミキサ]

図31は、本実施の形態に係る離散時間アナログ回路の要部構成の一例を示すブロック図である。なお、図31において、離散時間アナログ回路1500は、図7の離散時間アナログ回路13に相当し、伝達関数の分子分母に2次の多項式を有するサンプリングミキサを構成する。なお、図31の離散時間アナログ回路1500において、図8、図17、及び、図27と共通する構成部分には、同一の符号を付して説明を省略する。図31の離散時間ア

ナログ回路 1500 は、図 27 の離散時間アナログ回路 1100 に対して、分子型の係数回路 1510、及び、分母型の係数回路 220、610 を追加した構成を採る。

[0276] このように、離散時間アナログ回路 1500 は、ローテートキャパシタにより構成される分子型の係数回路 150、1120、1510、及び、バッファキャパシタにより構成される係数回路 220、610 を有する。これにより、離散時間アナログ回路 1500 は、分子と分母とにそれぞれ 2 次多項式を実現する。

[0277] なお、離散時間アナログ回路 1500 の各スイッチには、クロック生成回路 110 から図 33 に示すクロック（制御信号）が入力される。

[0278] [離散時間アナログ回路 1500 の動作]

これまでの説明と同様に考える。

[0279] まず、入力側の電荷共有では、入力電荷が CH210 (a1) に保持されている 1 タイミング前の電荷 (CHv(n-N)) とともに、CH210 (a1) と CRO で電荷共有されて V1 が定まる。ここで、CRO は、CR152-1 (a2) または CR152-1 (a3) である。

[0280] この V1 は、増幅器 1121 (b1) で B1 倍の電位で CR1 に保持される。ここで、CR1 は、CR1123-1 (a5)、CR1123-2 (a5) または CR1123-3 (a6) である。そして、増幅器 1511 (b2) により電位は、B2 倍され、B2 倍された電位で CR2 に保持される。

[0281] 同時に出力側では、CR に保持されていた電荷 (CRv1(n)) と、CR1 に保持されていた電荷 (B1CR1v1(n-N)) と、CR2 に保持されていた電荷 (B2CR2vout(n-2N)) と、CB1 に保持されていた電荷 (A1CB1vout(n-N)) と、CB2 に保持されていた電荷 (A2CB1vout(n-2N)) との電荷共有によって、出力電位 Vout が定まる。ここで、CB1 は、CB223-1 (a11) または CB223-2 (a12) である。また、CB2 は、CB613-1 (a13)、CB613-2 (a14)、または、CB613-3 (a15) である。

[0282] この Vout は、増幅器 221 (b3) で A1 倍の電位で CB1 に保持され、増幅

器 6 1 1 (b4)で A 2 倍の電位で C B 2 に保持される。

[0283] 上記の動作が繰り返される。

[0284] 上記動作は、差分方程式により以下のように記述される。

[数52]

$$q_{in}(n) + C_H v_1(n - N) = (C_{R0} + C_H) v_1(n) \quad (52)$$

[数53]

$$\begin{aligned} C_{R0} v_1(n) + B_1 C_{R1} v_1(n - N) + B_2 C_{R2} v_1(n - 2N) \\ + C_{B1} v_{out}(n - N) + C_{B2} v_{out}(n - 2N) = (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2}) v_{out}(n) \end{aligned} \quad (53)$$

[0285] 伝達関数は、式 (53) を z 変換して整理すると、以下ようになる。

[数54]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1/(C_{R0} + C_H)}{1 - \{C_H/(C_{R0} + C_H)\} z^{-N}} \cdot T_{IIR} \quad (54)$$

[数55]

$$T_{IIR} = \frac{(C_{R0} + C_{R1} B_1 z^{-N} + C_{R2} B_2 z^{-2N}) / (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2})}{1 - \{C_{B1} / (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2})\} z^{-N} - \{C_{B2} / (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2})\} z^{-2N}} \quad (55)$$

[0286] 本実施の形態に係る離散時間アナログ回路は、式 (54) 及び式 (55) に示すように、伝達関数 T_{IIR} の分子と分母とに任意な係数を持つ 2 次多項式が実現できることがわかる。つまり、離散時間アナログ回路は、s 領域の 2 次のフィルタ関数を双一次変換によって z 領域に変換した伝達関数をサンプリングミクサで実現することできる。

[0287] なお、ここでは、分子型を $k = 0$ で電荷共有型、 $k = 1, 2$ で電位保持型としたが、 $k = 0, 1, 2$ で電荷共有型、電位保持型のいずれを選択することも可能である。伝達関数の違いは、n 次の伝達関数の説明で説明する。

[0288] [分子分母型サンプリングフィルタ]

図 3 2 は、本実施の形態に係る離散時間アナログ回路の別の要部構成の一例を示すブロック図である。なお、図 3 2 において、離散時間アナログ回路

1600は、伝達関数の分母分子に2次の係数を有するサンプリングフィルタを構成する。なお、図32の離散時間アナログ回路1600において、図31の離散時間アナログ回路1500と共通する構成部分には、図31と同一の符号を付して説明を省略する。図32の離散時間アナログ回路1600は、図31の離散時間アナログ回路1500に対して、TA120及びCH1110を削除した構成を採る。さらに、図32の離散時間アナログ回路1600は、スイッチ152-1, 152-2の前段に増幅器1610を追加した構成（分子電荷共有型の係数回路150を分子電位保持型に変更したことに相当）を採る。

[0289] このように、離散時間アナログ回路1600は、ローテートキャパシタにより構成される分子型の係数回路1120, 1510、及び、バッファキャパシタにより構成される係数回路220, 610を有する。これにより、離散時間アナログ回路1600は、分母と分子とにそれぞれ2次多項式を実現する。

[0290] なお、離散時間アナログ回路1600の各スイッチには、クロック生成回路110から図33に示すクロック（制御信号）が入力される。

[0291] [離散時間アナログ回路1600動作]

これまでの説明と同様に考える。

[0292] まず、入力側では、入力電位 V_{in} が、増幅器1610(b0)で B_0 倍の電位でCR0に保持される。ここで、CR0は、CR152-1(a2)またはCR152-1(a3)である。また、入力電位 V_{in} は、増幅器1121(b1)で B_1 倍の電位でCR1に保持される。ここで、CR1は、CR1123-1(a5)、CR1123-2(a5)またはCR1123-3(a6)である。そして、増幅器1511(b2)により電位が B_2 倍され、 B_2 倍後の電位でCR2に保持される。ここで、CR2は、CR1513-1(a7)、CR1513-2(a8)、CR1513-3(a9)、または、CR1513-4(a10)である。

[0293] 同時に出力側では、CR0に保持されていた電荷($CR0B_0v_1(n)$)と、CR1に保持されていた電荷($B_1CR1v_1(n-N)$)と、CR2に保持されていた電荷(B_2CR

2vout(n-2N))と、C B 1 に保持されていた電荷(A1CB1vout(n-N))と、C B 2 に保持されていた電荷 (A 2 C B 1 Vout (n - 2 N)) との電荷共有によって、出力電位Voutが定まる。ここで、C B 1 は、C B 2 2 3 - 1 (a11)またはC B 2 2 3 - 2 (a12)である。また、C B 2 は、C B 6 1 3 - 1 (a13)、C B 6 1 3 - 2 (a14)、または、C B 6 1 3 - 3 (a15)である。

[0294] このVoutは、増幅器 2 2 1 (b3)でA 1 倍の電位でC B 1 に保持され、増幅器 6 1 1 (b4)でA 2 倍の電位でC B 2 に保持さる。

[0295] 上記の動作が繰り返される。

[0296] 上記動作は、差分方程式により以下のように記述される。

[数56]

$$B_0 C_{R0} v_{in}(n) + B_1 C_{R1} v_{in}(n-N) + B_2 C_{R2} v_{in}(n-2N) + C_{B1} v_{out}(n-N) + C_{B2} v_{out}(n-2N) = (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2}) v_{out}(n) \quad (56)$$

[0297] 伝達関数は、式 (5 6) をz変換して整理すると、以下ようになる。

[数57]

$$T_{IIR} = \frac{(B_0 C_{R0} + C_{R1} B_1 z^{-N} + C_{R2} B_2 z^{-2N}) / (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2})}{1 - \{C_{B1} / (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2})\} z^{-N} - \{C_{B2} / (C_{R0} + C_{R1} + C_{R2} + C_{B1} + C_{B2})\} z^{-2N}} \quad (57)$$

[0298] 本実施の形態に係る離散時間アナログ回路は、式 (5 7) に示すように、伝達関数 T_{IIR} の分子と分母とに任意な係数を持つ2次多項式が実現できることがわかる。つまり、本実施の形態に係る離散時間アナログ回路は、s領域のフィルタ関数を双一次変換によって、z領域に変換した伝達関数をサンプリングフィルタで実現することができる。

[0299] なお、ここでは、分子型をk = 0, 1, 2で電位保持型としたが、k = 0, 1, 2で電荷共有型、電位保持型のいずれを選択することも可能である。伝達関数の違いは、n次の伝達関数の説明で説明する。

[0300] 以上、伝達関数の分子分母に2次多項式を実現できる離散時間アナログ回路について説明した。次は、チェビシェフ特性の計算結果と本実施の形態に係る離散時間アナログ回路におけるシミュレーション結果との比較により、

本実施の形態の有効性について説明する。

[0301] [双一次変換のチェビシェフ特性の実現]

s 領域における分母に 2 次の多項式を有する伝達関数(最平坦特性やチェビシェフ特性を実現可能)を双一次変換によって、z 領域に変換すると、伝達関数は、以下のような形になる。

[数58]

$$T_1 = K \frac{1 + 2z^{-1} + z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \quad (58)$$

[0302] 2 次チェビシェフ特性を実現する係数の例を挙げると、各係数は、 $a_1 = -1.9547$ 、 $a_2 = 0.9562$ 、 $K = 3.658 \times 10^{-4}$ となる。

[0303] 本実施の形態では、分子分母に任意の係数値が実現できる。そこで、本実施の形態では、式(58)の分子及び分母の係数と、式(57)とを比較することにより、例えば、以下のように TA120 のトランスコンダクタンス g_m と、各キャパシタの値を設定する。

[0304] $g_m = 0.91265 \text{ mS}$ 、 $C_{R0} = C_{R1} = C_{R2} = 0.39480 \text{ pF}$ 、 $C_{B1} = 19.395 \text{ pF}$ 、 $C_{B2} = 9.4204 \text{ pF}$

[0305] ここで、電荷供給電位重み付けユニットの重み付けアンプとしての増幅器 b_1 、 b_2 の利得は、それぞれ $B_1 = 2$ 、 $B_2 = 1$ 、 $A_1 = 3$ 、 $A_2 = -3$ とした。

[0306] 図34(a)、(b)は、2 次のチェビシェフ特性の計算結果と SPICE シミュレーションの結果との比較を示す。図34の横軸は、周波数変換後の周波数で記載している。また、図34において、実線は、分子分母型の計算結果であり、点線は、参考のために示した分母型の計算結果である。

[0307] また、図34の DC (0 Hz) は、LO 周波数に対応する。計算及びシミュレーションでは、LO 周波数を 1.5 GHz として行なった。なお、シミュレーションは、図31の離散時間アナログ回路 1600 の構成において、TA120、各スイッチ、各キャパシタは理想のものを使用した。また、2

次のチェビシェフ特性の計算は、チェビシェフ特性によるリップルがはっきり現れるように、ヒストリキャパシタ C_H とローテートキャパシタ C_R の値を等しくしている。

[0308] 図34 (a) から分かるように、狭帯域において、計算結果とシミュレーション結果とが良く一致しており、離散時間アナログ回路1600は、図31の構成を採ることにより、目的の動作をしていることが確認できる。なお、図34 (b) において、分母型では、サンプリング周波数／2あたりで双一次変換によって求めたチェビシェフの伝達関数からずれてくる。しかし、分子分母型を用いた場合では、伝達関数の分子も高次化することによって、広帯域特性においても、計算結果とシミュレーション結果とを一致させることができている。

[0309] このように、本実施の形態に係る離散時間アナログ回路は、伝達関数の分子および分母に任意の次数係数を有する多項式を実現することができ、広帯域かつ急峻な特性を得ることが可能となる。本実施の形態では、分母のみならず分子にも任意の次数係数を有する多項式係数を実現しているため、伝達関数の極の数、値を任意に設定することが可能となり、フィルタ設計の自由度を改善することが可能となる。

[0310] なお、分子の2次の多項式の構成方法は、電荷共有型でも電位保持型でも両者の混成のいずれでも良い。分母の2次多項式の構成方法は、前段であっても良いし、後段であっても良い。伝達関数の違いは、 n 次の伝達関数の記載したところで説明する。

[0311] 図31の構成は、電荷サンプリングによる周波数変換とともに、分子分母の両方に任意の係数を有する2次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。

[0312] 図32の構成は、分子分母の両方に任意の係数を有する2次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。

[0313] また、本実施の形態では、分子分母に任意の係数を有する2次の多項式をもつことによって、2次のフィルタ関数(最平坦特性やチェビシェフ特性など

)を実現することが可能となり、広帯域なフィルタ特性が実現可能となる。

[0314] 以上説明したように、本実施の形態に係る離散時間アナログ回路は、分子分母の両方に任意の係数を有する2次の項をもつ伝達関数で表されるフィルタ処理を行うことが可能になる。

[0315] (実施の形態6)

実施の形態5では、2次の分子分母型の離散時間アナログ回路について説明した。本実施の形態では、 n 次の分子分母型の離散時間アナログ回路について説明する。

[0316] 図35は、本実施の形態に係る離散時間アナログ回路の要部構成の一例を示すブロック図である。なお、図35において、離散時間アナログ回路1700は、図7の離散時間アナログ回路13に相当し、伝達関数の分母分子に n 次の係数を有するサンプリングミキサを構成する。なお、図35の離散時間アナログ回路1700において、図21、図30と共通する構成部分には、図21、図30同一の符号を付して説明を省略する。

[0317] 図35の離散時間アナログ回路1700は、クロック生成回路110、TA120、サンプリングスイッチ130、820、分母型の係数回路810- k 、830- k ($k=1\sim n$)、分子型の係数回路1420- k 、1430- k 、リセットスイッチ1440-1、1440-2、ダンプスイッチ1450-1、1450-2、及び、CB (バッファキャパシタ) 1460-1、1460-2を有する。

[0318] このように、離散時間アナログ回路1700は、ローテートキャパシタにより構成される分子型の係数回路1420- k 、1430- k ($k=0\sim n$)を有する。また、離散時間アナログ回路1700は、ヒストリキャパシタにより構成される分母型の係数回路810- k 、830- k ($k=1\sim n$)を有する。これにより、離散時間アナログ回路1700は、分母と分子とにそれぞれ n 次多項式を実現する。

[0319] これまでの説明と同様に考えると、離散時間アナログ回路1700の電荷共有の動作は、 n 次分子型と n 次前段分母型の組み合わせとなる。

[0320] 分子が電荷共有型と電位保持型の組み合わせ（電荷共有型と電位保持型を含む）では、例えば、電荷共有型を選択した k を kci ($i = 1 \sim l$)として、電位保持型を選択した k を khj ($j = 1 \sim n+1-l$)とする。このようにすれば、分母が前段型の場合、動作を記述する差分方程式は、以下のような形になる。

[数59]

$$q_{in}(n) + \sum_{k=1}^n A_k C_{Hk} v_1(n-kN) = \left(\sum_{i=1}^l C_{Rkci} + \sum_{i=1}^n C_{Hk} \right) v_1(n) \quad (59)$$

[数60]

$$\sum_{i=1}^l C_{Rkci} v_1(n-kciN) + \sum_{j=1}^{n+1-l} B_{khj} C_{Rkhj} v_1(n-khjN) + C_B v_{out}(n-N) = \left(\sum_{k=0}^n C_{Rk} + C_B \right) v_{out}(n) \quad (60)$$

[0321] 伝達関数は、式（60）を z 変換して整理すると、以下ようになる。

[数61]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1-z^{-N}}{1-z^{-1}} \cdot \frac{1 / \left(\sum_{k=0}^n C_{Rk} + C_B \right)}{1 - \left\{ C_B / \left(\sum_{k=0}^n C_{Rk} + C_B \right) \right\} z^{-N}} \cdot T_{IIR} \quad (61)$$

[数62]

$$T_{IIR} = \frac{\left(\sum_{i=1}^l C_{Rkci} z^{-kciN} + \sum_{j=1}^{n+1-l} B_{khj} C_{Rkhj} z^{-khjN} \right) / \left(\sum_{ci=1}^l C_{Rkci} + \sum_{k=1}^n C_{Hk} \right)}{\sum_{i=1}^l C_{Rkci} + \sum_{k=1}^n C_{Hk} - \sum_{k=1}^n A_k C_{Hk} z^{-kN}} \quad (62)$$

[0322] 本実施の形態に係る離散時間アナログ回路は、式（61）及び式（62）に示すように、伝達関数の分子分母に任意の次数係数を有する多項式を実現することができ、フィルタの設計自由度を向上することが可能となる。

[0323] また、図36は、本実施の形態に係る離散時間アナログ回路の別の要部構成の一例を示すブロック図である。なお、図36において、離散時間アナログ回路1800は、図7の離散時間アナログ回路13に相当し、伝達関数の

分母分子に n 次の係数を有するサンプリングミクサを構成する。なお、図 36 の離散時間アナログ回路 1800 において、図 35 と共通する構成部分には、図 35 と同一の符号を付して説明を省略する。

[0324] このように、離散時間アナログ回路 1800 は、ローテートキャパシタにより構成される分子型の係数回路 1420-k, 1430-k ($k=0 \sim n$) を有する。また、離散時間アナログ回路 1800 は、バッファキャパシタにより構成される分子型の係数回路 910-k, 920-k ($k=1 \sim n$) を有することにより、分母と分子とにそれぞれ n 次多項式を実現する。

[0325] これまでの説明と同様に考えると、離散時間アナログ回路 1800 の電荷共有の動作は、動作は n 次分子型と n 次後段分母型の組み合わせとなる。

[0326] 分子が電荷共有型と電位保持型の組み合わせ（電荷共有型と電位保持型を含む）で、例えば、電荷共有型を選択した k を kci ($i=1 \sim l$) として、電位保持型を選択した k を khj ($j=1 \sim n+1-l$) とする。このようにすれば、分母が後段型の場合、動作を記述する差分方程式は、以下のような形になる。

[数63]

$$q_{in}(n) + C_H v_1(n-N) = \left(\sum_{i=1}^l C_{Rkci} + C_H \right) v_1(n) \quad (63)$$

[数64]

$$\begin{aligned} & \sum_{i=1}^l C_{Rkci} v_1(n-kciN) + \sum_{j=1}^{n+1-l} B_{khj} C_{Rkhj} v_1(n-khjN) + \sum_{k=1}^n A_k C_{Bk} v_{out}(n-kN) \\ &= \left(\sum_{k=0}^n C_{Rk} + \sum_{k=1}^n C_{Bk} \right) v_{out}(n) \end{aligned} \quad (64)$$

[0327] 伝達関数は、式 (64) を z 変換して整理すると、以下ようになる。

[数65]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1-z^{-N}}{1-z^{-1}} \cdot \frac{1}{\sum_{i=1}^l C_{Rkci} + C_H (1-z^{-N})} \cdot T_{IIR} \quad (65)$$

[数66]

$$T_{IIR} = \frac{\sum_{i=1}^l C_{Rkci} z^{-kciN} + \sum_{j=1}^{n+1-l} B_{khj} C_{Rkhj} z^{-khjN}}{\sum_{k=1}^n C_{Rk} + \sum_{k=1}^n C_{Bk} - \sum_{k=1}^n A_k C_{Bk} z^{-kN}} \quad (66)$$

[0328] 本実施の形態に係る離散時間アナログ回路は、式(65)及び式(66)に示すように、伝達関数の分子分母に任意の次数係数を有する多項式を実現することが可能となる。すなわち、本実施の形態では、零と極を自由に設定することが可能であるため、フィルタの設計自由度を向上することが可能となる。

[0329] なお、以上では、分子分母の次数が共に n の場合について説明した。しかし、分子分母の次数の係数は、同数に限られない。本実施の形態に係る離散時間アナログ回路は、分子型の係数回路を m 個、分母型の係数回路を n 個用意して、分子 m 次分母 n 次のような伝達関数も可能である。ただし、 n 、 m は、0以上の整数とする。分母型係数回路の $n=0$ は、電位保持回路を持たない単一のキャパシタ(CHまたはCB)に相当する。

[0330] 図35、図36の構成は、電荷サンプリングによる周波数変換とともに、分子と分母の両方に任意の係数を有する n 次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。両者は、周波数変換を行う電荷サンプリング時に分母の係数回路が接続されるか、されないかという点で異なり、雑音や線形性に影響するものと考えられる。

[0331] 以上説明したように、本実施の形態に係る離散時間アナログ回路は、分子と分母の両方に任意の係数を有する n 次の多項式をもつ伝達関数で表される、伝達関数の零と極を任意に設定可能な、フィルタ処理を行うことが可能になる。

[0332] (実施の形態7)

本実施の形態では、各実施の形態で説明した離散時間アナログ回路を縦続接続して、高次の任意係数を実現する離散時間アナログ回路について説明す

る。

[0333] [縦続接続： n 次分子分母前段型サンプリングフィルタ、 n 次分子分母後段型サンプリングフィルタ]

まず、縦続させる場合の基本構成要素を説明する。

[0334] 基本構成要素としては、図37に示す n 次前段サンプリングフィルタと図38に示す n 次後段サンプリングフィルタが挙げられる。

[0335] 図37は、本実施の形態に係る離散時間アナログ回路の別の要部構成の一例を示すブロック図である。なお、図37において、離散時間アナログ回路1900は、伝達関数の分母分子に n 次の係数を有するサンプリングフィルタを構成する。なお、図37の離散時間アナログ回路1900において、図35の離散時間アナログ回路1700と共通する構成部分には、図35と同一の符号を付して説明を省略する。図37の離散時間アナログ回路1900は、図35の離散時間アナログ回路1700に対して、TA120及びCB1460を削除した構成を採る。

[0336] このように、図37に示す離散時間アナログ回路1900は、ローテートキャパシタにより構成される分子型の係数回路1420-0～1420- n 、及び、分母型の係数回路810-1～810- n を有する。これにより、離散時間アナログ回路1900は、分母と分子とにそれぞれ n 次多項式を実現する。

[0337] 図38は、本実施の形態に係る離散時間アナログ回路の別の要部構成の一例を示すブロック図である。なお、図38において、離散時間アナログ回路2000は、伝達関数の分母分子に n 次の係数を有するサンプリングフィルタを構成する。なお、図38の離散時間アナログ回路2000において、図36の離散時間アナログ回路1800と共通する構成部分には、図36と同一の符号を付して説明を省略する。図38の離散時間アナログ回路2000は、図36の離散時間アナログ回路1800に対して、TA120及びCB1460を削除した構成を採る。

[0338] このように、離散時間アナログ回路2000は、ローテートキャパシタに

より構成される分子型の係数回路 1 4 2 0-0 ~ 1 4 2 0-n、及び、分母型の係数回路 9 1 0-1 ~ 9 1 0-n を有する。これにより、離散時間アナログ回路 1 9 0 0 は、分母と分子とにそれぞれ n 次多項式を実現する。

[0339] 図 3 9 は、実施の形態に係る離散時間アナログ回路の要部構成の一例を示すブロック図である。図 3 9 において、離散時間アナログ回路 2 1 0 0 は、T A 1 2 0 の出力に図 3 7 の離散時間アナログ回路 1 9 0 0 (n 次前段サンプリングフィルタ) が、m 個接続され (2 1 1 0-1 ~ 2 1 1 0-m) 構成を採る。さらに、離散時間アナログ回路 2 1 0 0 は、その出力にバッファキャパシタ 5 2 0 が接続された構成を採る。サンプリングスイッチ 1 3 0-2 に接続された系は、差動の逆相となる。

[0340] [離散時間アナログ回路 1 9 0 0 の動作]

これまでの説明と同様に考えると、離散時間アナログ回路 1 9 0 0 の電荷共有の動作は、動作は n 次分子型と n 次前段分母型の組み合わせを複数段つなげる動作になる。

[0341] 1 ~ m の各段において、分子が電荷共有型と電位保持型の組み合わせでは、例えば、電荷共有型を選択した k を k_{ci} ($i = 1 \sim l$) として、電位保持型を選択した k を k_{hj} ($j = 1 \sim n+1-l$) とする。これは、 $l = n+1$ がすべて電荷共有型の場合に相当し、 $l = 0$ がすべて電位保持型に相当する。このようにすれば、分母が前段型の場合、動作を記述する差分方程式は、以下のような形になる。なお、各素子値の添え字には、段数の m を追加 (CRmk, CBmk) する。

[数67]

$$q_{in}(n) + \sum_{k=1}^n A_{1k} C_{H1k} v_1(n-kN) = \left(\sum_{i=1}^l C_{R1k_{ci}} + \sum_{k=1}^n C_{H1k} \right) v_1(n) \quad (67)$$

[数68]

$$\sum_{i=1}^l C_{R1kci} v_1(n - kciN) + \sum_{j=1}^{n+1-l} B_{1khj} C_{R1khj} v_1(n - khjN) + \sum_{k=1}^n A_{2k} C_{H2k} v_2(n - kN) =$$

$$\left(\sum_{k=0}^n C_{R1k} + \sum_{i=1}^l C_{R2kci} + \sum_{k=1}^n C_{H2k} \right) v_2(n)$$

(6 8)

[数69]

$$\sum_{i=1}^l C_{R2kci} v_2(n - kciN) + \sum_{j=1}^{n+1-l} B_{2khj} C_{R2khj} v_2(n - khjN) + \sum_{k=1}^n A_{3k} C_{H3k} v_3(n - kN) =$$

$$\left(\sum_{k=0}^n C_{R2k} + \sum_{i=1}^l C_{R3kci} + \sum_{k=1}^n C_{H3k} \right) v_3(n)$$

...

$$\sum_{i=1}^l C_{Rmkci} v_m(n - kciN) + \sum_{j=1}^{n+1-l} B_{mkhj} C_{Rmkhj} v_m(n - khjN) + C_B v_{out}(n - N) = \left(\sum_{k=0}^n C_{Rk} + C_B \right) v_{out}(n)$$

(6 9)

[0342] 伝達関数は、式 (6 8) 及び式 (6 9) をz変換して整理すると、以下のようになる。

[数70]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1 / \left(\sum_{k=0}^n C_{Rk} + C_B \right)}{1 - \left\{ C_B / \left(\sum_{k=0}^n C_{Rk} + C_B \right) \right\} z^{-N}} \cdot T_{IIR} \quad (7 0)$$

[数71]

$$T_{IIR} = \frac{\sum_{i=1}^l C_{R1kci} z^{-kciN} + \sum_{j=1}^{n+1-l} B_{1khj} C_{R1khj} z^{-khjN}}{\sum_{i=1}^l C_{R1kci} + \sum_{i=1}^n C_{H1k} - \sum_{k=1}^n A_{1k} C_{H1k} z^{-N}}$$

$$\cdot \prod_{p=2}^m \frac{\sum_{i=1}^l C_{Rp kci} z^{-kciN} + \sum_{j=1}^{n+1-l} B_{pkhj} C_{Rp khj} z^{-khjN}}{\sum_{k=0}^n C_{R(p-1)k} + \sum_{i=1}^l C_{Rp kci} + \sum_{i=1}^n C_{Hp k} - \sum_{k=1}^n A_{pk} C_{Hp k} z^{-kN}} \quad (7 1)$$

[0343] 図40は、実施の形態に係る離散時間アナログ回路の要部構成の一例を示すブロック図である。図40の離散時間アナログ回路2200は、図36の

離散時間アナログ回路 1800 の出力に、図 38 の離散時間アナログ回路 2000 (n 次後段サンプリングフィルタ) が、m-1 個 (2210-1 ~ 2210-m) 接続された構成を採る。サンプリングスイッチ 130-2 に接続された系は、差動の逆相となる。

[0344] [離散時間アナログ回路 2000 の動作]

これまでの説明と同様に考えると、離散時間アナログ回路 1900 の電荷共有の動作は、動作は n 次分子型と n 次後段分母型の組み合わせを複数段つなげる動作になる。

[0345] 1 ~ m の各段において、分子が電荷共有型と電位保持型の組み合わせでは、例えば、電荷共有型を選択した k を kci (i = 1 ~ l) として、電位保持型を選択した k を khj (j = 1 ~ n+1-l) とする。これは、l = n+1 がすべて電荷共有型の場合に相当し、l = 0 がすべて電位保持型に相当する。このようにすれば、分母が前段型の場合、動作を記述する差分方程式は、以下のような形になる。

[数72]

$$q_{in}(n) + C_H v_1(n-N) = \left(\sum_{i=1}^l C_{R1kci} + C_H \right) v_1(n) \quad (72)$$

[数73]

$$\begin{aligned} & \sum_{i=1}^l C_{R1kci} v_1(n-kciN) + \sum_{j=1}^{n+1-l} B_{1khj} C_{R1kj} v_1(n-khjN) + \sum_{k=1}^n A_{1k} C_{B1k} v_2(n-kN) = \\ & \left(\sum_{k=0}^n C_{R1k} + \sum_{i=1}^l C_{R2kci} + \sum_{k=1}^n C_{B1k} \right) v_2(n) \end{aligned} \quad (73)$$

[数74]

$$\begin{aligned}
& \sum_{i=1}^l C_{R2kci} v_2(n - kciN) + \sum_{j=1}^{n+1-l} B_{2khj} C_{R2kj} v_2(n - khjN) + \sum_{k=1}^n A_{2k} C_{B2k} v_3(n - kN) = \\
& \left(\sum_{k=0}^n C_{R2k} + \sum_{i=1}^l C_{R3kci} + \sum_{k=1}^n C_{B2k} \right) v_3(n) \\
& \dots \\
& \sum_{i=1}^l C_{Rmkci} v_m(n - kciN) + \sum_{j=1}^{n+1-l} B_{mkhj} C_{Rmkj} v_m(n - khjN) \\
& + \sum_{k=1}^n A_{mk} C_{Bmk} v_{out}(n - kN) = \left(\sum_{k=0}^n C_{Rk} + C_B \right) v_{out}(n)
\end{aligned}
\tag{74}$$

[0346] 伝達関数は、式(73)及び式(74)をz変換して整理すると、以下のようになる。

[数75]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1 / \left(\sum_{i=1}^l C_{R1kci} + C_H \right)}{1 - \left\{ C_H / \left(\sum_{i=1}^l C_{R1kci} + C_H \right) \right\} z^{-N}} \cdot T_{IIR}
\tag{75}$$

[数76]

$$\begin{aligned}
T_{IIR} &= \frac{\left(\sum_{i=1}^l C_{Rmkci} + \sum_{j=1}^{n+1-l} B_{mkhj} C_{Rmkj} z^{-khiN} \right)}{\left(\sum_{k=0}^n C_{Rk} + C_B - \sum_{k=1}^n A_{mk} C_{Bmk} z^{-kN} \right)} \\
&\cdot \prod_{p=2}^m \frac{\left(\sum_{i=1}^l C_{R(m-1)kci} z^{-kciN} + \sum_{j=1}^{n+1-l} B_{(m-1)khj} C_{R(m-1)kj} z^{-khiN} \right)}{\left(\sum_{k=0}^n C_{R(m-1)k} z^{-kciN} + \sum_{i=1}^l C_{Rmkci} + \sum_{i=1}^n C_{B(m-1)k} - \sum_{k=1}^n A_{(m-1)k} C_{B(m-1)k} z^{-kN} \right)}
\end{aligned}
\tag{76}$$

[0347] 本実施の形態に係る離散時間アナログ回路は、式(75)及び式(76)に示すように、n次分子分母型の伝達関数をm段縦続にできていることがわかる。

[0348] なお、以上の説明では、分子分母の次数が共に n の場合について説明した。しかし、分子分母の次数は、同数に限られない。本実施の形態では、分子型の係数回路を l 個、分母型の係数回路を n 個用意して、分子 l 次分母 n 次のような伝達関数も可能である。ただし、 l 、 n は、 0 以上の整数とする。分母型係数回路の $n = 0$ は、電位保持回路を持たない単一のキャパシタ (C_H または C_B) に相当する。

[0349] [高次のチェビシェフ特性の実現例]

ここでの説明は、高次のチェビシェフ特性を実現する手法を考える。一例として、 4 次のチェビシェフ特性を実現する例を示す。

[0350] まず、回路としては、図 40 の構成において、縦続段数 $m = 2$ 、各段は 2 次の分子分母型で、分子は「 $k = 0$: 電荷共有型、 $k = 1, 2$: 電位保持型」とする。

[0351] 動作を記述する差分方程式は、以下のようになる。

[数77]

$$q_{in}(n) + C_H v_1(n - N) = (C_{R1} + C_H) v_1(n) \quad (77)$$

[数78]

$$\begin{aligned} C_{R1} v_1(n) + B_{11} C_{R11} v_1(n - N) + B_{12} C_{R12} v_1(n - 2N) \\ + A_{11} C_{B11} v_2(n - N) + A_{12} C_{B12} v_2(n - 2N) = (C_{R1} + C_{R11} + C_{R12} + C_{B11} + C_{B12}) v_2(n) \end{aligned} \quad (78)$$

[数79]

$$\begin{aligned} B_{20} C_{R2} v_2(n) + B_{21} C_{R21} v_2(n - N) + B_{22} C_{R22} v_2(n - 2N) \\ + A_{21} C_{B21} v_{out}(n - N) + A_{22} C_{B22} v_{out}(n - 2N) = (C_{R2} + C_{R21} + C_{R22} + C_{B21} + C_{B22}) v_{out}(n) \end{aligned} \quad (79)$$

[0352] 全体の伝達関数は、式 (78) 及び式 (79) を z 変換してまとめると、次式で記述できる。

[数80]

$$\frac{V_{out}}{V_{in}} = \frac{g_m T_{LO}}{\pi} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \cdot \frac{1}{C_{R1} + C_H (1 - z^{-N})} \cdot T_{IR} \quad (80)$$

[数81]

$$T_{HR} = \frac{C_{R1} + B_{11}C_{R11}z^{-N} + B_{12}C_{R12}z^{-2N}}{C_{R1} + C_{R11} + C_{R12} + C_{B11} + C_{B12} - A_{11}C_{B11}z^{-N} - A_{12}C_{B12}z^{-2N}} \cdot \frac{C_{R2} + B_{21}C_{R21}z^{-N} + B_{22}C_{R22}z^{-2N}}{C_{R2} + C_{R21} + C_{R22} + C_{B21} + C_{B22} - A_{21}C_{B21}z^{-N} - A_{22}C_{B22}z^{-2N}} \quad (81)$$

[0353] ここでの説明は、本実施の形態に係る離散時間アナログ回路を用いて、4次のチェビシェフ特性を実現することを考える。

[数82]

$$T = K \frac{1 + 2z^{-1} + z^{-2}}{1 - a_1z^{-1} + a_2z^{-2}} \cdot \frac{1 + 2z^{-1} + z^{-2}}{1 - a_3z^{-1} + a_4z^{-2}} \quad (82)$$

[0354] 4次のチェビシェフを実現する係数値は、例えば以下のような値となる。

$$K = 7.11384 \times 10^{-8}, \quad a_1 = 1.96454, \quad a_2 = 0.965153, \quad a_3 = 1.983570, \quad a_4 = 0.985421$$

[0355] 本実施の形態では、式(67)の係数と式(65)とを比較することによって、以下のようにTA120のトランスコンダクタンス g_m と、各キャパシタの値を以下のように設定する。

[0356] $g_m = 2.91889 \times 10^{-5}$

$$C_{R1} = C_{R11} = C_{R12} = 0.234364 \text{ pF}, \quad C_{B11} = 19.6454 \text{ pF}, \quad C_{B12} = 9.65153 \text{ pF}, \quad C_{R2} = C_{R21} = C_{R22} = 0.103364 \text{ pF}, \quad C_{B21} = 1.98357 \text{ pF}, \quad C_{B22} = 9.85421 \text{ pF}$$

[0357] ここで、各係数回路内の増幅器の利得は、それぞれ $B_{11} = B_{21} = 2$, $B_{12} = B_{22} = 1$, $A_{11} = A_{21} = 3$, $A_{12} = A_{22} = -3$ とした。

[0358] 図41は、4次チェビシェフ特性の伝達関数の計算結果と本実施の形態のシミュレーション結果との比較を示す。図41(a)は、リップル特性を示し、図41(b)は、狭帯域特性を示し、図41(c)は、広帯域特性を示す。図41の横軸は、周波数変換後の周波数で記載している。図41のDC(0Hz)は、LO周波数に対応する。計算及びシミュレーションは、LO周

波数を 1.5 GHz として行なった。なお、シミュレーションは、図 37 の離散時間アナログ回路 1900 の構成において、TA120、各スイッチ、各キャパシタは理想のものを使用した。また、4 次チェビシェフ特性の伝達関数の計算では、チェビシェフ特性によるリップルがはっきり現れるように、ヒストリキャパシタ C_H とローテートキャパシタ C_R の値を等しくしている。

[0359] 図 41 から分かるように、計算結果とシミュレーション結果とは、良く一致している。つまり、離散時間アナログ回路 2200 は、図 40 の構成を採用することにより、高次のチェビシェフ特性を実現し、広帯域かつ急峻なフィルタ特性を実現できることがわかる。

[0360] 図 41 は、チェビシェフの特性を例示したが、本実施の形態に係る離散時間アナログ回路を用いることにより、楕円関数のようなさらに高度なフィルタ特性を得ることが可能になると考えられる。

[0361] 図 37、図 38 の構成は、分子と分母の両方に任意の係数を有する n 次の多項式をもつ伝達関数で表されるフィルタ処理を行うことができる。

[0362] また、図 39、図 40 の構成は、周波数変換とともに、分子と分母の両方に任意の係数を有する n 次の多項式をもつ伝達関数を m 個積算した形で表されるフィルタ処理を行うことができる。両者は、周波数変換を行う電荷サンプリング時に分母の係数回路が接続されるか、されないかという点で異なり、雑音や線形性に影響するものと考えられる。

[0363] 以上、本実施の形態に係る離散時間アナログ回路は、分子と分母の両方に任意の係数を有する n 次の多項式をもつ、伝達関数の零と極を任意に設定可能な、伝達関数を m 個積算した伝達関数をもつ、フィルタ処理を行うことが可能になる。これにより、本実施の形態に係る離散時間アナログ回路は、任意の次数のフィルタ関数(最平坦特性、チェビシェフ特性など)を実現することができ、離散時間アナログ回路におけるフィルタ設計の自由度を大幅に拡大することが可能となる。

[0364] (実施の形態 8)

本実施の形態では、上記係数回路の増幅器の構成について説明する。

[0365] [ソース接地型アンプ]

図42は、増幅器をソース接地型アンプで構成する係数回路2300の内部構成の一例を示す。

[0366] [構成]

係数回路2300は、ソース接地型アンプ2310と、接続切り替えスイッチと、キャパシタ、とから構成される。

[0367] ソース接地型アンプ2310は、トランジスタ(M1)と、負荷抵抗(Rload)と、バイアス設定素子(Rbias, Cbias1, Cbias2, Vbias)を有する。

[0368] [係数回路2300の動作]

トランジスタ(M1)が飽和領域動作するようにバイアス設定すると、ソース接地型のアンプは、 $-gmZload$ の利得を得ることができる。Zloadは、バイアス設定用の容量(Cbias1)と、電位を保持する容量(Cbias2)とから形成される負荷である。

[0369] 図42に示す増幅器(ソース接地型アンプ2310)は、DC電源(Vbias)に大きめの抵抗(Rbias)を介してトランジスタ(M1)のゲートにバイアス電位を与えている。スイッチのバイアス点との分離のために、入出力に容量(Cbias1, Cbias2)を与えているが、これら容量は、必ずしも必要というものではない。バイアス設定用の容量の値としては、電位を保持する容量に対して十分に大きいものを選択する必要がある。

[0370] 一般的にソース接地型では、利得が $-gmZload$ となり、負の係数になってしまうが、図43、図44に示すような構成を採ることにより、正の係数を得ることができる。図43、図44に示す離散時間アナログ回路は、逆相の信号を用いることで、正の係数を実現する。

[0371] 図43において、1次の分母係数回路内の容量ユニット2420-1、2420-2内の電荷保持回路が、電位保持回路2410-1に接続されるタイミングでは、正相に接続される。一方、1次の分母係数回路内の容量ユニ

ット2420-1、2420-2内の電荷保持回路が、ローテートキャパシタ回路2030-2と2次の分母係数回路2440-2に接続されるタイミングでは、逆相に接続される。逆に、1次の分母係数回路内の2420-3、2420-4内の電荷保持回路が、電位保持回路2410-2に接続されるタイミングでは、逆相に接続される。一方、1次の分母係数回路内の容量ユニット2420-3、2420-4内の電荷保持回路が、ローテートキャパシタ回路2030-1と2次の分母係数回路2440-1に接続されるタイミングでは、正相に接続される。

[0372] 図43と図44では、逆相の生成方法が異なる。図43では、LOBによって180度ずれたサンプル値系をつくっているのに対して、図44では、入力に逆相の信号が存在し、差動のTAを用いている。

[0373] ここでは、1次の分母係数回路の係数の符号を反転させる手法を説明したが、 n 次(n は2以上の正数)の分母係数回路ならびにローテートキャパシタ回路の場合でも、係数の符号を反転させることが可能である。具体的には、係数の符号の反転は、次のタイミングにおいて、正相と逆相の接続を入れ替えることで、可能である。次のタイミングとは、電位保持回路に接続される(電荷保持回路に電荷が入力される)タイミングと、ローテートキャパシタ回路とに接続される(電荷保持回路の電荷が出力される)タイミングである。

[0374] なお、増幅器は、ソース接地型のトランジスタから構成される場合以外(後に説明するキャパシタの直並列変換など)においても、逆相の系の信号を利用することで、伝達関数上に逆符号を実現することが可能である。

[0375] また、アンプの構成としては、ここに示すnMOSのソース接地型だけでなくpMOS型のソース接地型でも構成可能であり、インバータ型やカスコード型の構成など、増幅器の動作をするものはいずれも使用することが可能である。

[0376] なお、これまで説明してきた全ての回路において、スイッチとしては、nMOSトランジスタで構成されるもの、pMOSトランジスタで構成されるもの、両者を組み合わせた相補型のMOSスイッチで構成することが可能で

ある。

[0377] 以上説明したように、本実施の形態では、係数回路をソース接地型アンプで構成する増幅器の例を説明した。この増幅器を用いた離散時間アナログ回路は、分子と分母の両方に任意の係数を有する n 次の多項式をもつ、伝達関数の零と極を任意に設定可能な、伝達関数を m 個積算した伝達関数をもつ、フィルタ処理を行うことが可能になる。

[0378] (実施の形態 9)

本実施の形態では、係数回路の電位保持回路と電荷保持回路の構成について説明する。

[0379] [ボルテージフォロワとキャパシタの直並列接続]

図 4 5 は、本実施の形態に係る係数回路の別の構成を示す図である。

[0380] [構成]

係数回路 2 5 0 0 - i (i は、分母係数の次数) は、ボルテージフォロワ (利得が約 1 の増幅器) 2 5 1 0、容量ユニット 2 5 2 0 - 1 ~ 2 5 2 0 - ($i + 1$) を有する。

[0381] ユニット 2 5 2 0 - 1 ~ 2 5 2 0 - ($i + 1$) のそれぞれは、複数の接続切り替えスイッチ、及び、複数のキャパシタを有する。

[0382] [係数回路 2 5 0 0 - i の動作]

制御信号 A がハイとなる区間において、3 個のキャパシタは、並列に接続される。次に、制御信号 B がハイとなる区間において、3 個のキャパシタは、直列に接続される。

[0383] 並列に接続されたタイミングでの容量値は $9 C_k$ 、このとき保持された電位を V_A とすると、蓄えられたエネルギーは、 $9 C_k V_A^2 / 2$ となる。直列接続に切り替えると、容量値は C_k となるが、エネルギーは、保持されるので、直列切り替え後の電位を V_B とすると、以下の式が成り立つ。

[数 83]

$$9 C_k V_A^2 / 2 = C_k V_B^2 / 2 \quad (83)$$

[数84]

$$V_B = 3 V_A \quad (84)$$

[0384] つまり、ボルテージフォロワとキャパシタの直並列接続は、並列から直列への変換によって電位が3倍される。これによって、伝達関数の係数は、3倍することが可能となる。

[0385] 図46は、本実施の形態に係る係数回路の別の構成を示す図である。図46の係数回路2600は、 k 次で M 倍の係数を得ることができる。係数回路2600は、ボルテージフォロワ（利得が約1の増幅器）2610、及び、キャパシタの直並列変換を行う $k+1$ 個のユニット2620- i （ $i=0\sim k$ ）を有し、 $k+1$ 回に一回出力側接続されることによって、 k 次の項を実現する。容量ユニット2620- i は、 M 個のキャパシタを有する場合、それぞれのキャパシタが M 倍されていることによって、並列直列変換後の利得が M となる。

[0386] ボルテージフォロワの一例としては、ドレイン接地型の回路が考えられる。係数回路2600は、ユニット2620- i が有するキャパシタの数で利得が決められる。そのため、係数回路2600の作成の方法によっては、利得を精度良く設定できるので、アンプで利得を決める係数回路2300形に比べ、有利である。

[0387] 以上説明したように、本実施の形態では、係数回路をボルテージフォロワと直列並列の変換を行う複数のキャパシタで構成する増幅器の例を説明した。この増幅器を用いた離散時間アナログ回路は、分子と分母の両方に任意の係数を有する n 次の多項式をもつ、伝達関数の零と極を任意に設定可能な、伝達関数を m 個積算した伝達関数をもつ、フィルタ処理を行うことが可能になる。

[0388] 2010年7月28日出願の特願2010-169628の日本出願に含まれる明細書、図面および要約書の開示内容は、すべて本願に援用される。

産業上の利用可能性

[0389] 本発明に係る離散時間アナログ回路及び受信機は、無線通信装置における受信部の高周波信号処理回路に有用であり、信号の周波数変換とフィルタ処理を行う場合に適用して好適である。

符号の説明

[0390] 10 ダイレクトサンプリング受信機
 11 アンテナ
 12 低雑音増幅器
 13, 100, 200, 300, 500, 600, 800, 900, 1100, 1200, 1400, 1500, 1600, 1700, 1800, 1900, 2000, 2110-1~2110-m 離散時間アナログ回路
 14 参照周波数発振部
 15 A/D変換処理部
 16 デジタル受信処理部
 110 クロック生成回路
 120 TA
 130, 820, 1410-1, 1410-2 サンプリングスイッチ
 140, 220, 400, 510, 610, 700, 810-k, 830-k, 910-k, 920-k, 1000, 1120, 1300, 1420-k, 1430-k, 1440-k, 1510, 2300, 2340-1~2340-2, 2500-i, 2600 係数回路
 150 ローテートキャパシタ回路
 160, 1440-1, 1440-2 リセットスイッチ
 170, 1450-1, 1450-2 ダンプスイッチ
 141, 221, 410, 511, 611, 1010, 1121, 1210, 1511, 1610 増幅器
 143-1, 143-2, 513-1~513-3, 1110 ヒストリキャパシタ
 142-1~142-4, 151-1~151-4, 222-1~222

−4, 420−1~420−4, 512−1~512−6, 612−1~612−6, 1020−1~1020−4, 1122−1~1121−6 スイッチ

152−1, 152−2, 1030−1, 1030−2, 1123−1~1123−3 ローテートキャパシタ

223−1, 223−2, 613−1~613−3, 1130, 1460−1, 1460−2 バッファキャパシタ

430−1, 430−2 キャパシタ

2420−1~2420−4, 2520−1~2520−(i+1), 2620−0~2620−k 容量ユニット

2310 ソース接地型アンプ

2410−1~2410−2 電荷保持回路

2430−1~2430−2 ローテートキャパシタユニット

2510, 2610 ボルテージフォロウ

請求の範囲

[請求項1]

ローテートキャパシタ回路と、

前記ローテートキャパシタ回路の入力ラインに接続され、入力電位又は入力電荷を増幅する電位保持手段と、前記電位保持手段に直列に配置され、互いに並列に配置される n 個の電荷保持手段とを有する、少なくとも一つの係数回路と、

前記 n 個の電荷保持手段のうち、前記電位保持手段と接続されチャージされる第1の電荷保持手段と、前記電位保持手段を介せずに前記入力ラインと接続され、前記ローテートキャパシタ回路の電荷と電荷共有または前記ローテートキャパシタ回路に電位保持される第2の電荷保持手段とのペアを順次変更する回路接続切り替え手段と、

を具備する離散時間アナログ回路。

[請求項2]

前記回路接続切り替え手段は、

第 i のタイミングにおける前記第1の電荷保持手段を、前記第 $i + n - 1$ のタイミングにおける前記第2の電荷保持手段とし、

第 i のタイミングにおける前記第2の電荷保持手段を、前記第 $i + 1$ のタイミングにおける前記第1の電荷保持手段とする、

請求項1に記載の離散時間アナログ回路。

[請求項3]

ローテートキャパシタ回路と、

前記ローテートキャパシタ回路の出力ラインに接続され、出力電位又は出力電荷を増幅する電位保持手段と、前記電位保持手段に直列に配置され、互いに並列に配置される n 個の電荷保持手段とを有する、少なくとも一つの係数回路と、

前記 n 個の電荷保持手段のうち、前記電位保持手段と接続されチャージされる第1の電荷保持手段と、前記電位保持手段を介せずに前記出力ラインと接続され、前記ローテートキャパシタ回路の電荷と電荷共有または前記ローテートキャパシタ回路に電位保持される第2の電荷保持手段とのペアを順次変更する回路接続切り替え手段と、

を具備する離散時間アナログ回路。

[請求項4]

前記回路接続切り替え手段は、

第 i のタイミングにおける前記第 1 の電荷保持手段を、前記第 $i + n - 1$ のタイミングにおける前記第 2 の電荷保持手段とし、

第 i のタイミングにおける前記第 2 の電荷保持手段を、前記第 $i + 1$ のタイミングにおける前記第 1 の電荷保持手段とする、

請求項 3 に記載の離散時間アナログ回路。

[請求項5]

前記ローテートキャパシタ回路の入力ラインに、入力信号を電圧から電流に変換する電圧電流変換回路と、

前記電流をサンプリングするサンプリングスイッチと、

前記ローテートキャパシタ回路の出力ラインに、バッファキャパシタと、

を更に具備した請求項 2 に記載の離散時間アナログ回路。

[請求項6]

前記ローテートキャパシタ回路の入力ラインに、入力信号を電圧から電流に変換する電圧電流変換回路と、

前記電流をサンプリングするサンプリングスイッチと、ヒストリキャパシタと、を更に具備した請求項 4 に記載の離散時間アナログ回路。

[請求項7]

第 1 ～ k 個の請求項 2 に記載の離散時間アナログ回路を有し、

第 1 のローテートキャパシタ回路の入力ラインに、入力信号を電圧から電流に変換する電圧電流変換回路と、

前記電流をサンプリングするサンプリングスイッチと、を有し、

第 j ($j = 1 \sim k - 1$) のローテートキャパシタ回路の出力ラインに、第 $j + 1$ のローテートキャパシタ回路の入力ラインが接続され、

第 k のローテートキャパシタ回路の出力ラインに、バッファキャパシタが接続される、離散時間アナログ回路。

[請求項8]

第 1 ～ k 個の請求項 4 に記載の離散時間アナログ回路を有し、

第 1 のローテートキャパシタ回路の入力ラインに、入力信号を電圧

から電流に変換する電圧電流変換回路と、

前記電流をサンプリングするサンプリングスイッチと、ヒストリキャパシタと、を有し、

第 j ($j = 1 \sim k - 1$) のローテートキャパシタ回路の出力ラインに、第 $j + 1$ のローテートキャパシタ回路の入力ラインが接続される離散時間アナログ回路。

[請求項9] 前記ローテートキャパシタ回路は、2個のローテートキャパシタと、回路接続切り替え手段を有し、
前記回路接続切り替え手段は、
前記2個のローテートキャパシタのうち、前記入力ラインに接続される入力ローテートキャパシタと、前記出力ラインに接続される出力ローテートキャパシタとを交互に切り替える、
請求項1に記載の離散時間アナログ回路。

[請求項10] 前記ローテートキャパシタ回路は、
入力ラインに接続され入力電位又は入力電荷を増幅する電位保持手段と、前記電位保持手段に直列に配置され、互いに並列に配置される m 個の電荷保持手段と、
前記 m 個の電荷保持手段のうち、前記電位保持手段を介して入力ラインに接続されチャージされる第1の電荷保持手段と、出力ラインと接続される第2の電荷保持手段とのペアを順次変更する回路接続切り替え手段とを有する
請求項1に記載の離散時間アナログ回路。

[請求項11] 前記回路接続切り替え手段は、
第 i のタイミングにおける前記第1の電荷保持手段を、前記第 $i + m - 1$ のタイミングにおける前記第2の電荷保持手段とし、
第 i のタイミングにおける前記第2の電荷保持手段を、前記第 $i + 1$ のタイミングにおける前記第1の電荷保持手段とする、
請求項10に記載の離散時間アナログ回路。

- [請求項12] 前記ローテートキャパシタ回路は、
前記入力ラインに直接接続され、互いに並列に配置される m 個の電荷保持手段と、
前記 m 個の電荷保持手段のうち、入力ラインに接続されチャージされる第 1 の電荷保持手段と、出力ラインと接続される第 2 の電荷保持手段とのペアを順次変更する回路接続切り替え手段とを有する
請求項 1 に記載の離散時間アナログ回路。
- [請求項13] 前記回路接続切り替え手段は、
第 i のタイミングにおける前記第 1 の電荷保持手段を、前記第 $i + m - 1$ のタイミングにおける前記第 2 の電荷保持手段とし、
第 i のタイミングにおける前記第 2 の電荷保持手段を、前記第 $i + 1$ のタイミングにおける前記第 1 の電荷保持手段とする、
請求項 1 2 に記載の離散時間アナログ回路。
- [請求項14] 前記電位保持手段は、トランジスタと、トランジスタに適切なバイアスを与えるバイアス回路と、負荷抵抗と、からなるソース接地型のアンプであり、
請求項 1 に記載の離散時間アナログ回路。
- [請求項15] 前記係数回路または前記ローテートキャパシタ回路は、
前記電位保持手段が、ボルテージフォロワであり、
前記電荷保持手段が、 M 個のキャパシタであり、
前記回路接続切り替え手段は、
前記 M 個のキャパシタがボルテージフォロワに接続されるタイミングでは、 M 個のキャパシタを並列に接続し、
前記 M 個のキャパシタがボルテージフォロワを介さずに前記入力ラインと接続されるタイミングでは、 M 個のキャパシタを直列に接続する
請求項 1 に記載の離散時間アナログ回路。
- [請求項16] 前記離散時間アナログ回路は正相と逆相の系を有し、

少なくとも一つの、前記係数回路または前記ローテートキャパシタ回路は、

電位保持回路に接続されるタイミングで正相に接続された電荷保持回路が、前記ローテートキャパシタ回路の入力ラインまたは出力ラインに接続されるタイミングでは逆相に接続され、

電位保持回路に接続されるタイミングで逆相に接続された電荷保持回路が、前記ローテートキャパシタ回路の入力ラインまたは出力ラインに接続されるタイミングでは正相に接続される

請求項 1 に記載の離散時間アナログ回路。

[請求項17]

請求項 1 に記載の離散時間アナログ回路と、

入力信号を受信するアンテナと、

前記アンテナが受信した信号を増幅し、増幅された信号を前記離散時間アナログ回路に出力する低雑音増幅器と、

前記離散時間アナログ回路から出力されるベースバンド信号をアナログデジタル変換して、デジタルベースバンド信号を出力するアナログデジタル変換部と、

を具備する受信機。

[請求項18]

請求項 3 に記載の離散時間アナログ回路と、

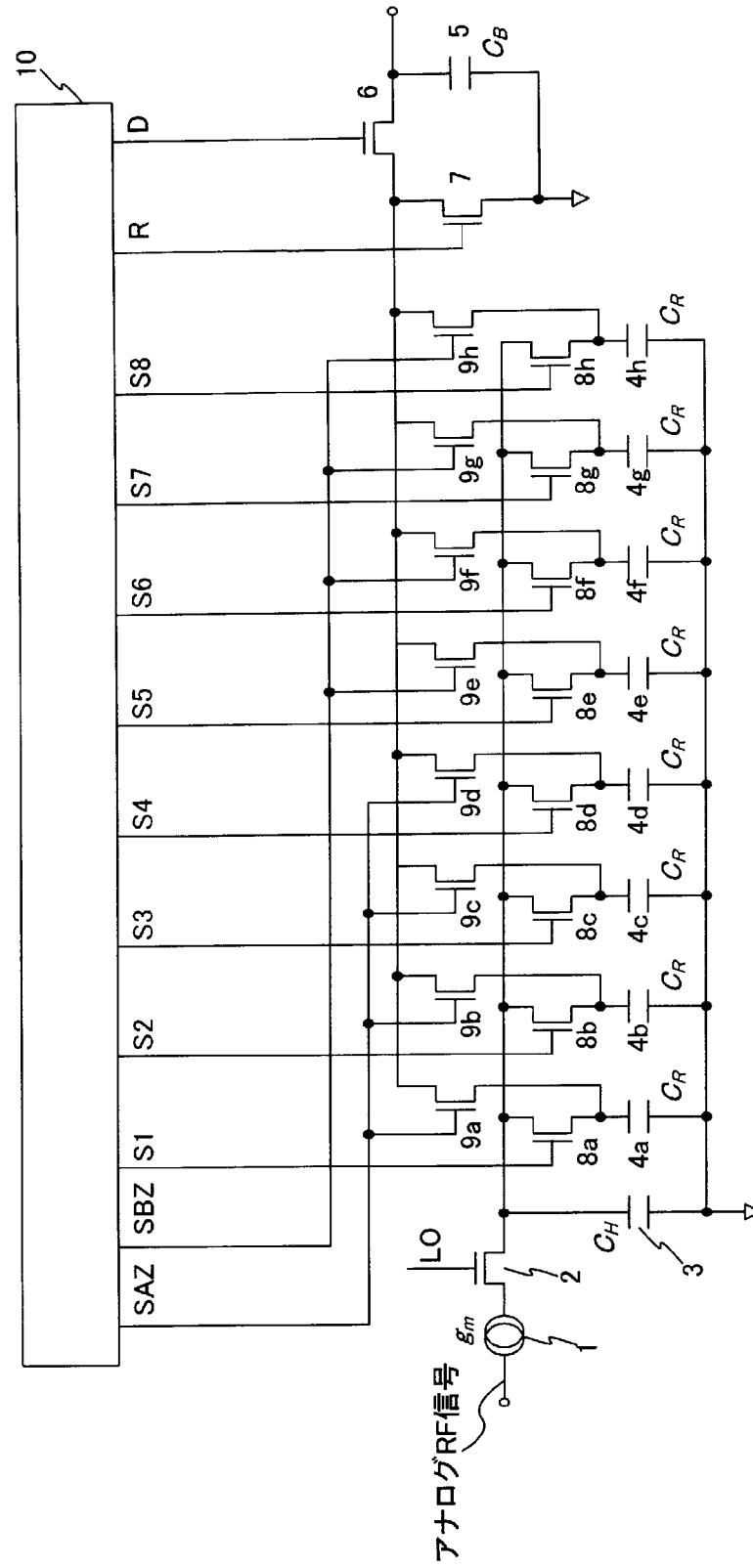
入力信号を受信するアンテナと、

前記アンテナが受信した信号を増幅し、増幅された信号を前記離散時間アナログ回路に出力する低雑音増幅器と、

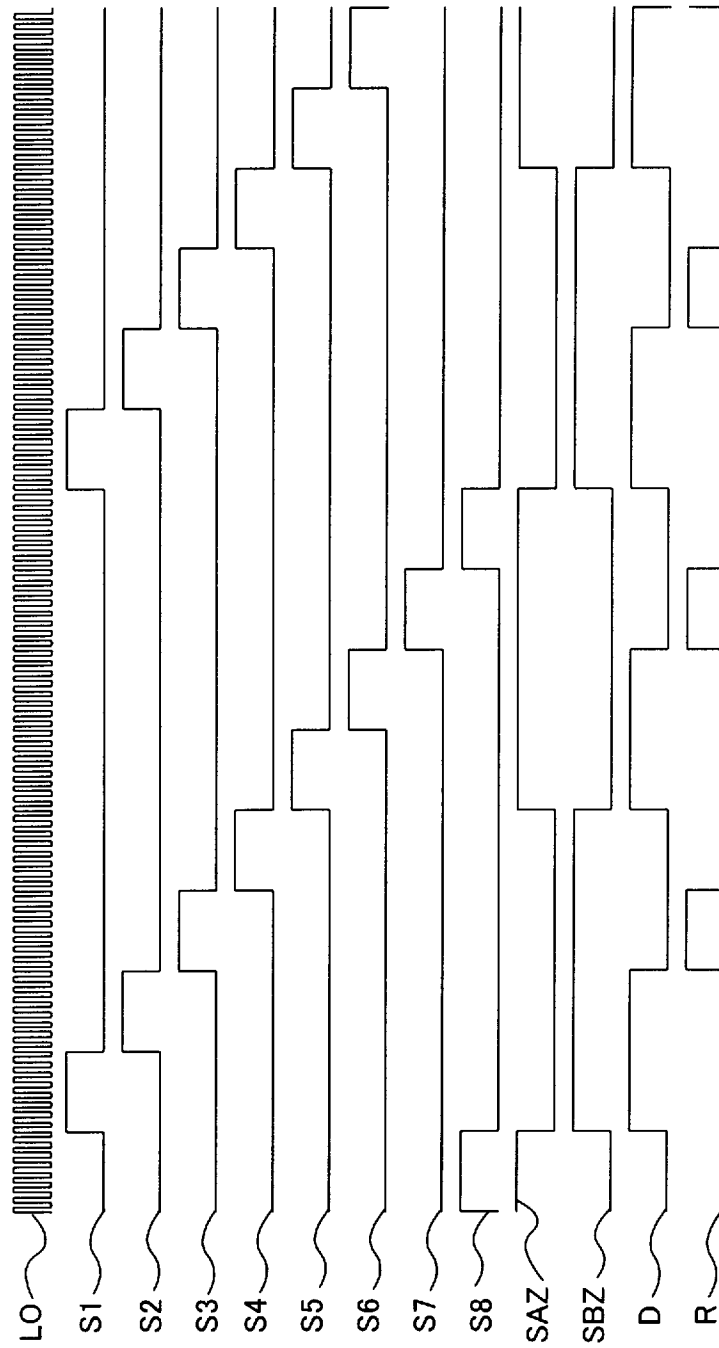
前記離散時間アナログ回路から出力されるベースバンド信号をアナログデジタル変換して、デジタルベースバンド信号を出力するアナログデジタル変換部と、

を具備する受信機。

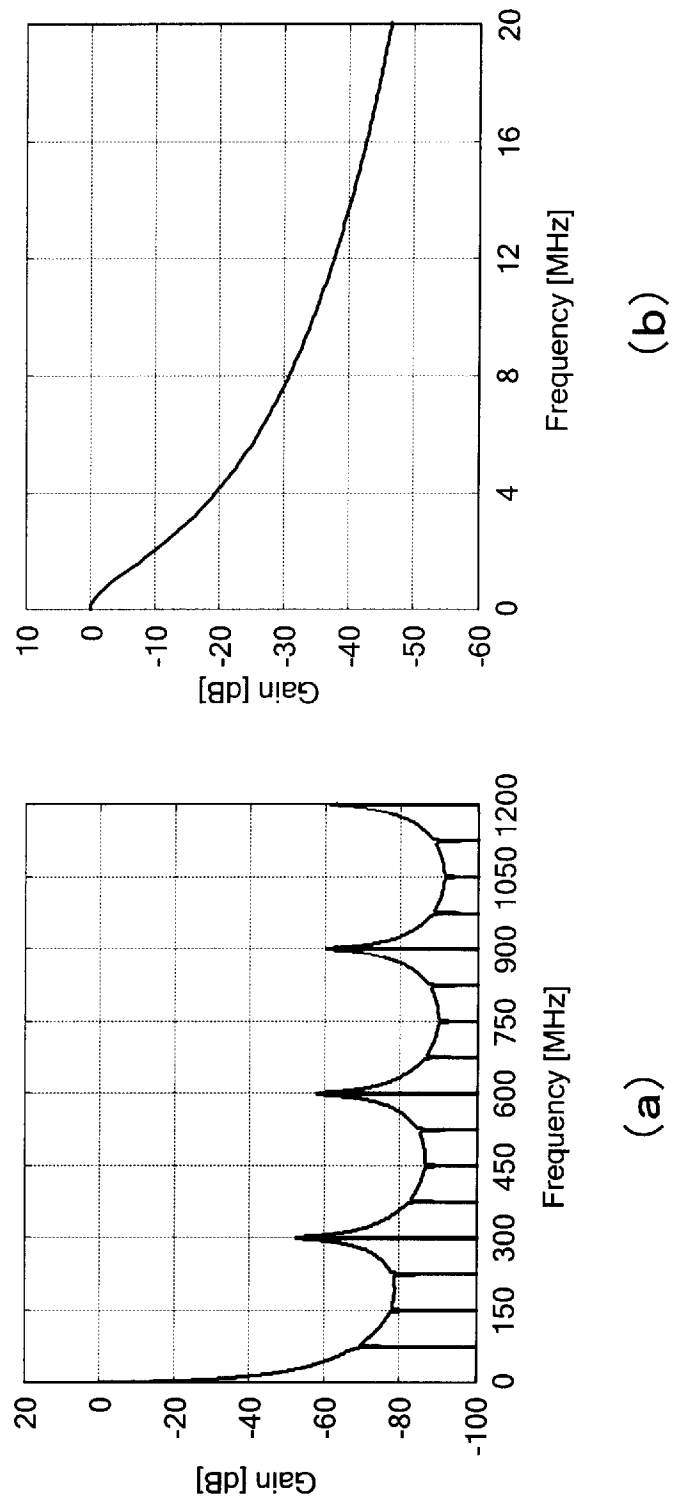
[図1]



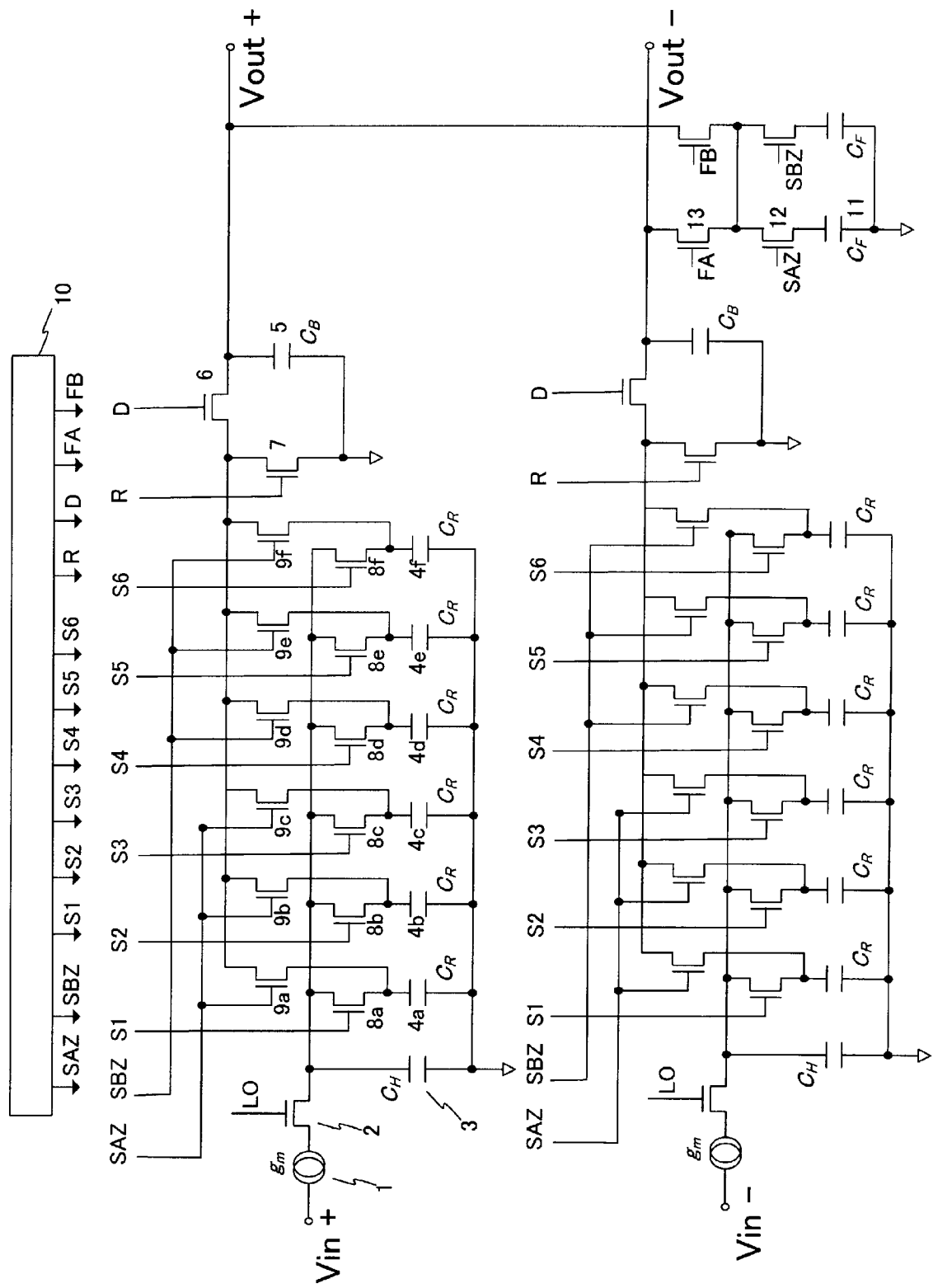
[図2]



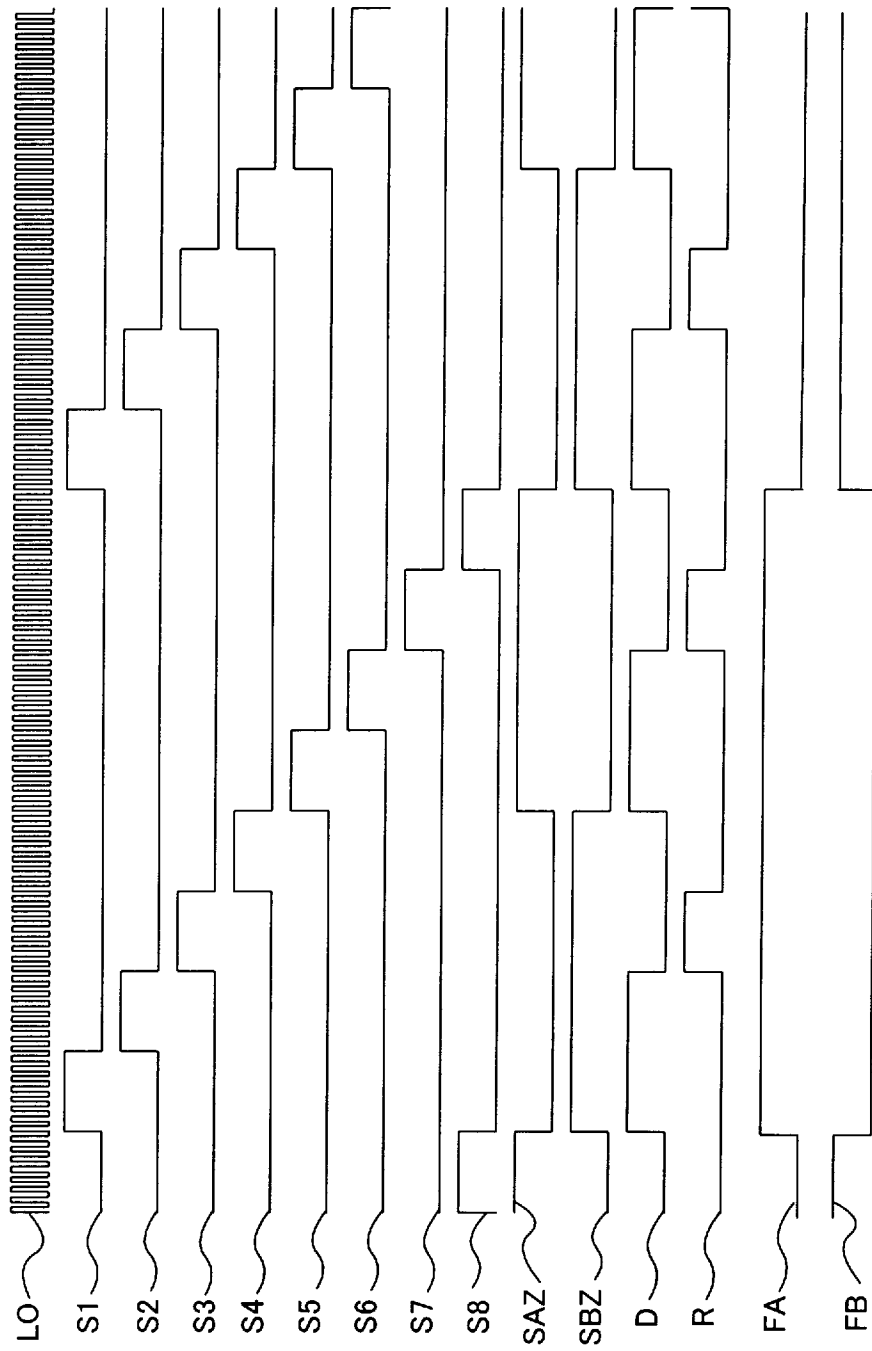
[図3]



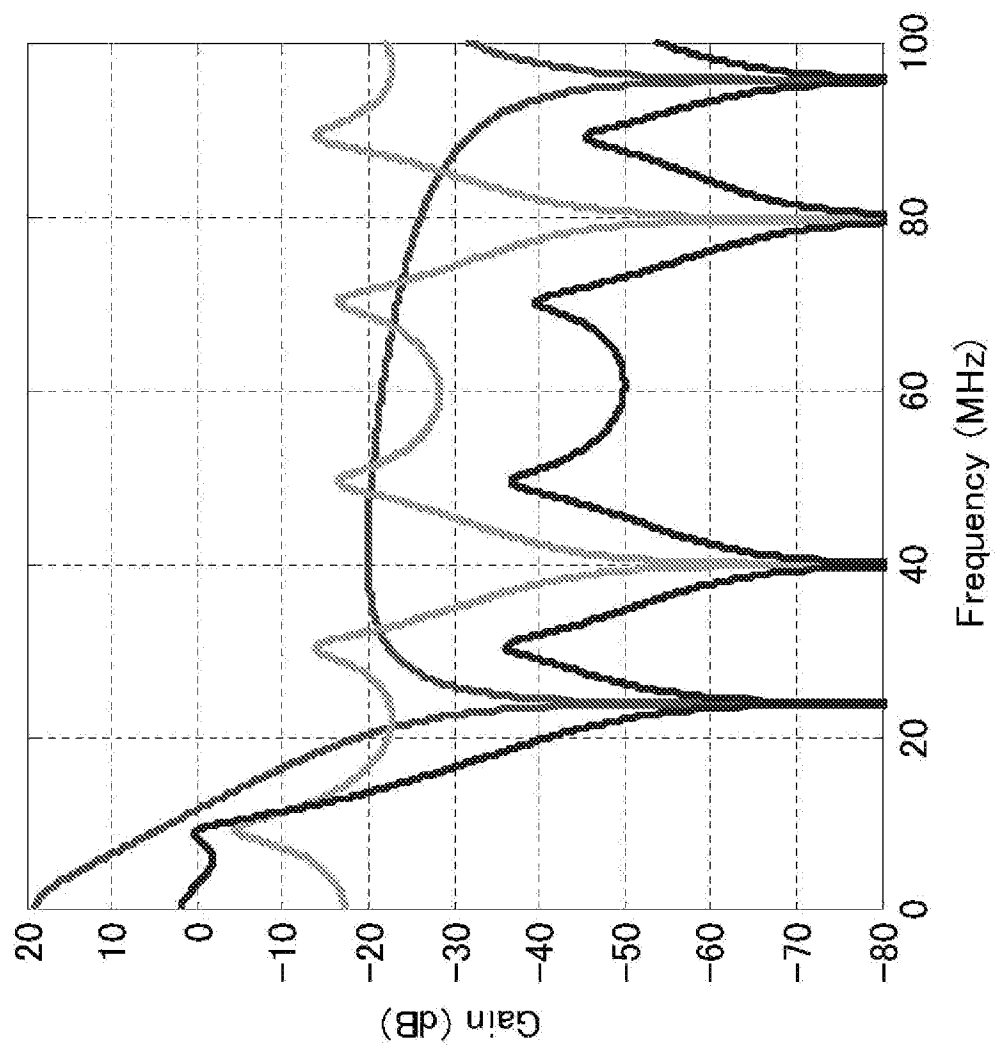
[図4]



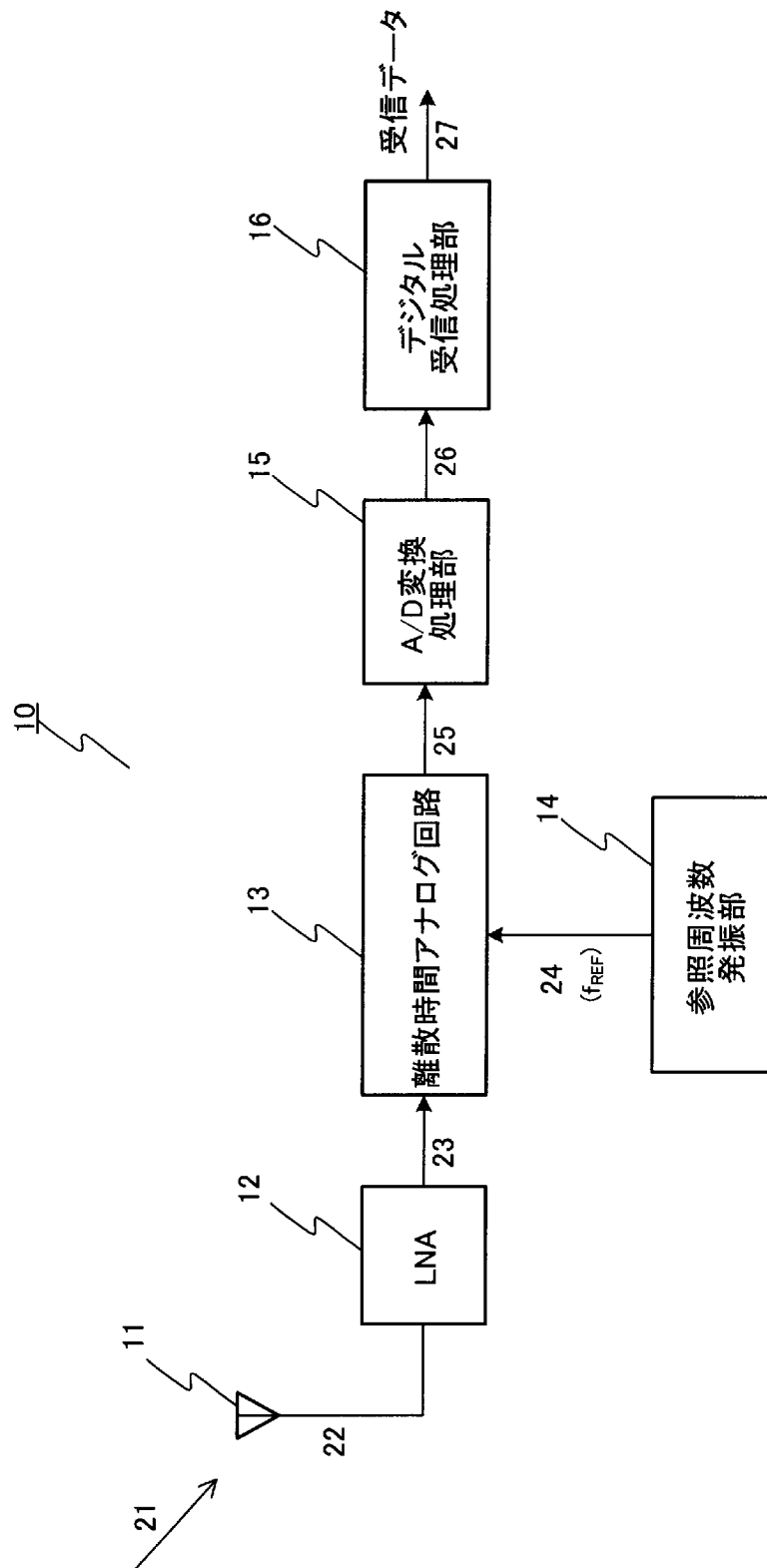
[図5]



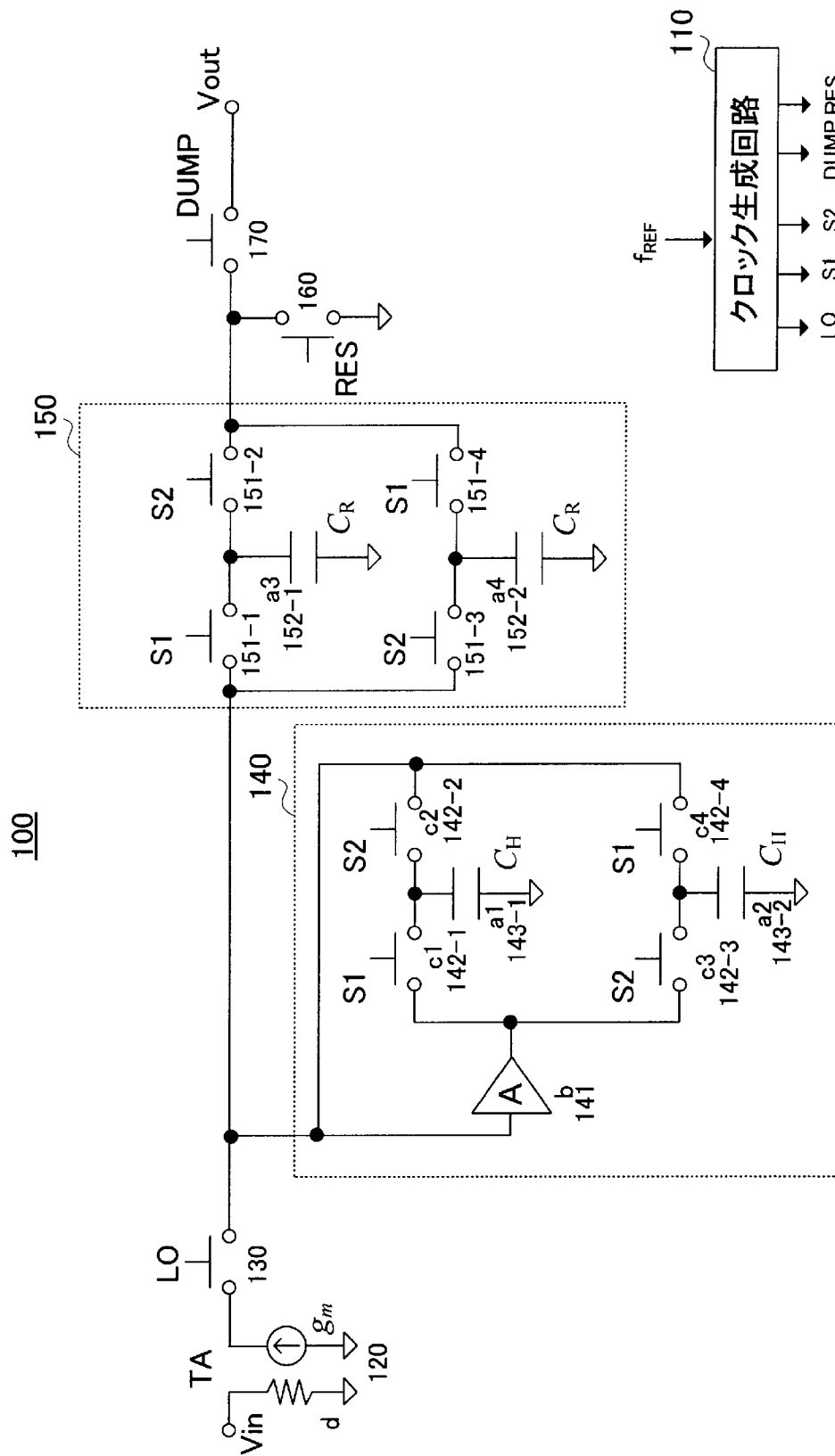
[図6]



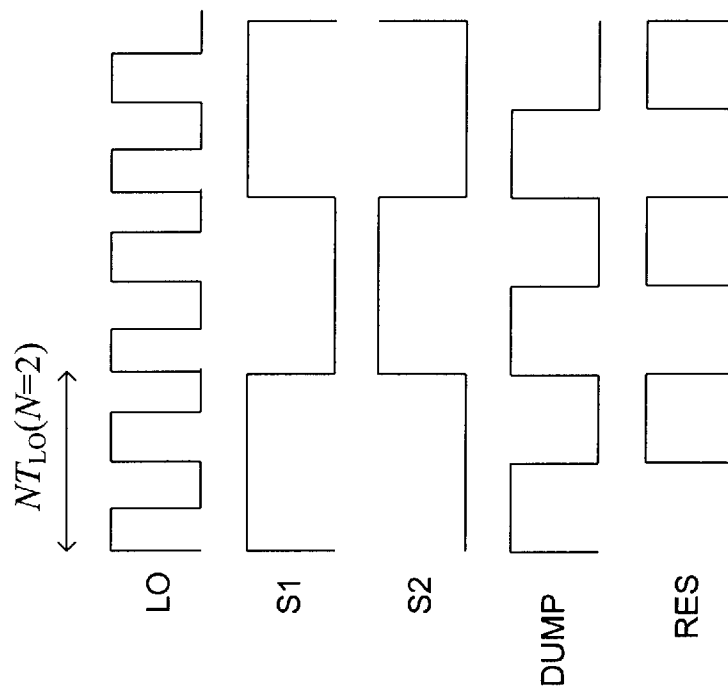
[図7]



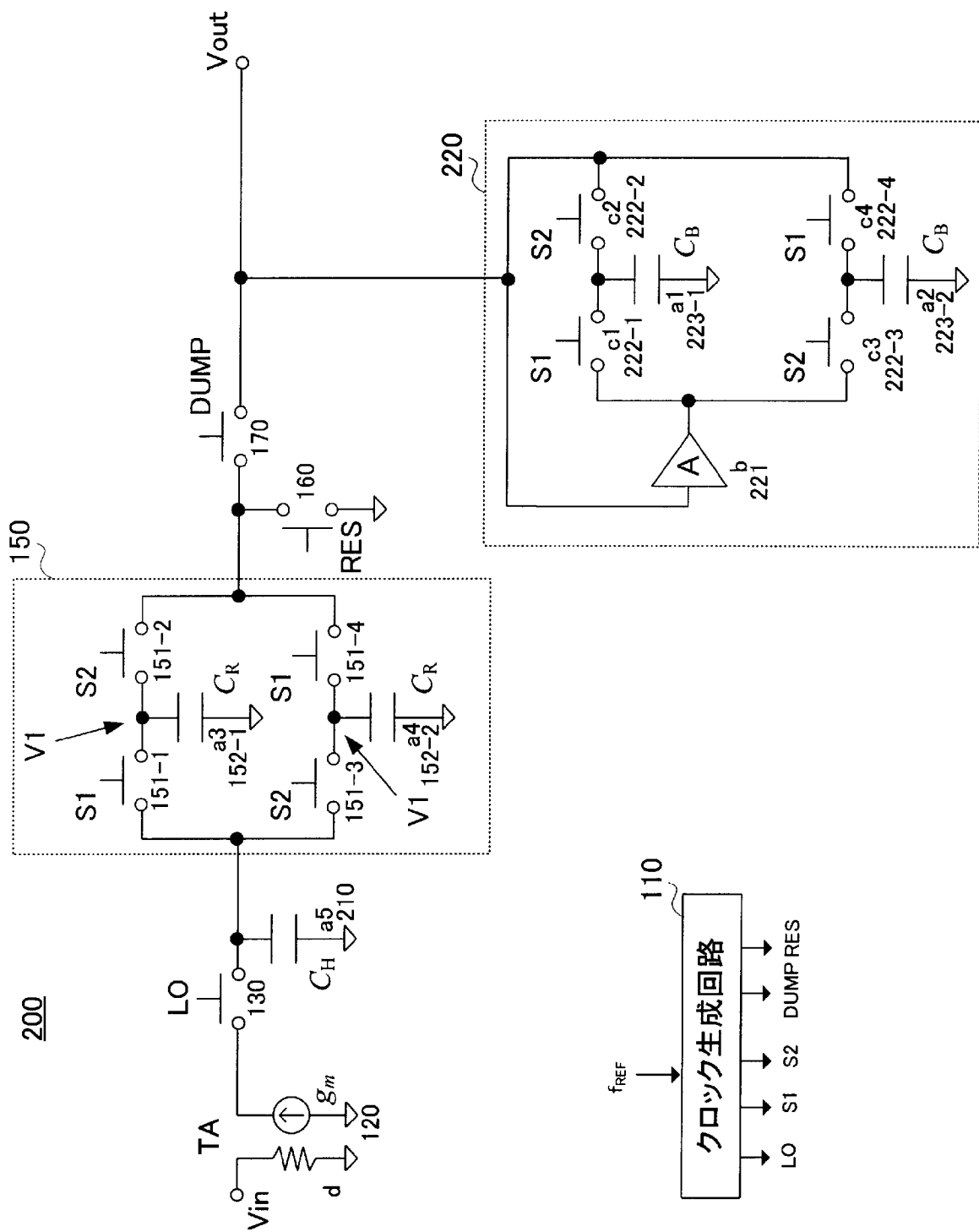
[図8]



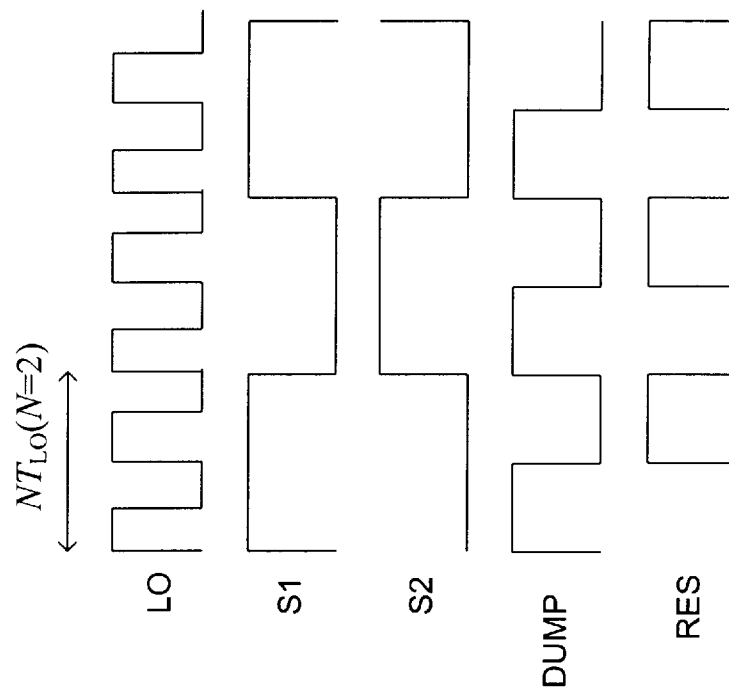
[図9]



[図10]

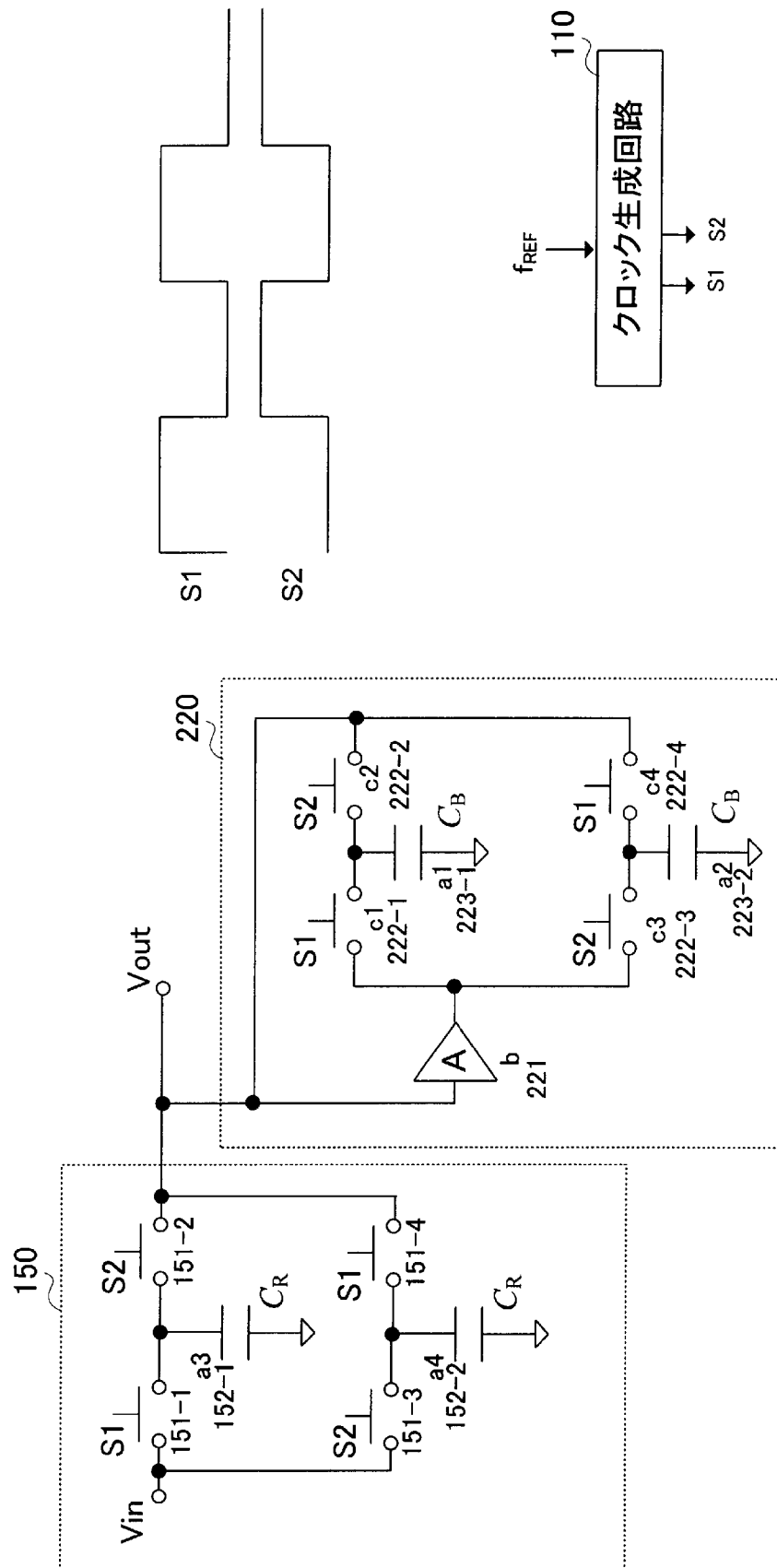


[図11]

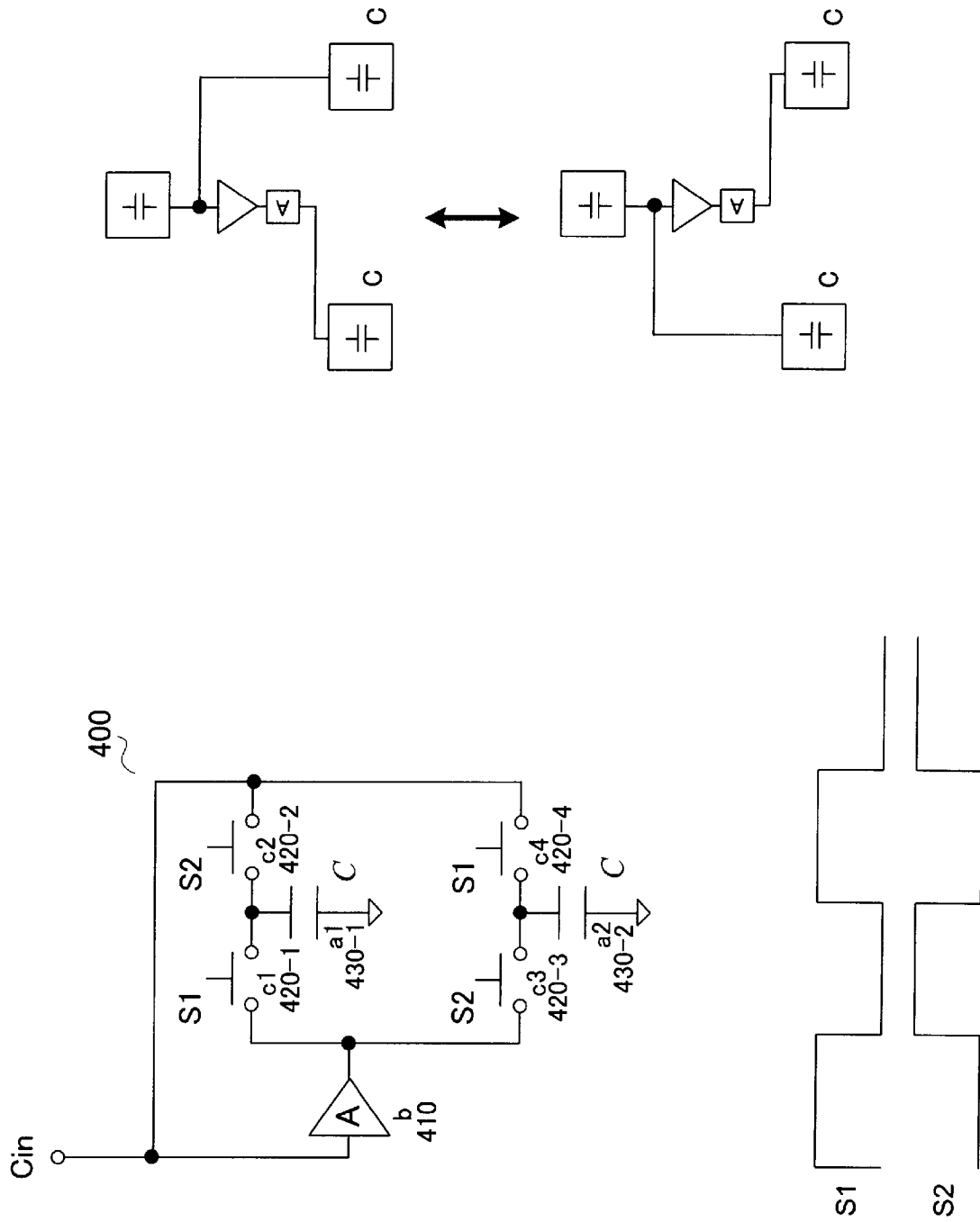


[図12]

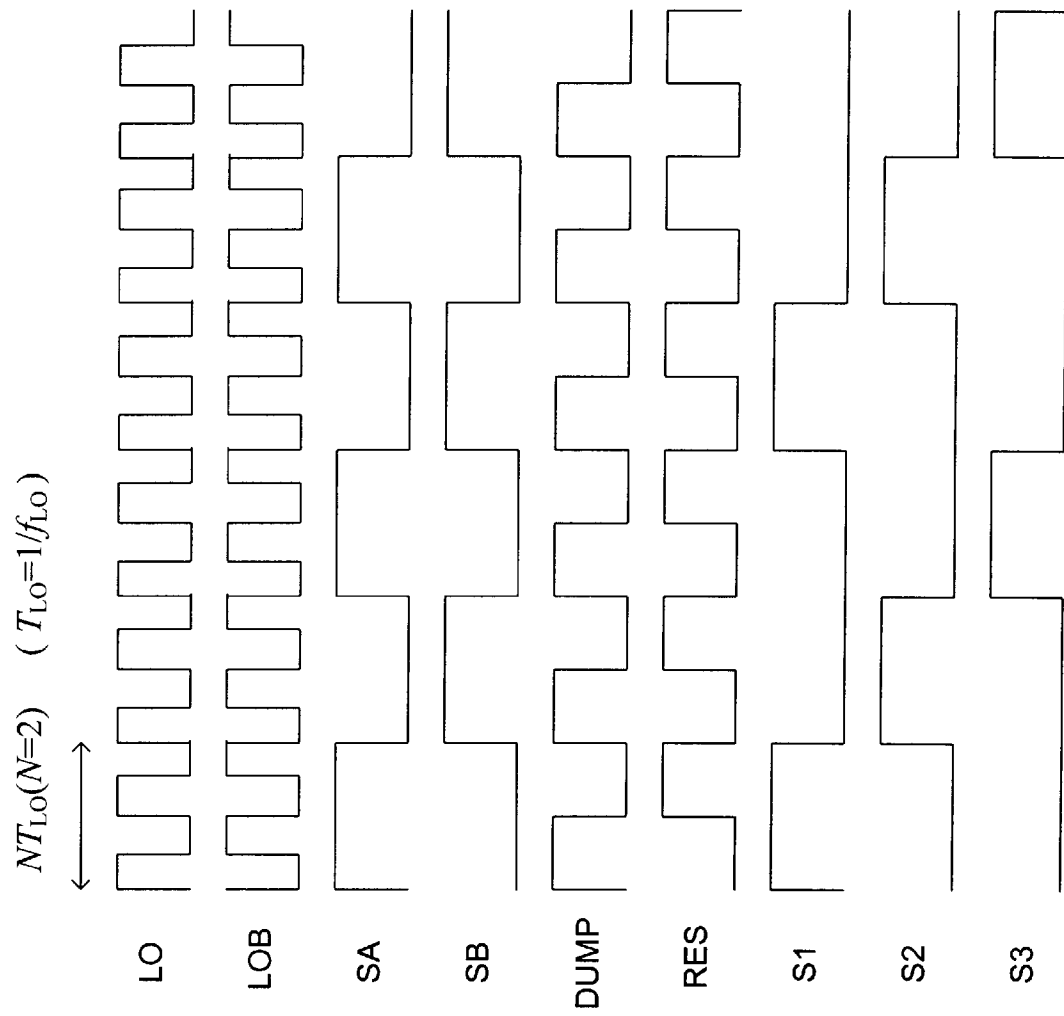
300



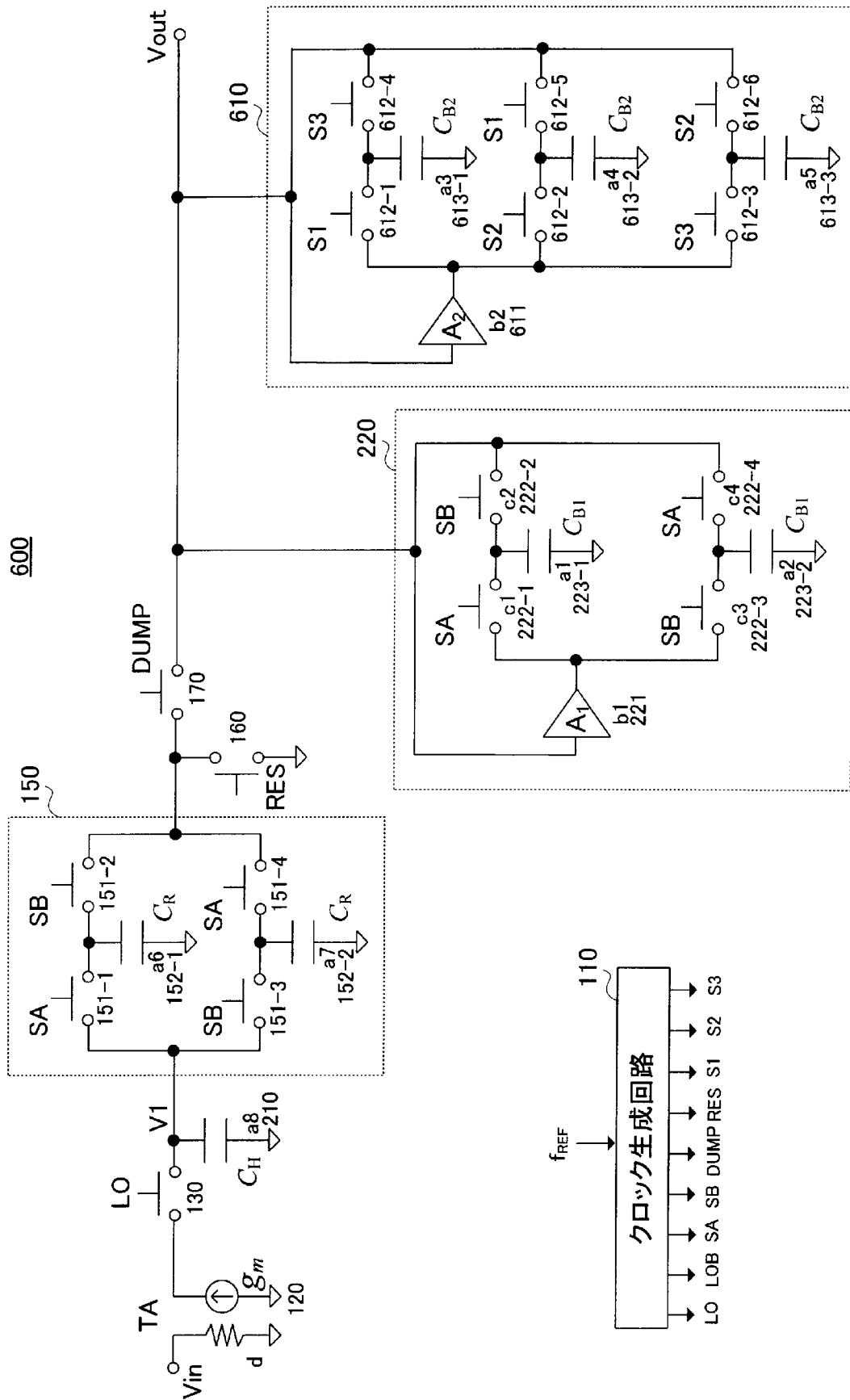
[図14]



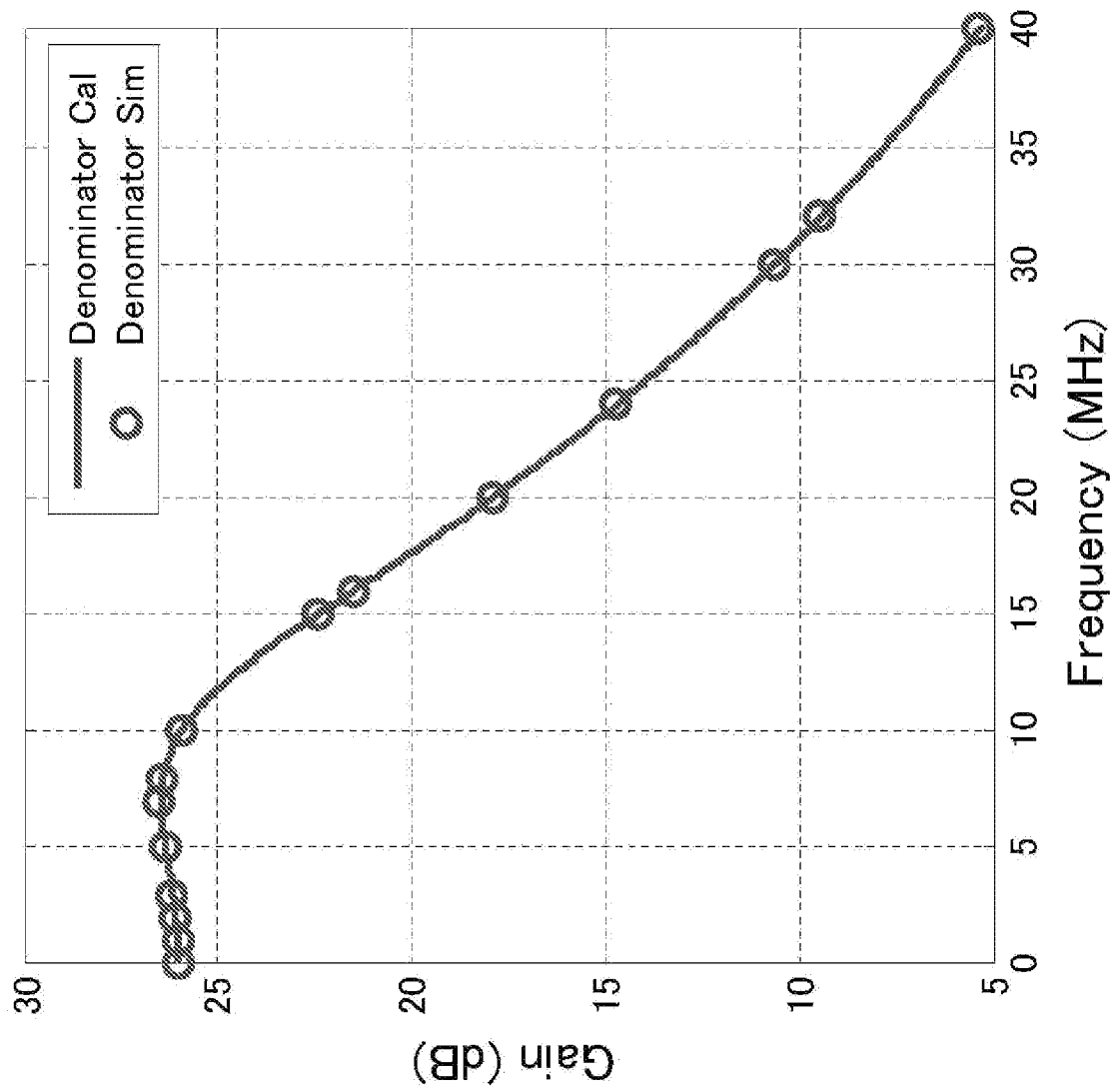
[図16]



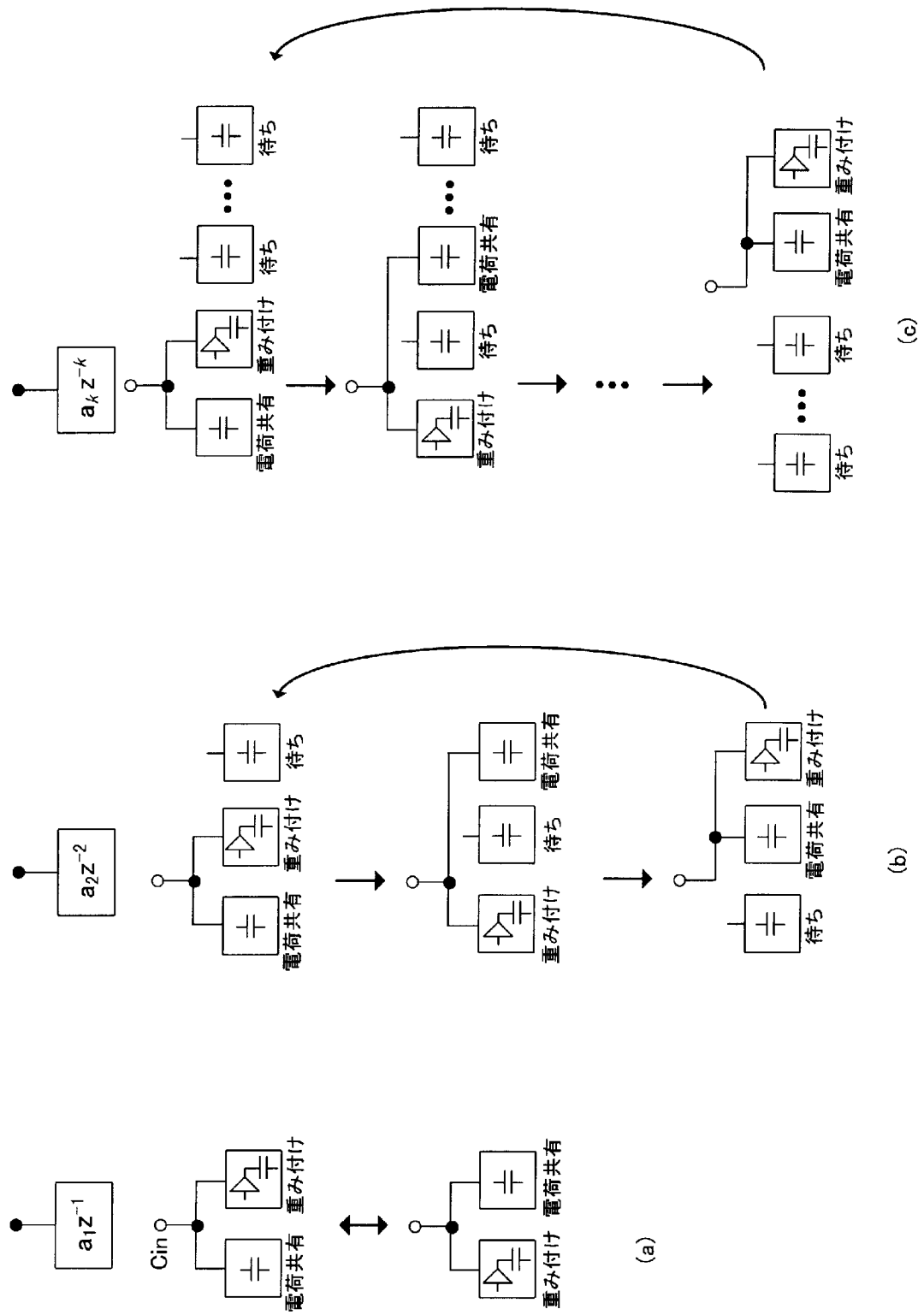
[図17]



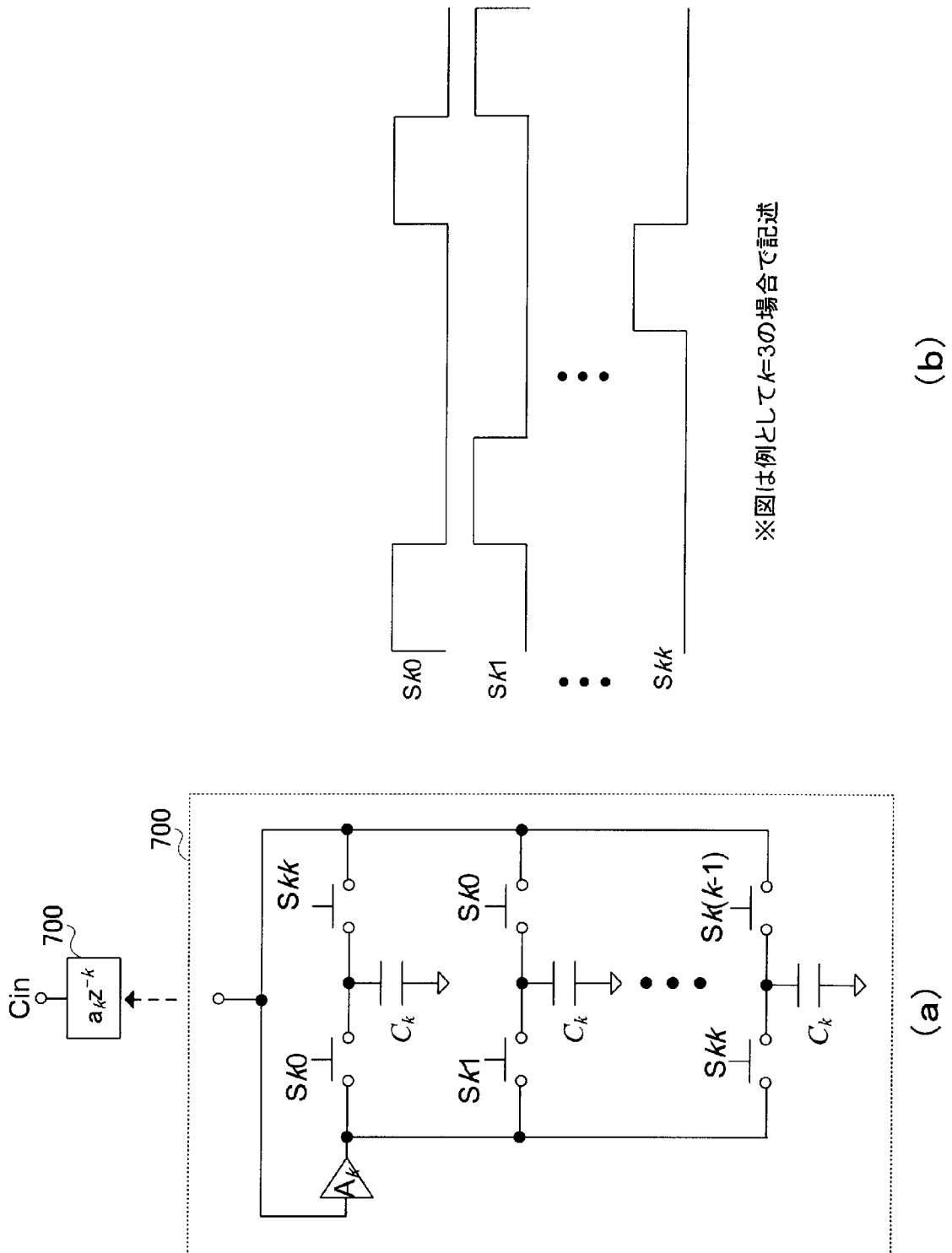
[図18]



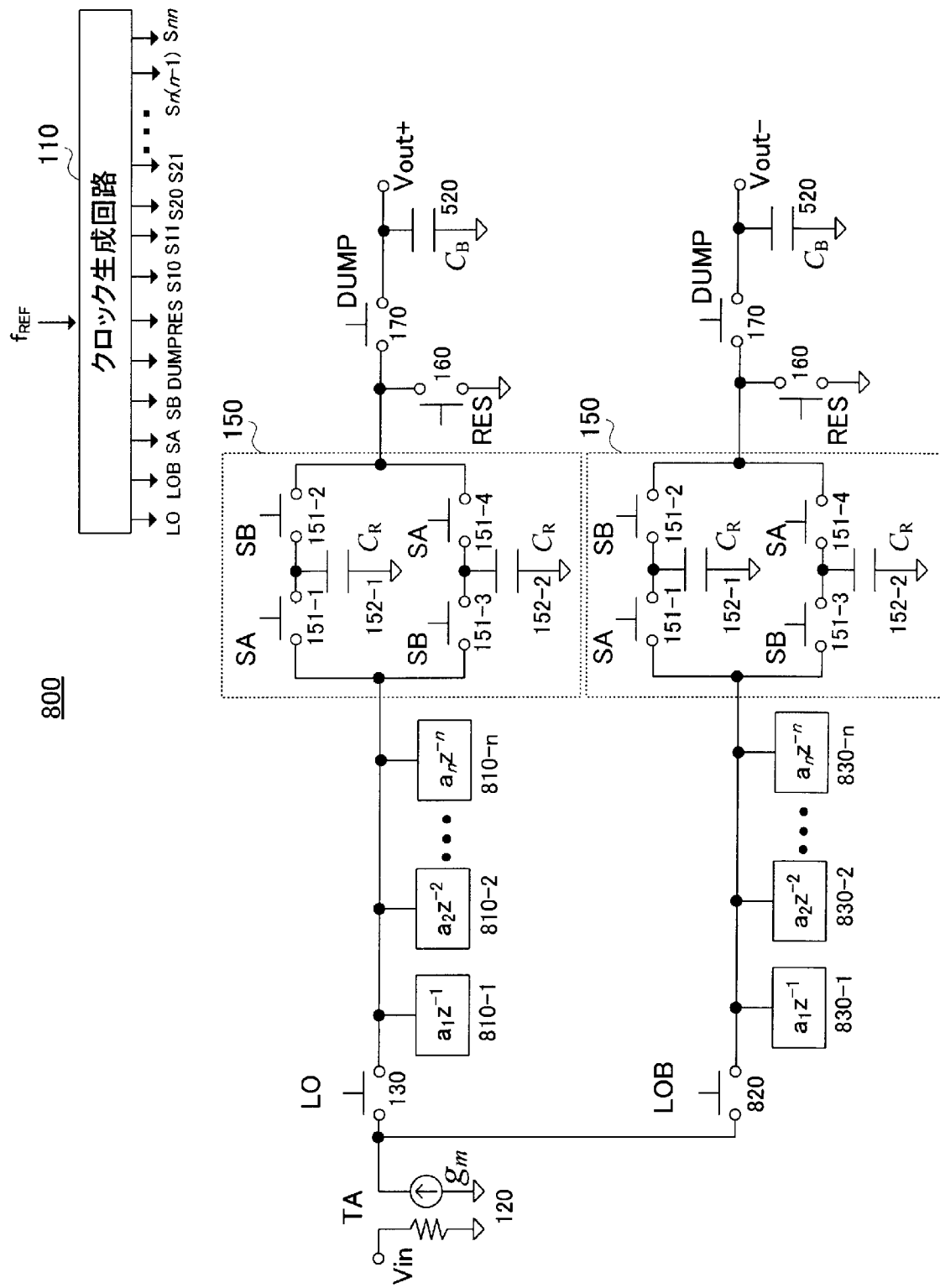
[図19]



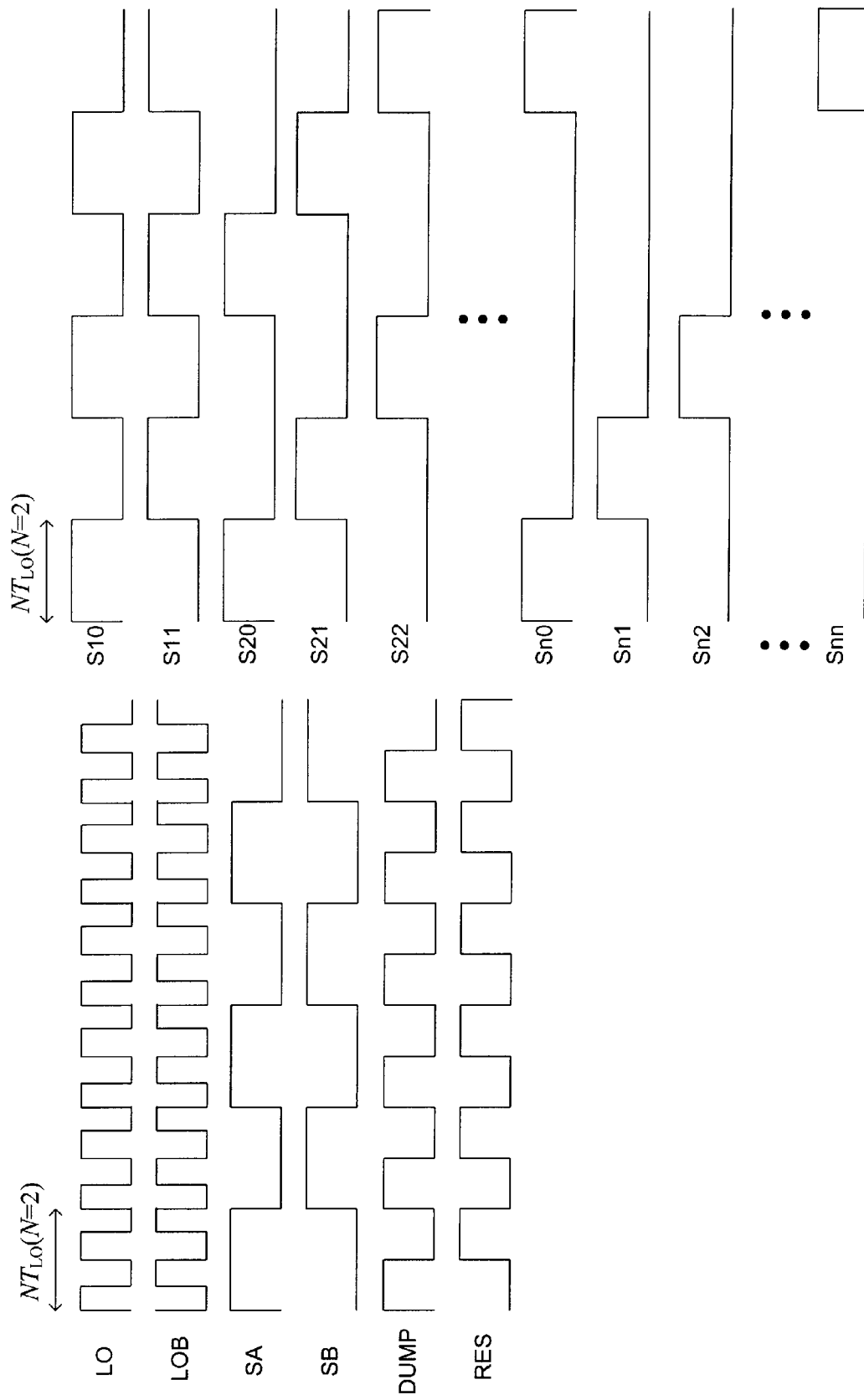
[図20]



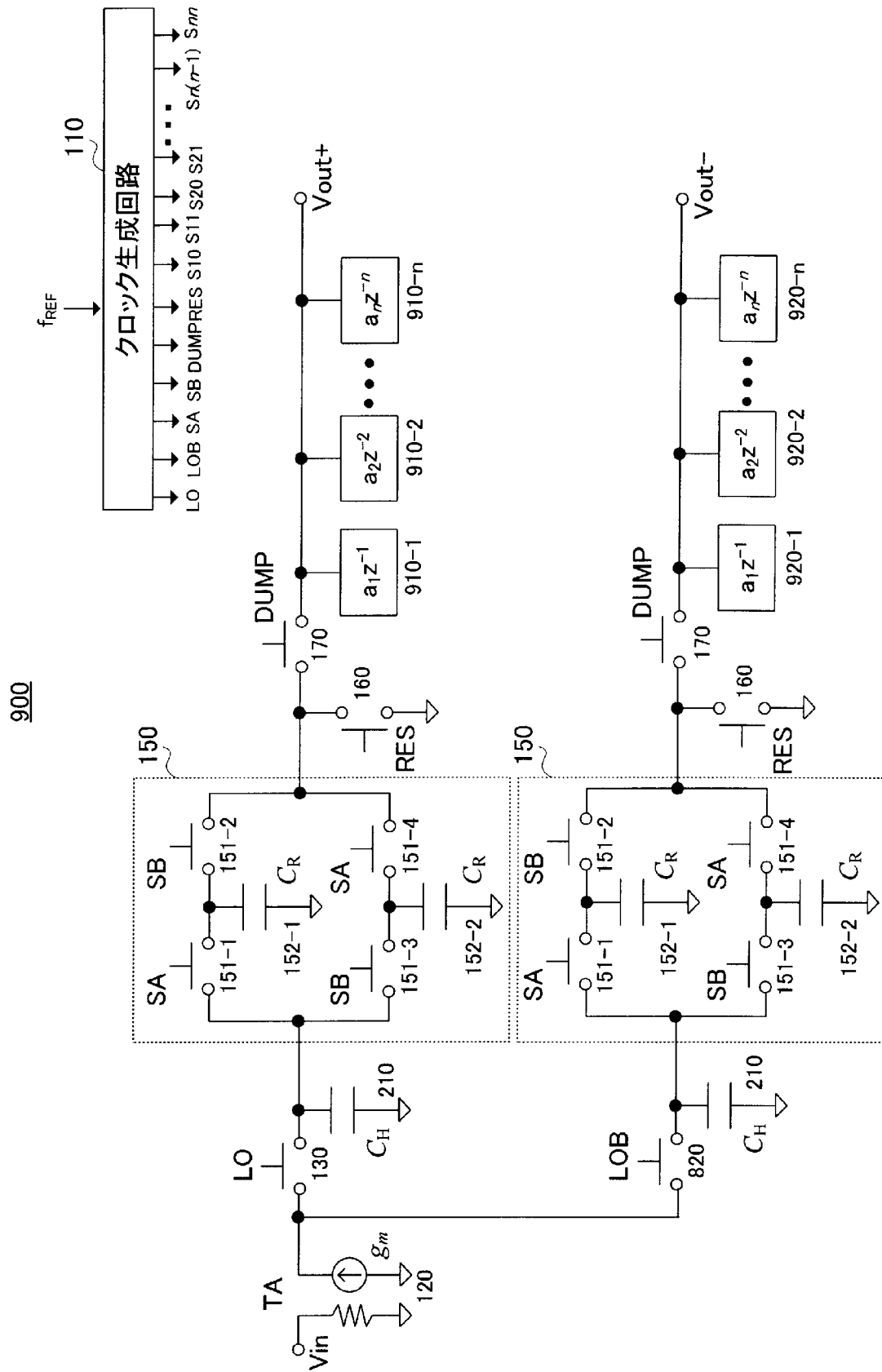
800



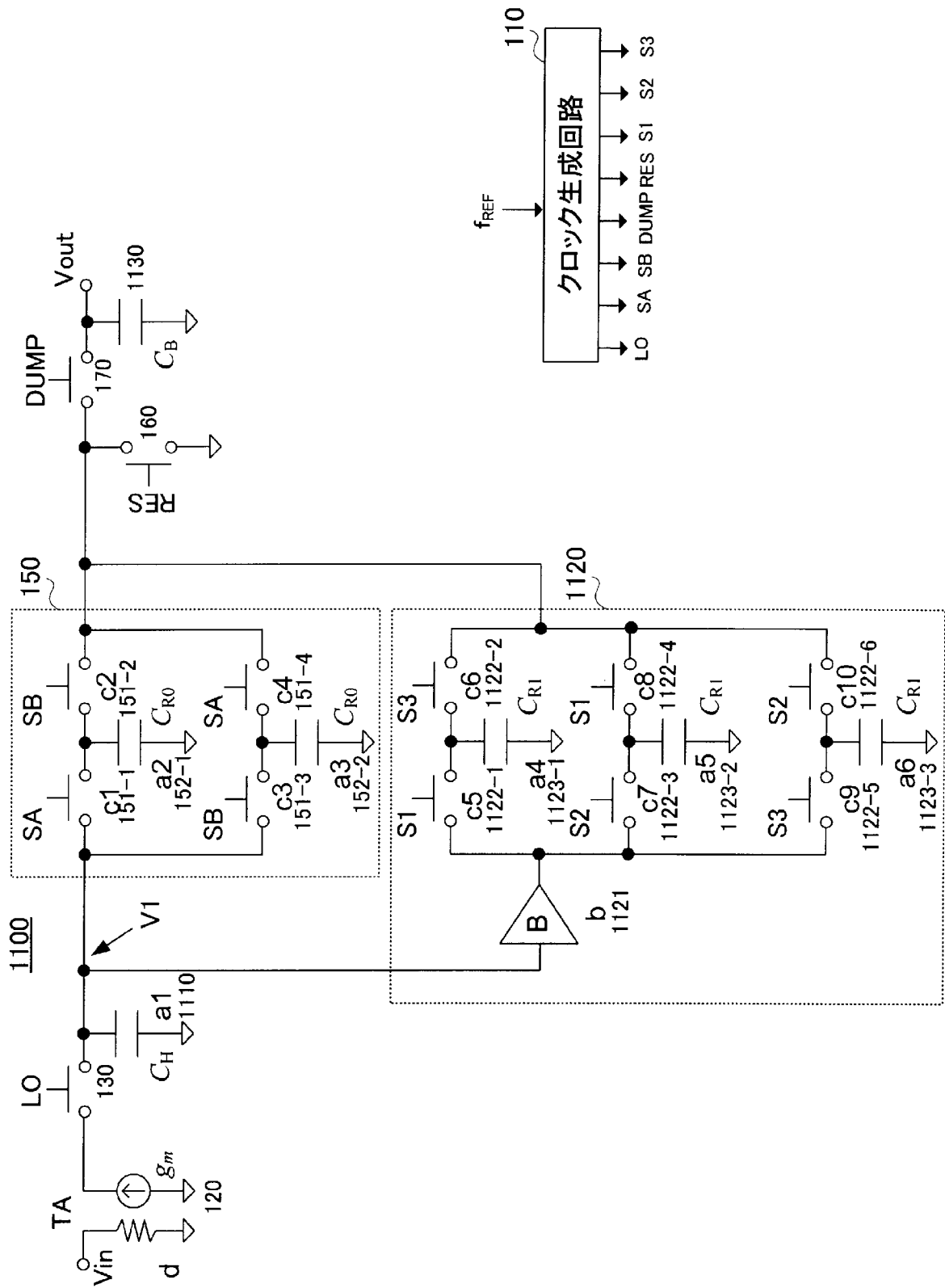
[図22]



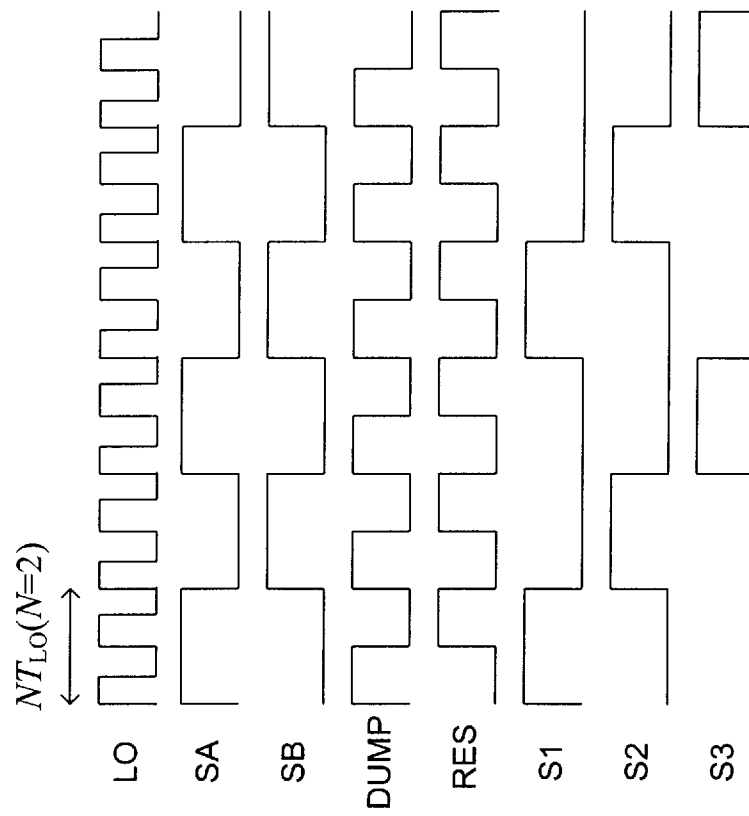
[図23]



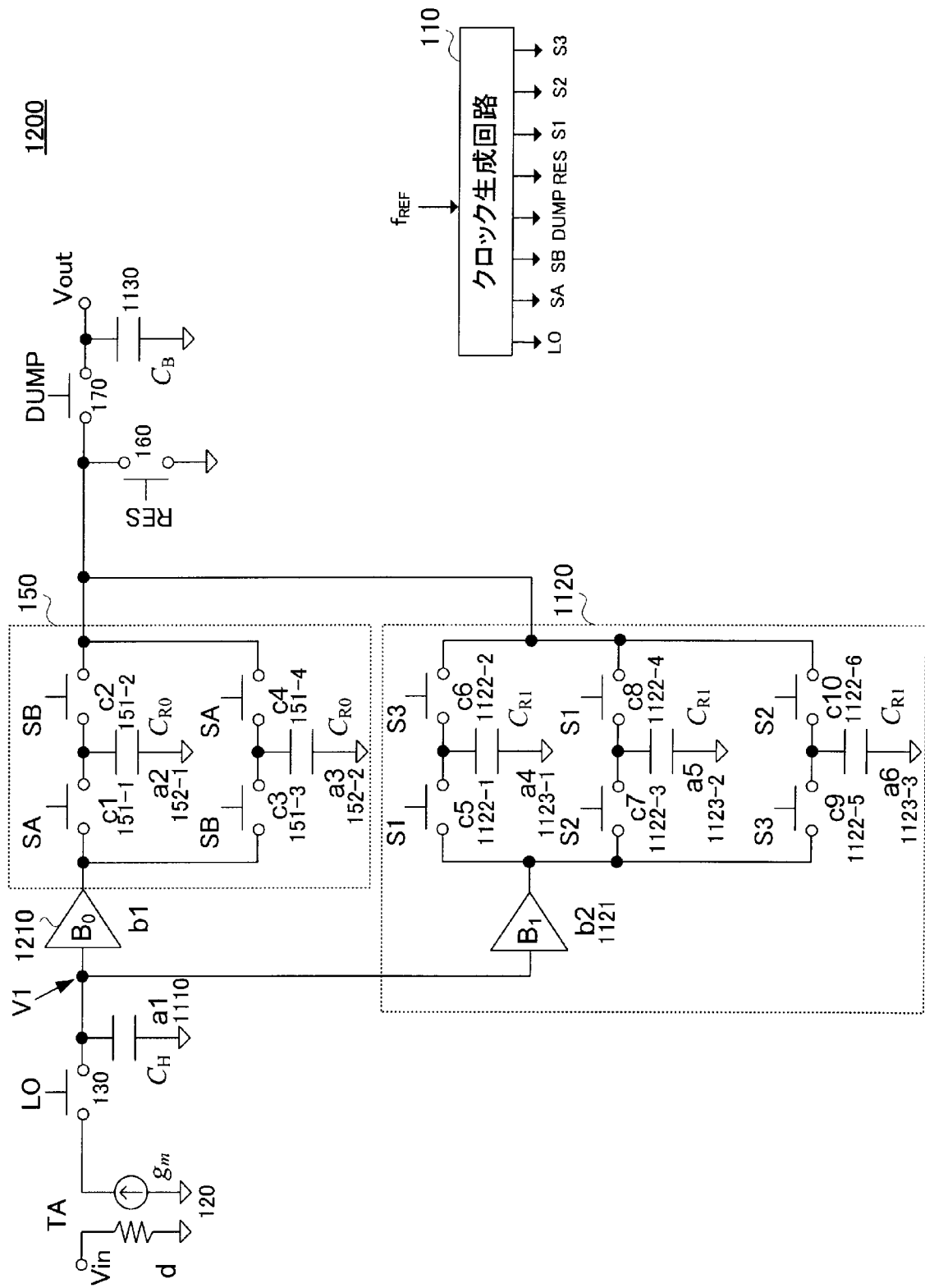
[図25]



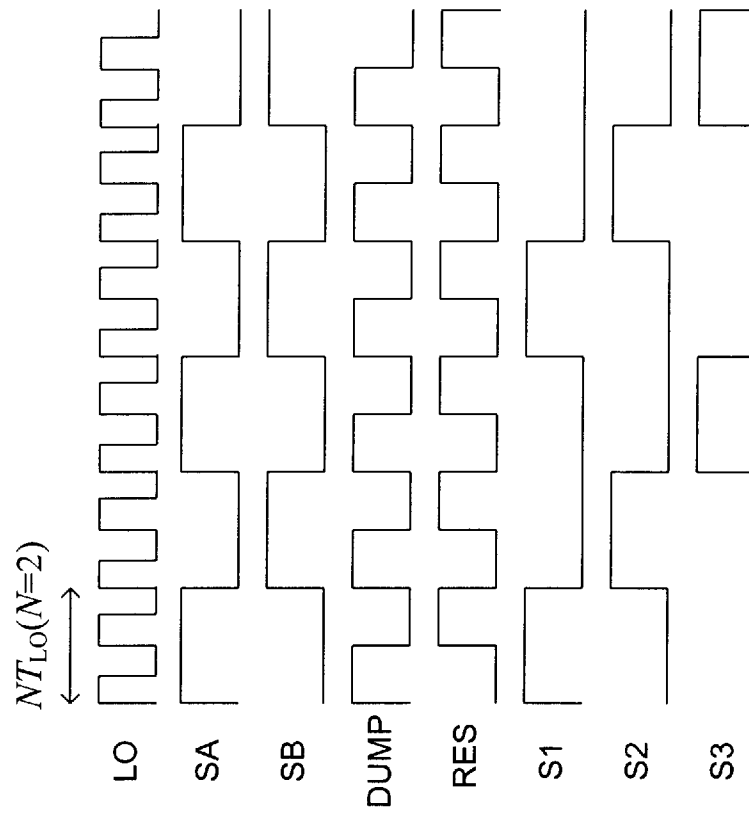
[図26]



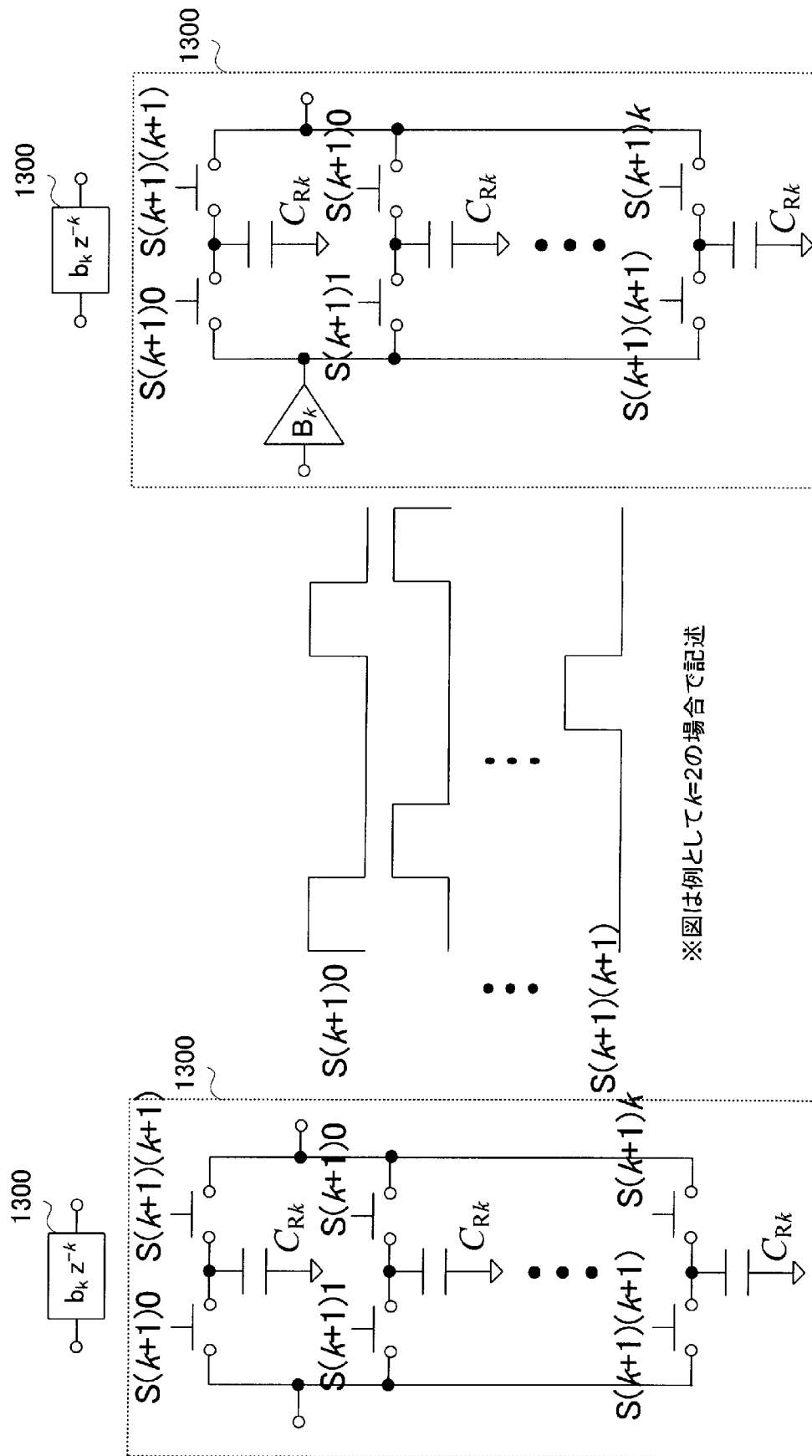
[図27]



[図28]



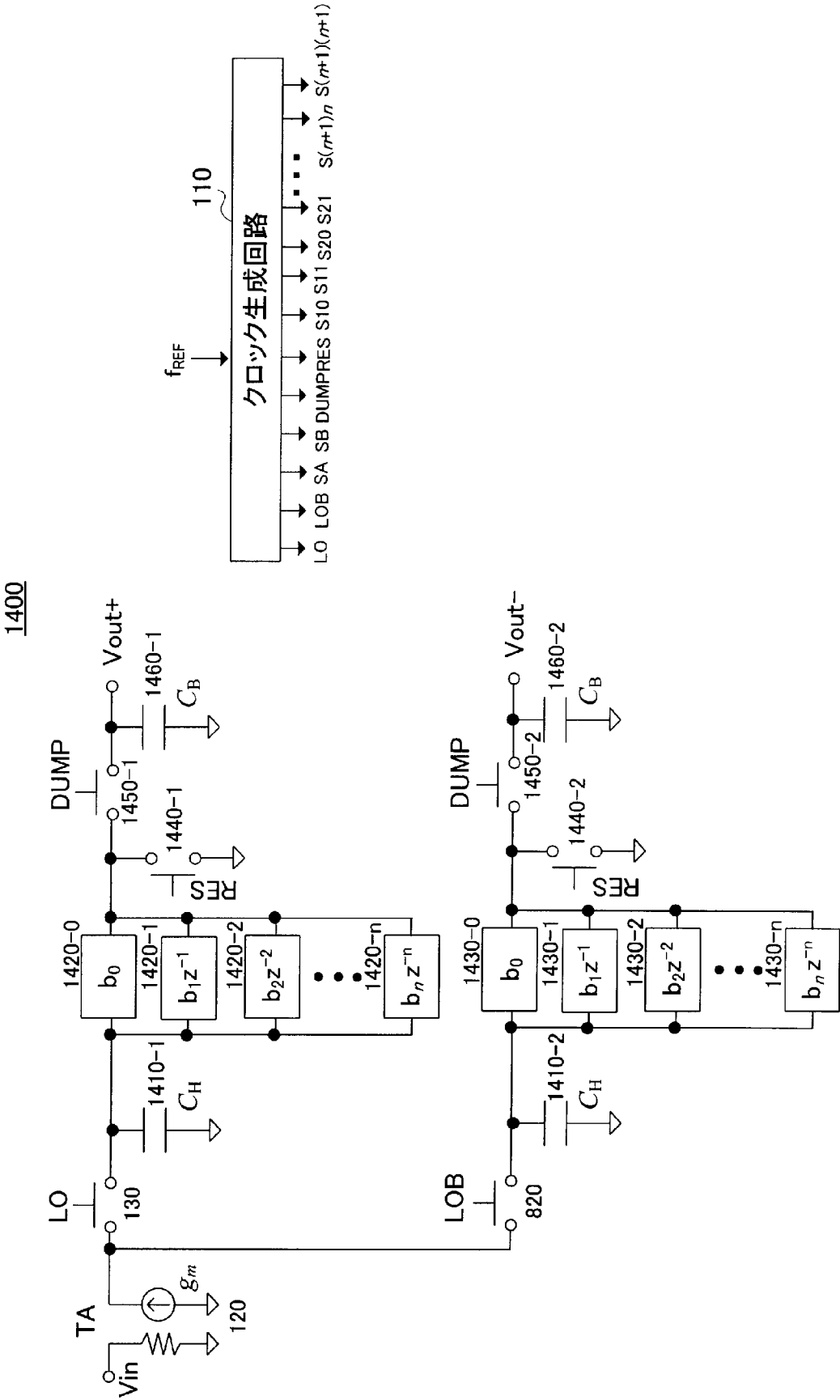
[図29]



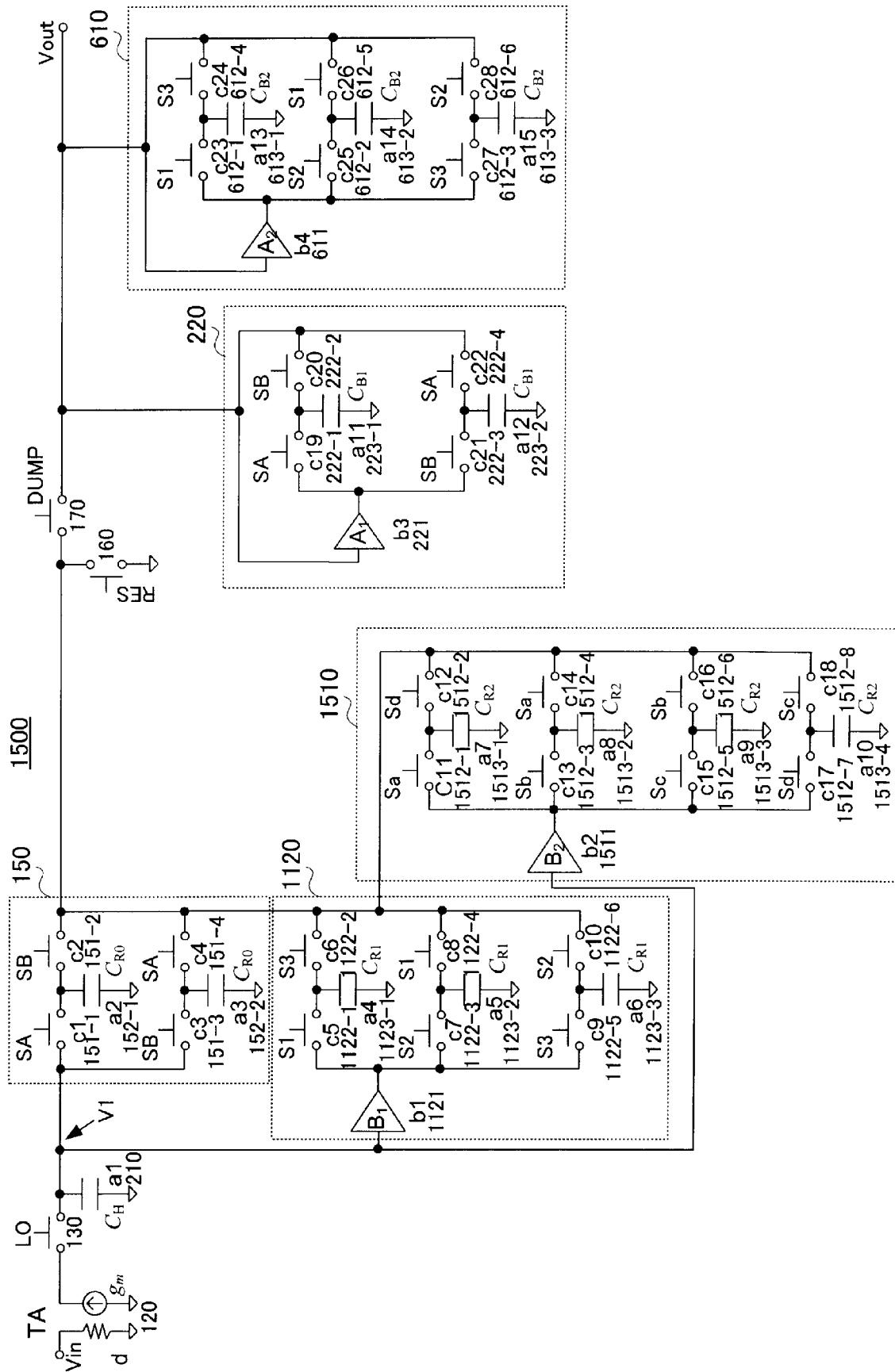
(a)電荷共有型

(b)電位保持型

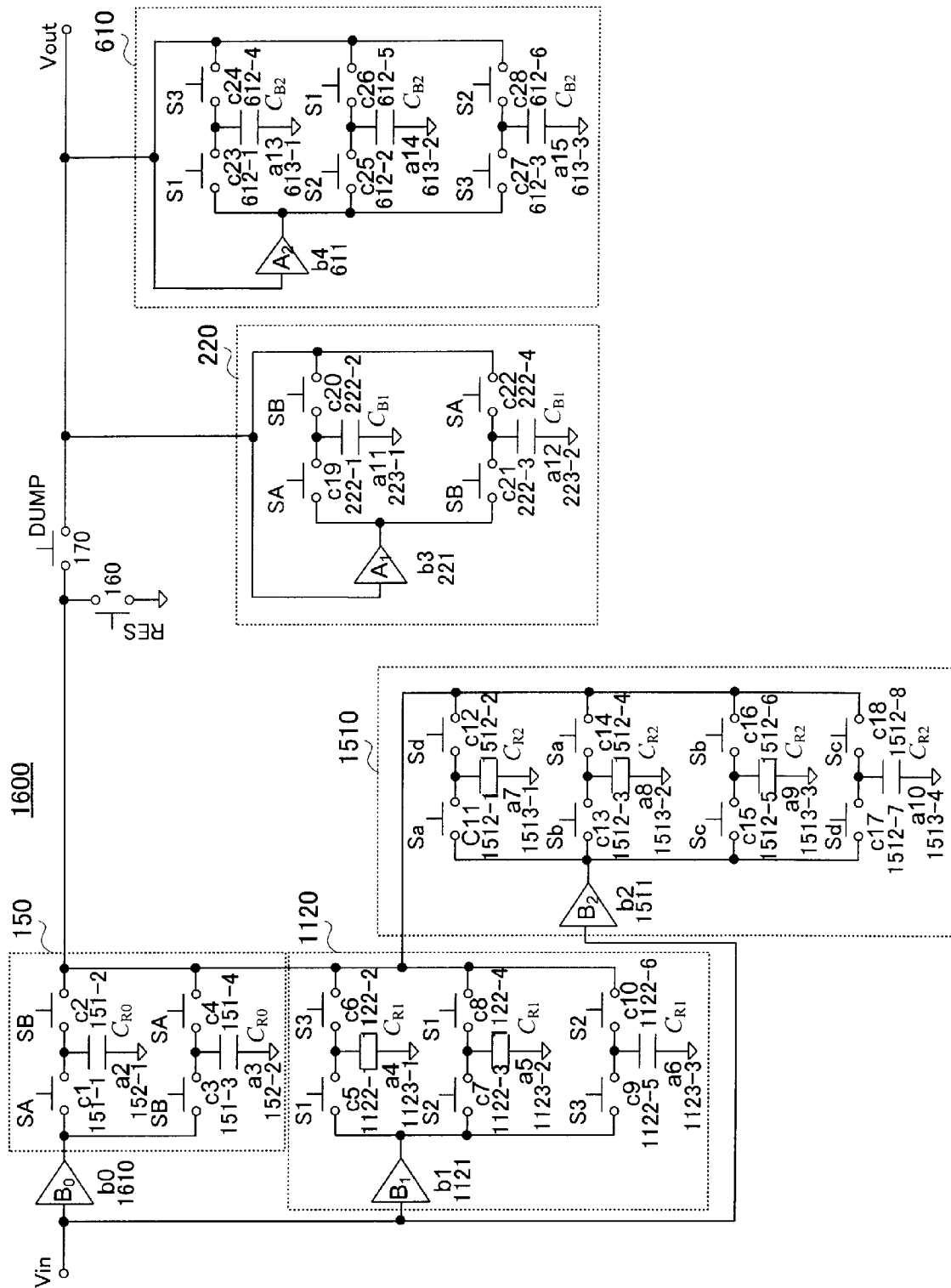
[図30]



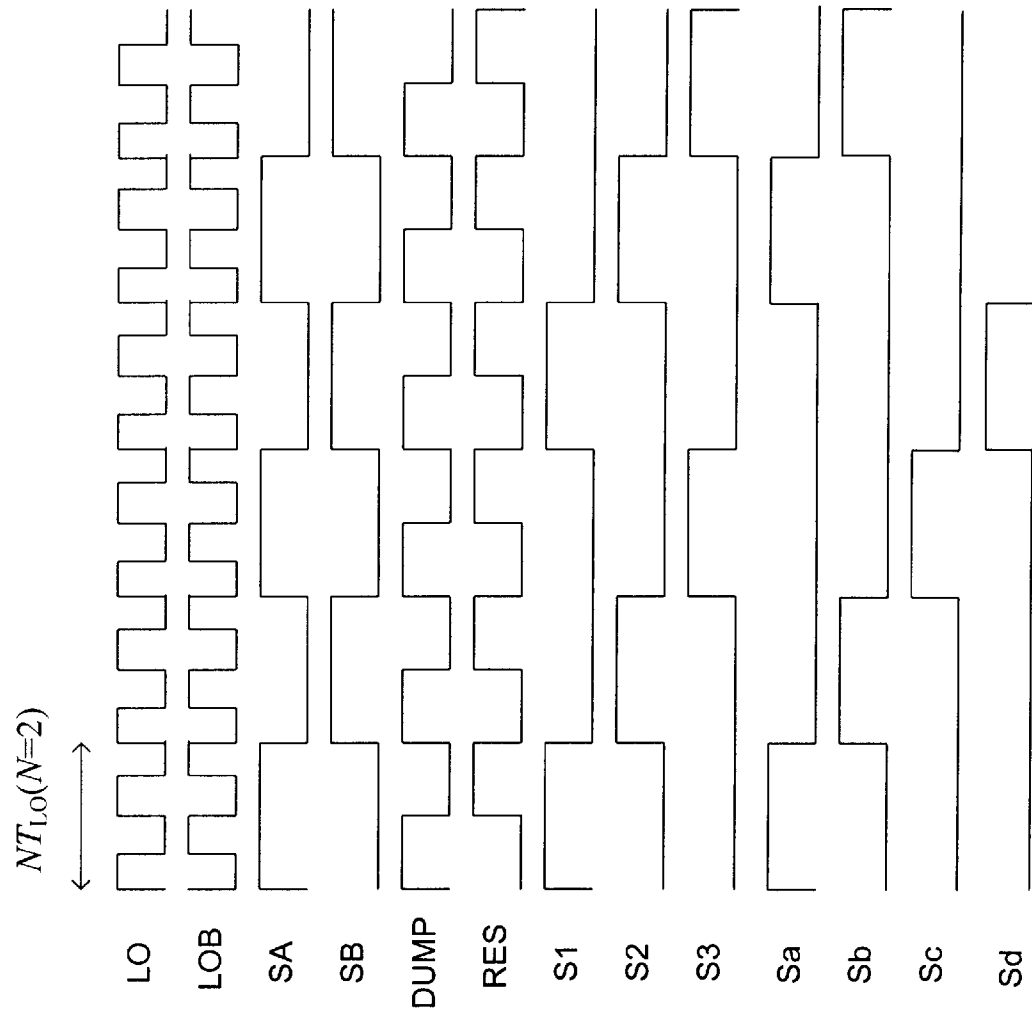
[図31]



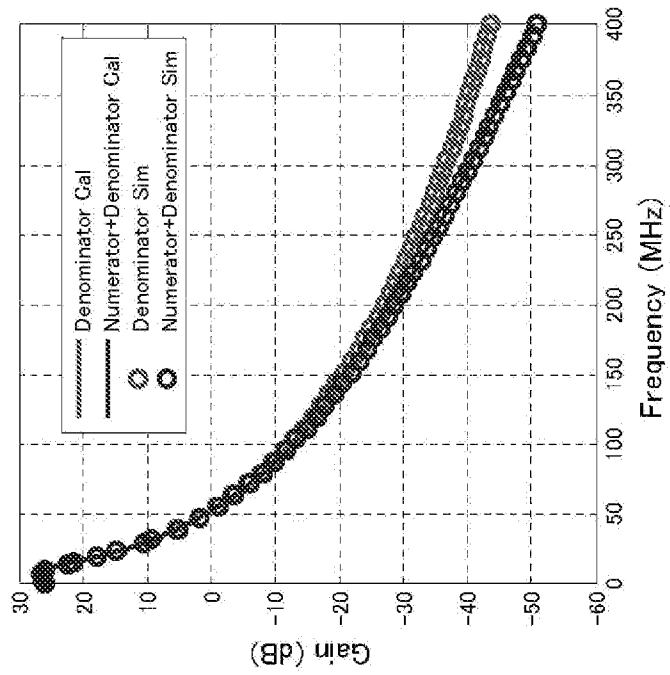
[図32]



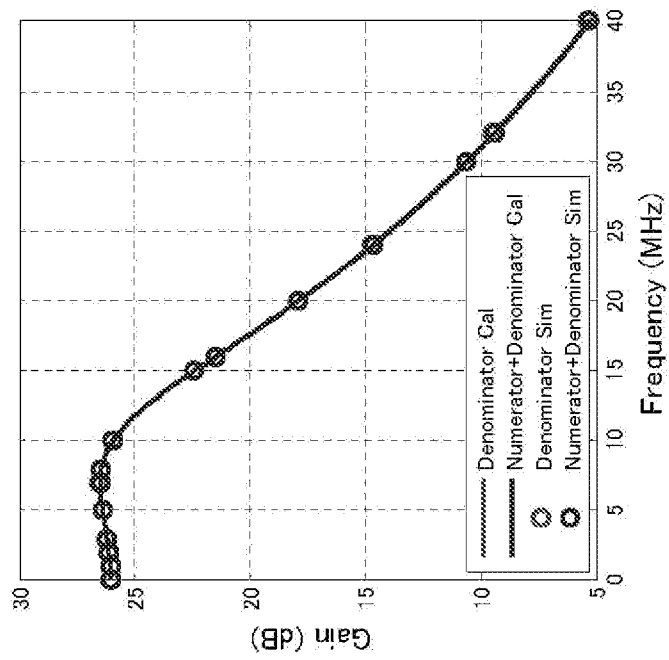
[図33]



[図34]

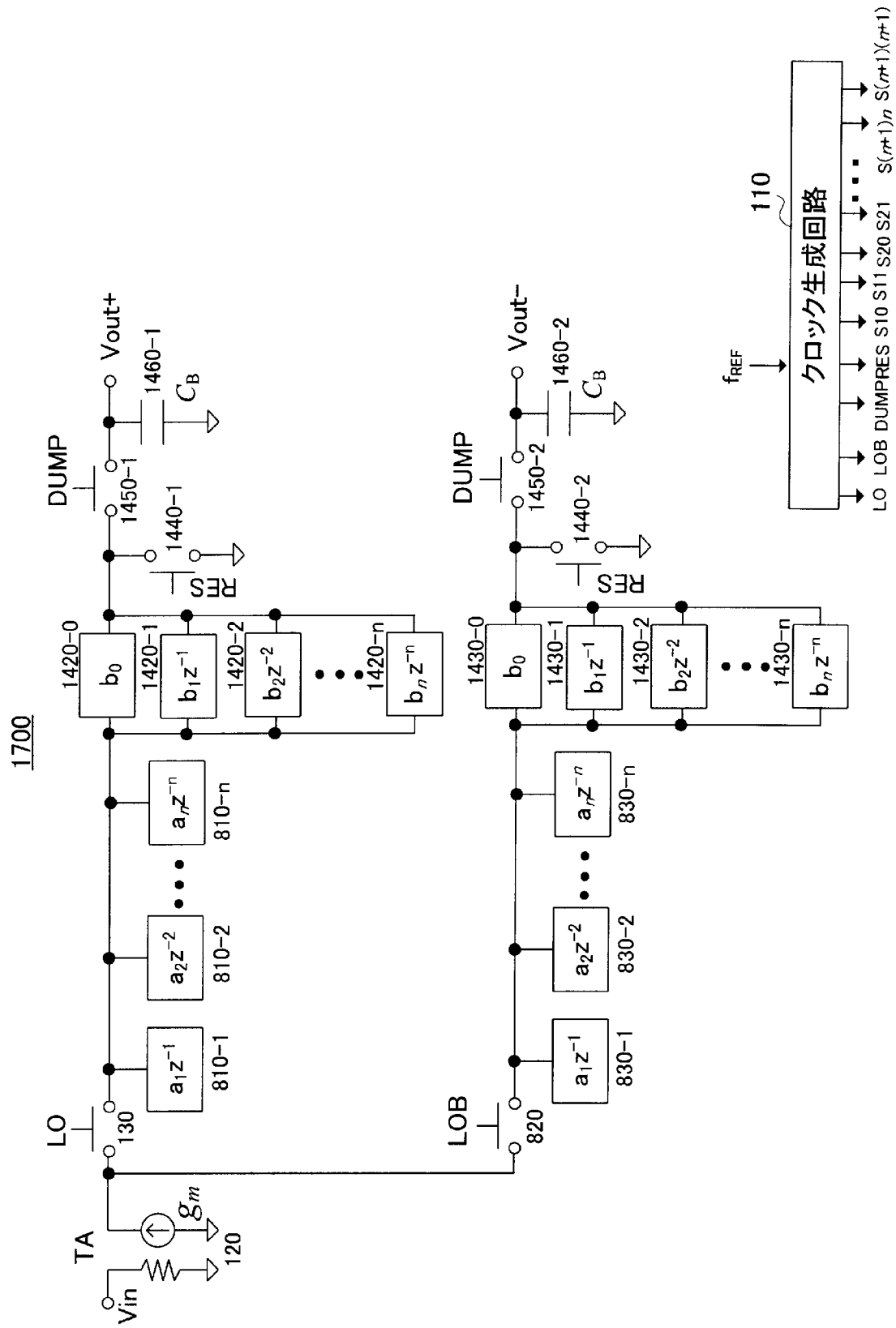


(b) 広帯域特性

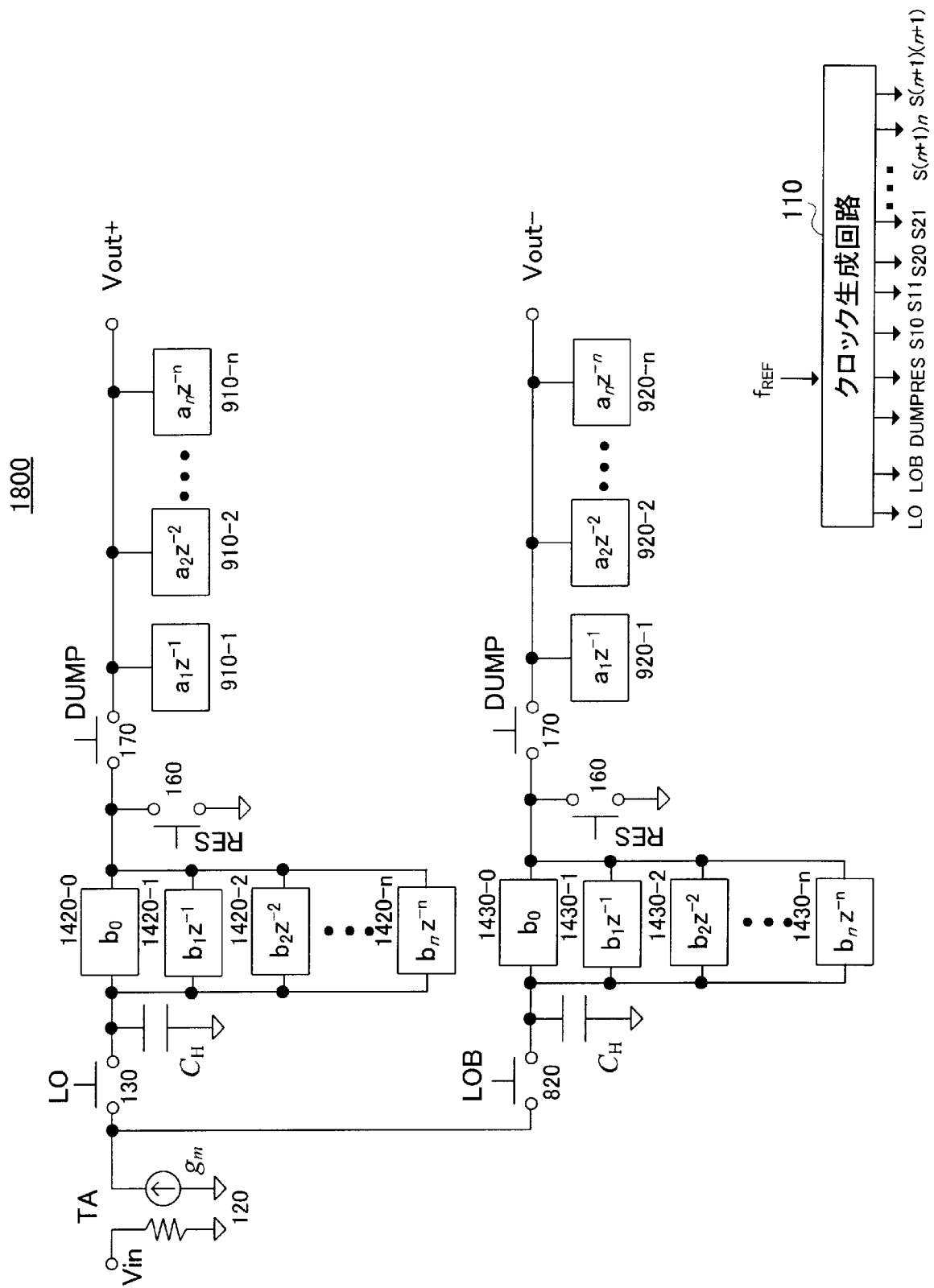


(a) 狭帯域特性

[図35]

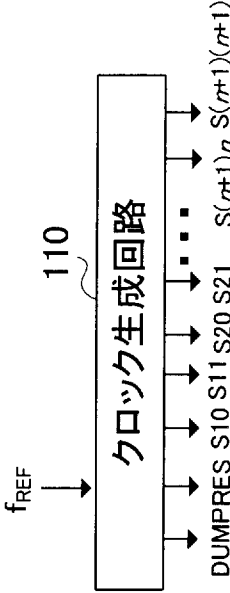
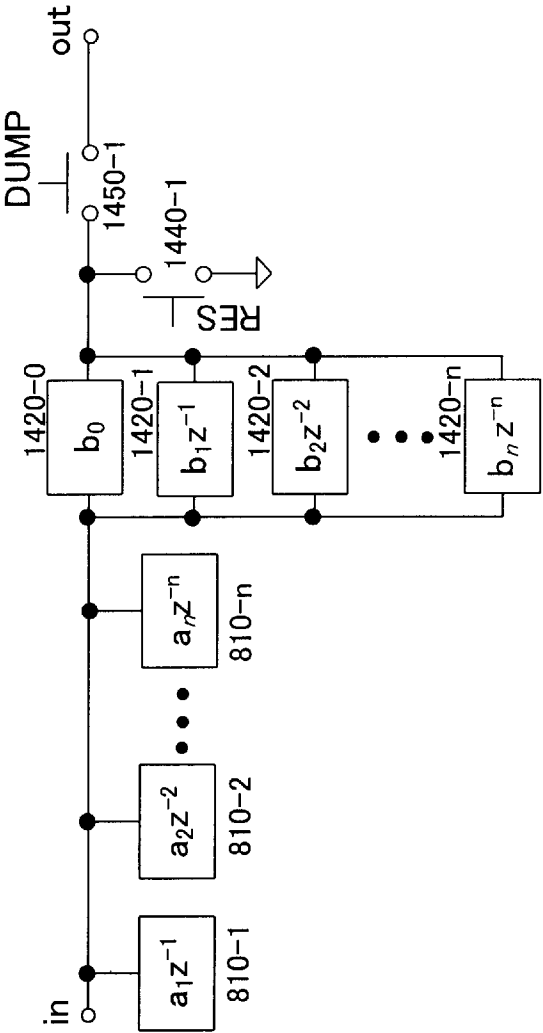


[図36]

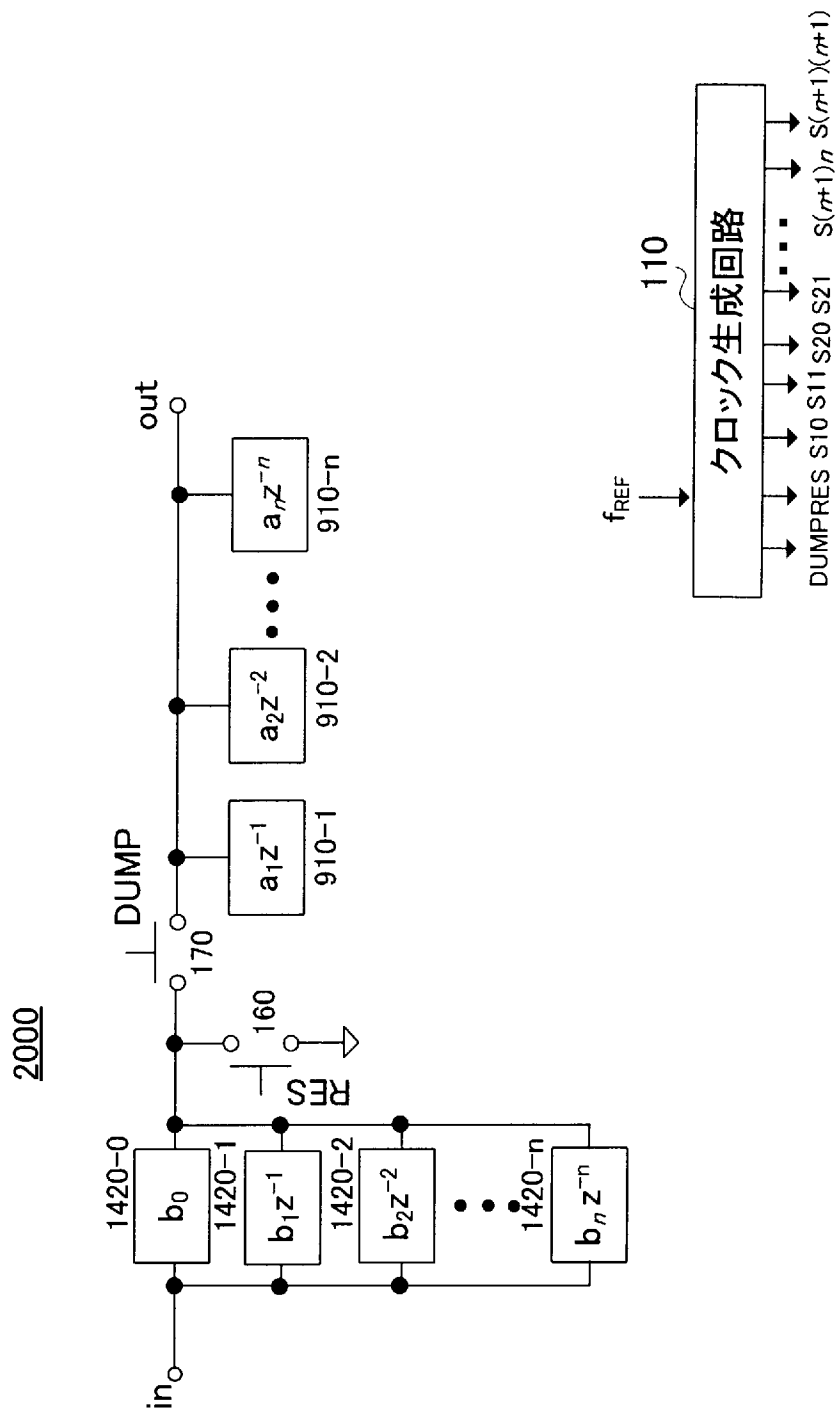


[図37]

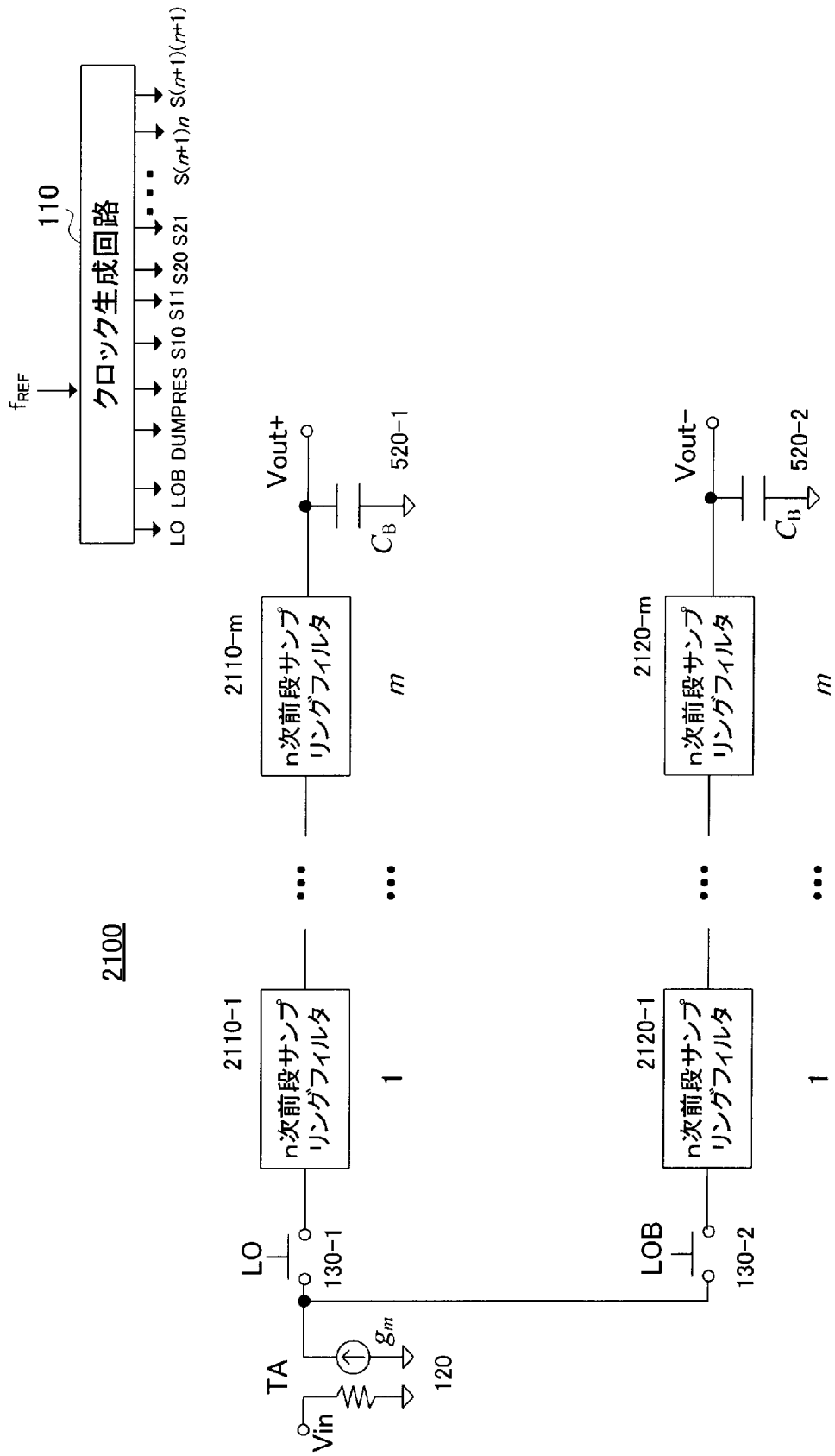
1900



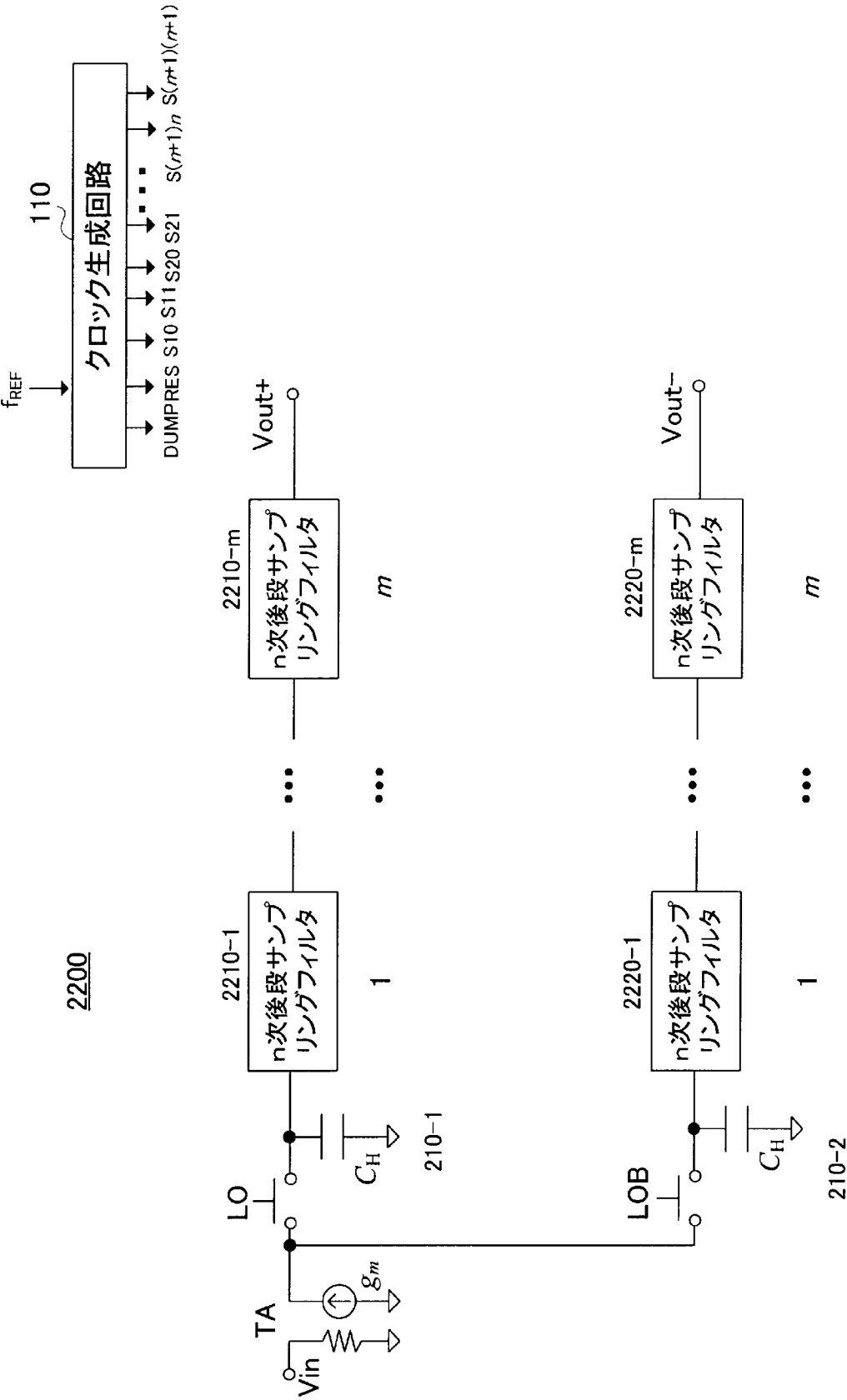
[図38]



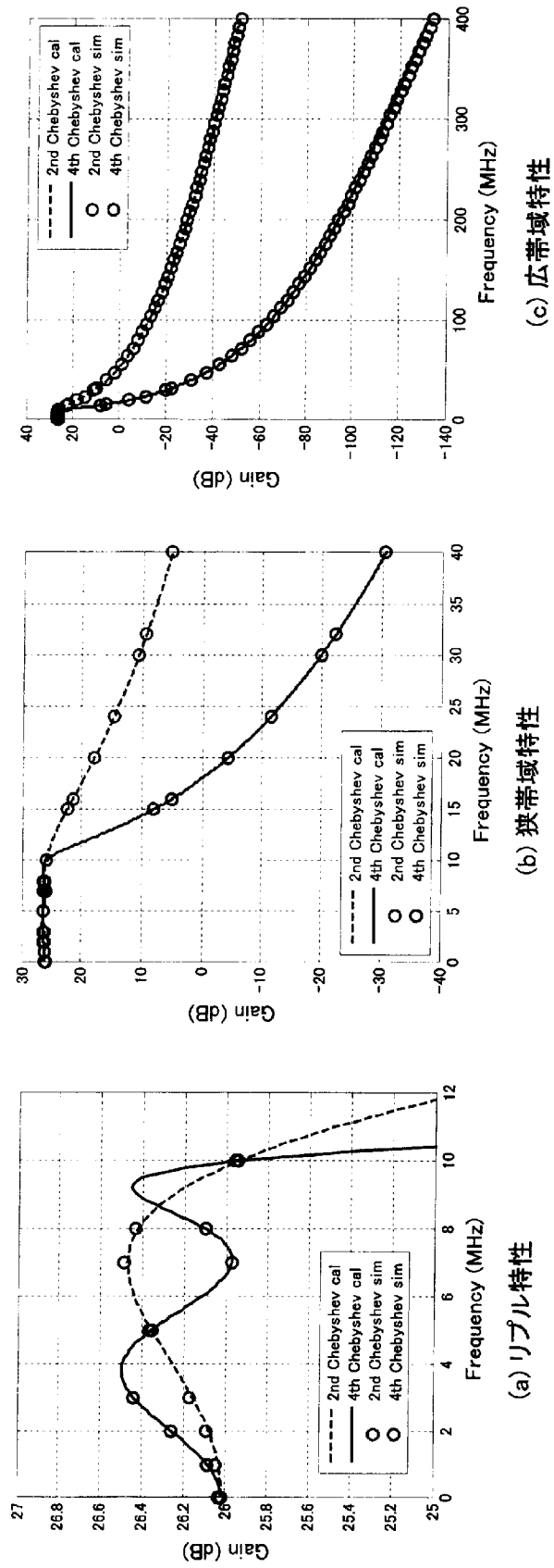
[図39]



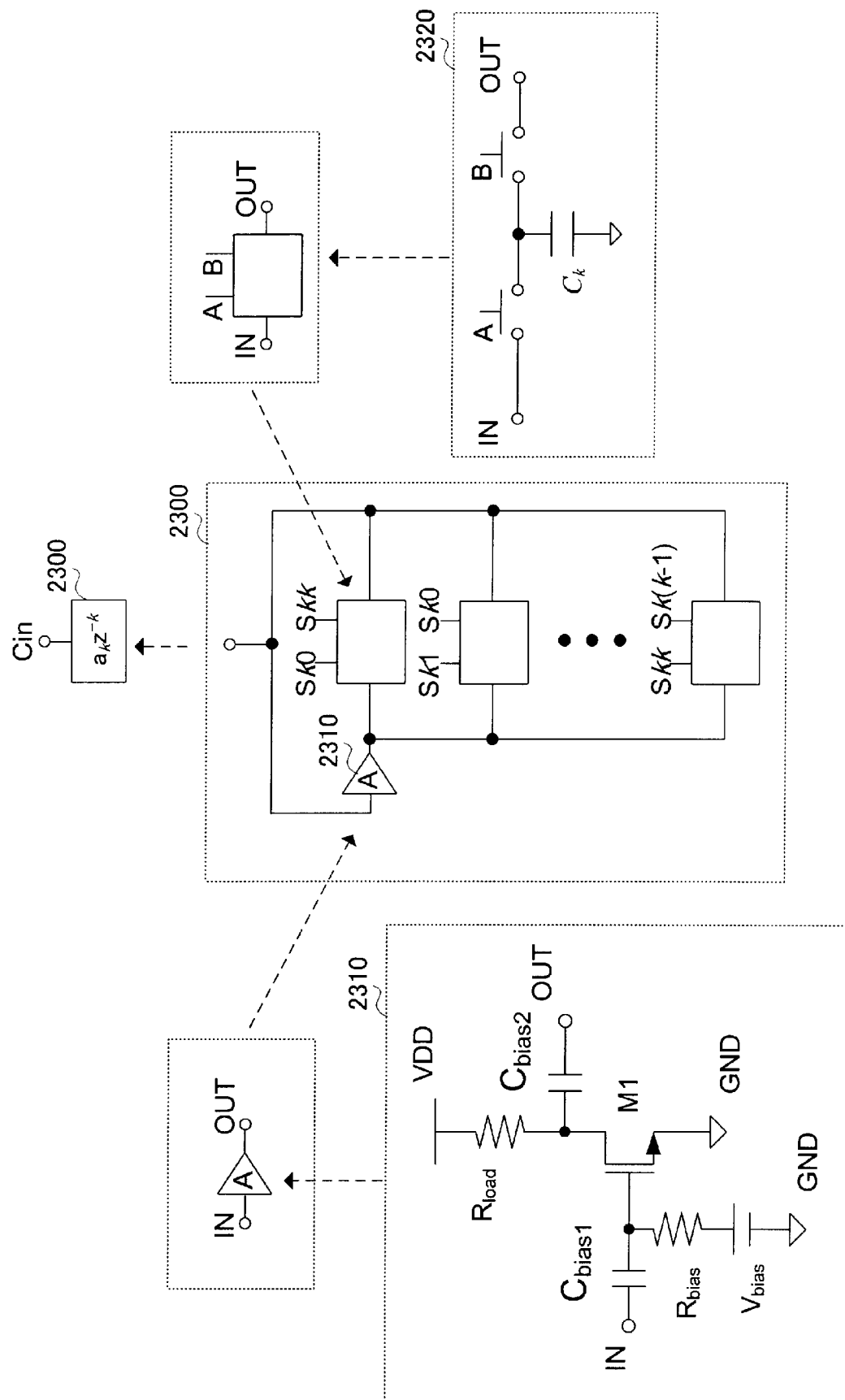
[図40]



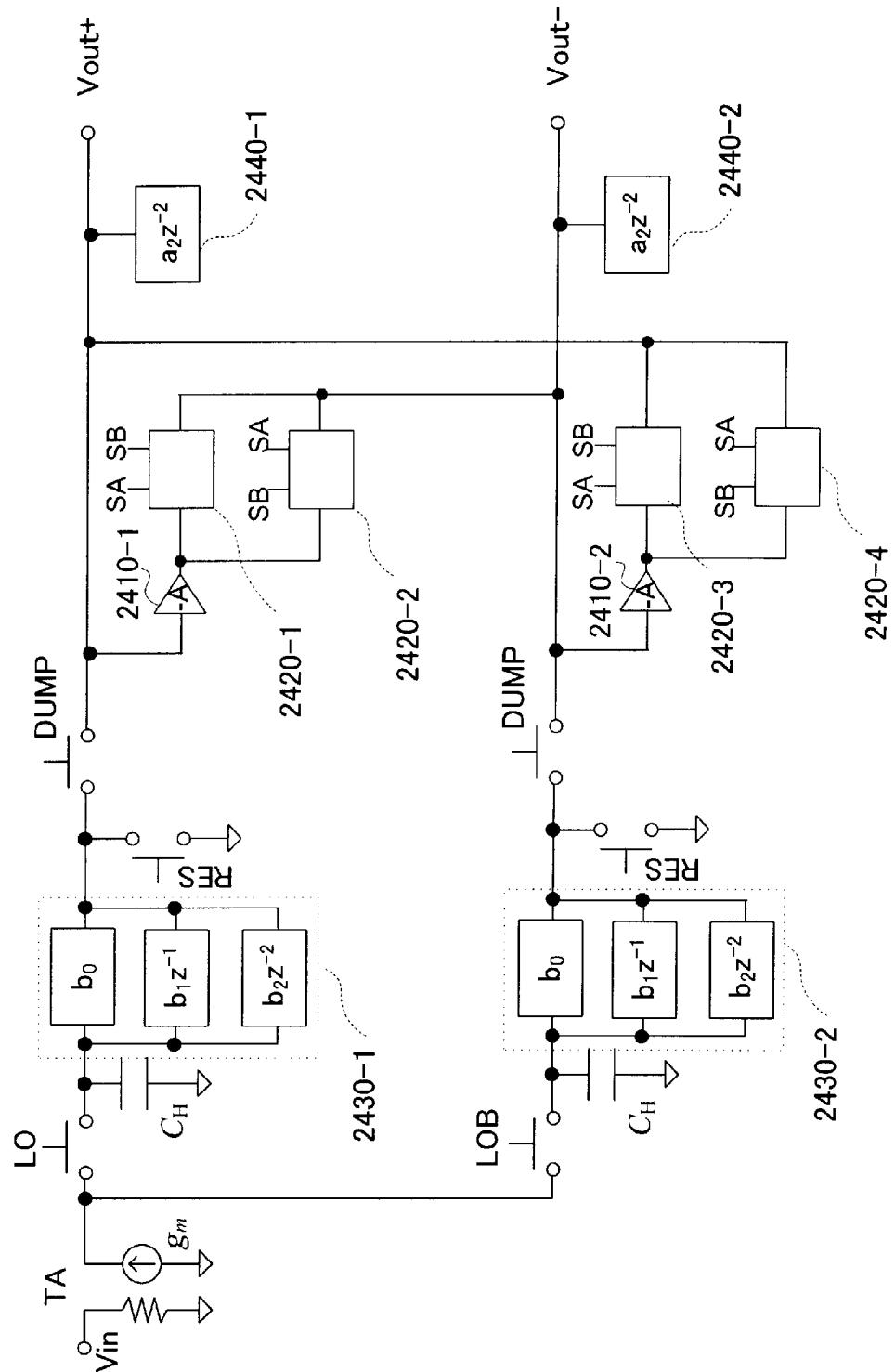
[図41]



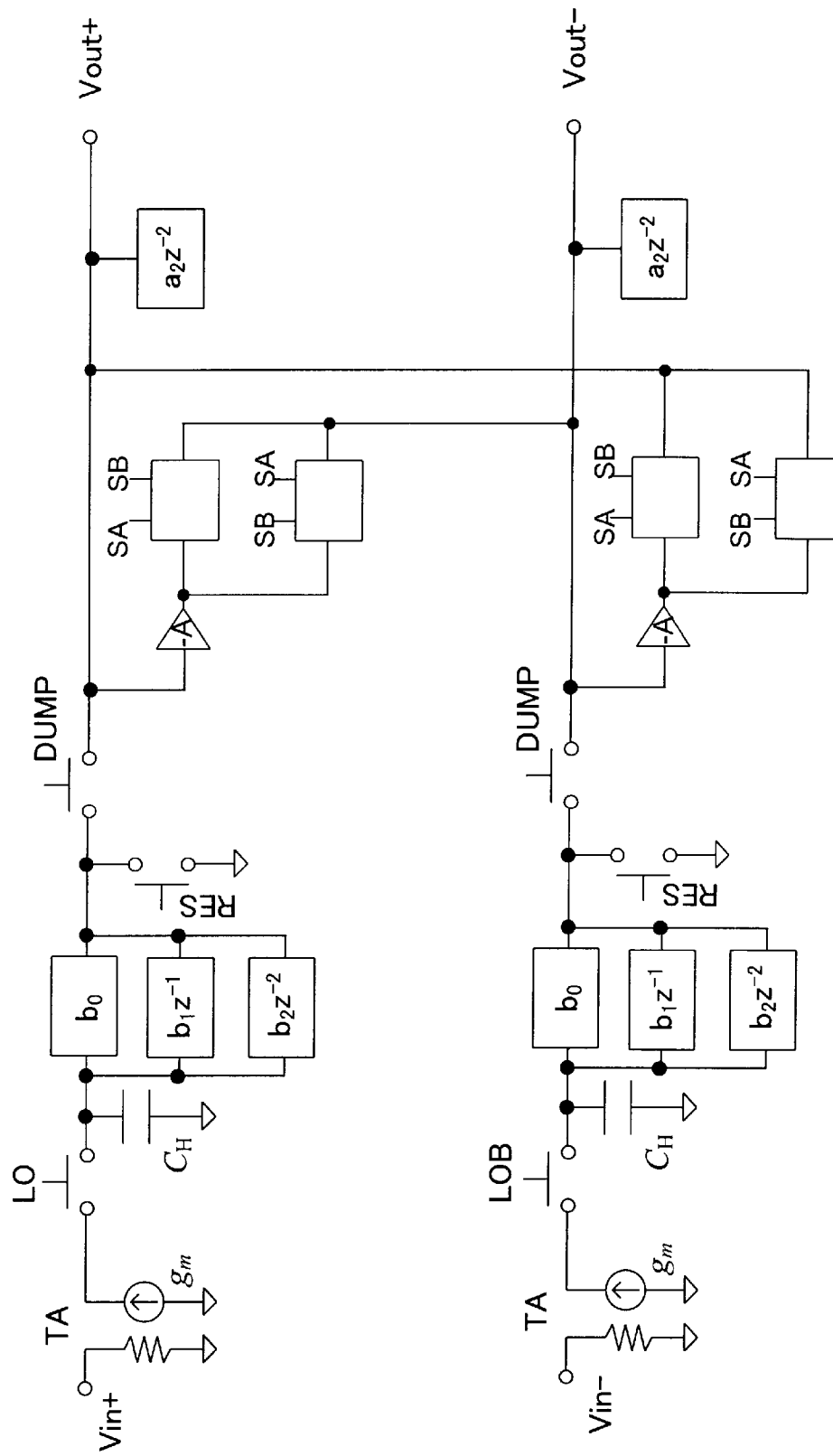
[図42]



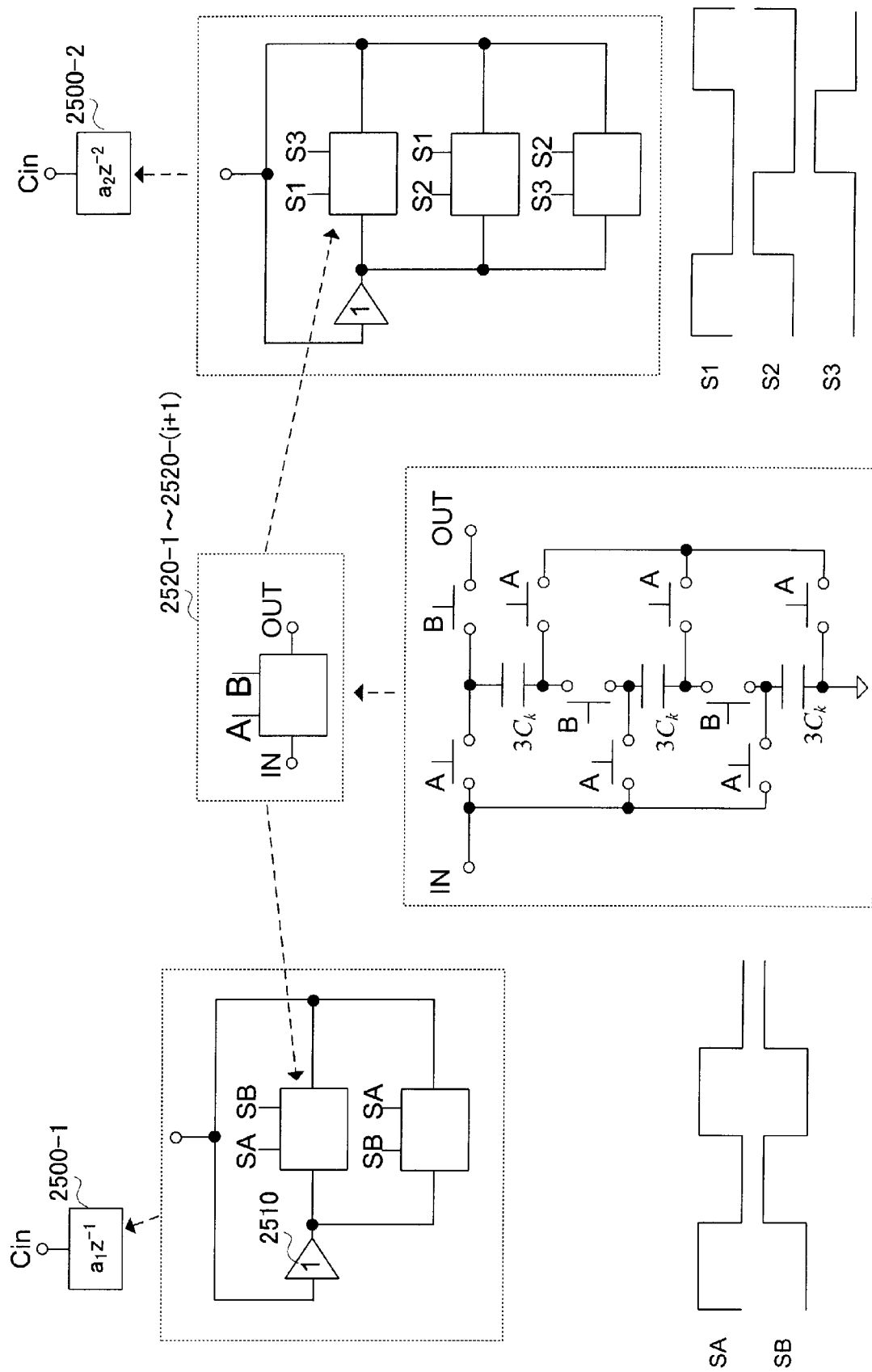
[図43]



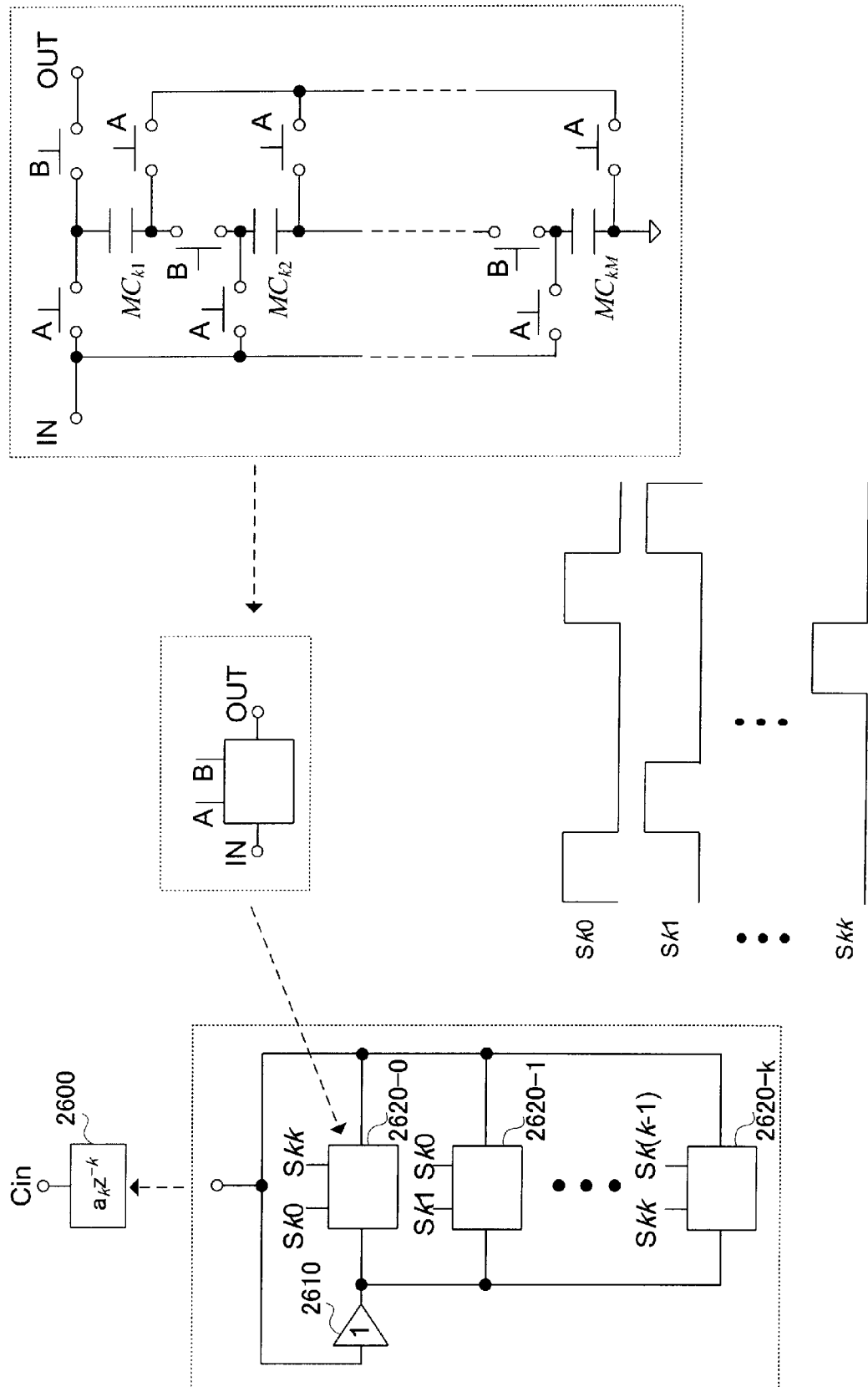
[図44]



[図45]



[図46]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004239

A. CLASSIFICATION OF SUBJECT MATTER

H03H19/00(2006.01)i, H03K17/00(2006.01)i, H04B1/26(2006.01)i, H04B1/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H19/00, H03K17/00, H04B1/26-1/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/102459 A1 (Matsushita Electric Industrial Co., Ltd.), 13 September 2007 (13.09.2007), entire text; all drawings & JP 2008-011493 A & US 2009/0009155 A1 & CN 101395798 A	1-18
A	WO 2010/064450 A1 (Panasonic Corp.), 10 June 2010 (10.06.2010), entire text; all drawings (Family: none)	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 September, 2011 (13.09.11)Date of mailing of the international search report
27 September, 2011 (27.09.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03H19/00(2006.01)i, H03K17/00(2006.01)i, H04B1/26(2006.01)i, H04B1/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03H19/00, H03K17/00, H04B1/26-1/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2 0 0 7 / 1 0 2 4 5 9 A 1（松下電器産業株式会社） 2 0 0 7 . 0 9 . 1 3 , 全文, 全図 & J P 2 0 0 8 - 0 1 1 4 9 3 A & U S 2 0 0 9 / 0 0 0 9 1 5 5 A 1 & C N 1 0 1 3 9 5 7 9 8 A	1 - 1 8
A	WO 2 0 1 0 / 0 6 4 4 5 0 A 1（パナソニック株式会社） 2 0 1 0 . 0 6 . 1 0 , 全文, 全図（ファミリーなし）	1 - 1 8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 9 . 2 0 1 1

国際調査報告の発送日

2 7 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 孝治

5 W

8 8 4 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6