

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) 。 Int. Cl.  
H01L 29/786 (2006.01)

(45) 공고일자 2006년10월24일  
(11) 등록번호 10-0596343  
(24) 등록일자 2006년06월27일

(21) 출원번호 10-1998-0029785  
(22) 출원일자 1998년07월24일

(65) 공개번호 10-1999-0014131  
(43) 공개일자 1999년02월25일

(30) 우선권주장 97-216002 1997년07월24일 일본(JP)  
98-151543 1998년06월01일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 오타니 히사시  
일본 가나가와켄 아쓰기시 하세 398 한도타이에네루기켄큐쇼(주) 내  
  
다카노 다마에  
일본 가나가와켄 아쓰기시 하세 398 한도타이에네루기켄큐쇼(주) 내  
  
고쿠보 치호  
일본 가나가와켄 아쓰기시 하세 398 한도타이에네루기켄큐쇼(주) 내

(74) 대리인 정상구  
이범래  
이병호  
신현문

심사관 : 임동우

### (54) 반도체장치및그제조방법

#### 요약

니켈 원소를 이용한 비정질 규소막의 결정화와, 결정화에 기여한 니켈 원소의 제거를 효과적으로 행한다.

비정질 규소막(102) 상에 마스크(103)를 두고, 니켈을 함유시킨 산화막 패턴(107과 108)을 형성한다. 그리고 109의 영역에 인을 도핑한다. 그 후에, 가열하고, 니켈 원소를 110 및 111로 나타내는 경로를 통해 확산시킨다. 니켈 원소는 비정질 규소막 층을 확산하고 영역(109)의 인에 게터링된다. 이렇게 해서 니켈의 확산에 의한 결정화와 니켈의 게터링을 동시에 행할 수 있다.

#### 대표도

도 1e

## 명세서

### 도면의 간단한 설명

도 1a 내지 도 1e는 TFT의 제작 공정을 도시하는 도면.

도 2a 내지 도 2c는 TFT의 제작 공정을 도시하는 도면.

도 3a 내지 도 3e는 TFT의 제작 공정을 도시하는 도면.

도 4a 내지 도 4f는 TFT를 사용한 장치의 개요를 도시하는 도면.

도 5는 TFT를 사용한 집적 회로를 개요를 도시하는 도면.

\* 도면의 주요 부분에 대한 부호의 설명 \*

101 : 유리 기판 102 : 비정질 규소막

103 : 질화규소막으로 된 마스크

104 : Ni은 선택적으로 도입하기 위한 개구

105 : 게터링 사이트를 선택적으로 형성하기 위한 개구

106 : Ni을 선택적으로 도입하기 위한 개구

107 : Ni은 함유한 산화규소막 패턴 108 : Ni은 함유한 산화규소막 패턴

109 : 인이 도핑된 영역(게터링 사이트) 110 : 니켈의 확산경로(결정 성장 경로)

111 : 니켈의 확산 경로(결정 성장 경로) 112 : P 채널형 TFT의 활성층의 패턴

113 : N 채널형 TFT의 활성층의 패턴 114 : 게이트 절연막(산화 규소막)

115 : 게이트 전극 116 : 게이트 전극

117 : 양극 산화막 118 : 양극 산화막

119 : 인이 도핑된 영역 120 : P 채널형 TFT의 채널 영역

121 : 인이 도핑된 영역 122 : N 채널형 TFT의 드레인 영역

123 : N 채널형 TFT의 채널 영역 124 : N 채널형 TFT의 소스 영역

125 : 레지스트 마스크 126 : P 채널형 TFT의 소스 영역

127 : P 채널형 TFT의 드레인 영역 128 : 질화규소막(층간 절연막)

129 : 아크릴 수지막(층간 절연막) 130 : 소스 전극

131 : 드레인 전극 132 : 드레인 전극

133 : 소스 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

(발명이 속하는 기술분야)

본 명세서에서 개시하는 발명은 결정성 규소막을 사용한 박막 트랜지스터의 제조 방법에 관한 것이다.

(종래 기술)

종래부터 비정질 규소막을 사용한 박막 트랜지스터(이하 TFT라 한다)가 알려져 있다. 이것은 주로 액티브 매트릭스형의 액정 표시 장치의 액티브 매트릭스 회로를 구성하기 위해서 이용되고 있다.

그러나, 비정질 규소막을 사용한 TFT는 동작 속도가 느리고 또 P 채널형이 실용화되지 않는다는 문제가 있다.

이 같은 문제도 있고, 주변 구동 회로를 일체화한 액티브 매트릭스형 액정 표시 장치에 이용하거나 TFT를 사용하여 각종 집적 회로를 구성하거나 할 수 없었다.

이 문제를 해결하기 위한 수단으로, 결정성 규소막을 사용한 구성이 알려지고 있다.

결정성 규소막은 제작하는 방법으로서, 가열에 의한 방법과 레이저광의 조사에 의한 방법으로 대별된다.

가열에 의한 방법은 900℃ 이상이라는 고온 프로세스가 필요하기 때문에 유리 기판이 이용되지 않는다는 문제가 있다.

TFT의 주된 응용 분야가 액정 표시 장치라는 것을 생각하면 기판으로서 유리 기판을 이용할 수 있어야 함이 우선 과제이다.

다른 한편, 레이저 광의 조사에 의한 방법은, 기판에 열 손상(damage)을 주지 않는 프로세스를 실현할 수 있지만, 결정성의 균일성이나 재현성, 또는 결정성의 정도라는 점에서 만족할 수 있는 것은 아니다.

이 같은 문제를 해결하기 위한 한 수단으로, 본 출원인의 발명인 소정의 금속 원소를 써서 결정화를 촉진시키는 방법이 있다.

이것은 비정질 규소막에 니켈로 대표되는 금속 원소를 도입하고, 그후에 가열 처리에 의해 결정성 규소막을 얻는 방법이다.

이 방법으로는 유리 기판을 이용할 수 있는 600℃ 정도 이하의 가열 처리에 의해서 양호한 결정성을 가진 결정성 규소막을 얻을 수 있다.

그러나, 결정성 규소막 중에 니켈 원소가 잔류하므로 그에 의해 제조된 TFT의 특성에 악영향을 끼치고 만다.

구체적으로는 특성의 시간 경과에 따른 변화, 신뢰성의 저하라는 문제가 발생한다.

#### 발명이 이루고자 하는 기술적 과제

본 명세서에서 개시하는 발명은, 규소의 결정화를 조장하는 금속 원소를 이용하여 얻을 수 있는 결정성 규소막을 이용하여 만들 수 있는 TFT에서, 그 특성에 해당 금속 원소의 악영향이 미치는 것을 억제하는 기술을 제공하는 것을 과제로 한다.

본 명세서에서 개시하는 발명의 하나는,

비정질 규소막의 일부의 영역에서 다른 영역으로의 결정성장을 행하는 공정을 포함하며,

결정화는 규소의 결정화를 조장하는 금속 원소의 이동에 따라 행해지는 것으로서,

상기 일부의 영역으로부터 상기 금속 원소의 확산을 발생시키고,

상기 다른 영역에서 상기 금속 원소의 게터링(gettering)을 행하게 하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

다른 발명의 구성은,

비정질 규소막의 일부의 영역에서 다른 영역으로의 결정 성장을 행하는 공정을 포함하며,

결정화는 규소의 결정화를 조장하는 금속 원소의 이동에 따라 행해지는 것으로서,

상기 일부의 영역으로부터의 상기 금속 원소의 확산과, 상기 다른 영역에서의 상기 금속 원소의 게터링을 동시에 행하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

다른 발명의 구성은,

비정질 규소막의 일부의 영역에서 다른 영역으로의 결정 성장을 행하는 공정을 포함하며,

결정화는 규소의 결정화를 조장하는 금속 원소의 이동에 따라 행해지는 것으로서,

상기 일부의 영역에는 상기 금속 원소의 이동의 시작이 형성되며,

상기 다른 영역에는 상기 금속 원소의 이동의 끝이 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

상기 3개의 발명의 구성에서, 금속 원소로, Ni를 사용하는 것이 가장 바람직하다.

일반적으로 금속 원소로, Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au, Ge, Pb, In에서 선정된 1종 또는 복수 종류의 것을 사용할 수 있다.

상기 3개의 발명의 구성에서,

일부의 영역에는 금속 원소가 선택적으로 첨가되거나, 또는 접하여 유지되며,

다른 영역에는 P, As, Sb에서 선정된 원소가 선택적으로 첨가되거나, 또는 접하여 유지된다.

P, As, Sb에서 선정된 원소는, 해당 금속 원소를 게터링하기 위한 원소이다. 그밖에 게터링 원소로는, N을 들 수 있다. 이 의미에서 게터링 원소로는, 15족의 원소에서 선택된 것을 사용할 수 있다.

본 명세서에서 개시하는 발명은, 해당 금속 원소로서 니켈을 선택하고, 게터링 원소로서 P(인) 선택한 경우에 가장 높은 효과를 얻을 수 있다.

결정화를 조장하기 위한 금속 원소의 도입이나 게터링 원소의 도입 방법은, 이온 주입법, 용액을 사용한 확산법, 고체를 사용한 확산법, 스퍼터법이나 CVD 법으로 만든 막으로부터 확산시키는 방법, 플라즈마 처리법, 가스흡착법 등의 방법을 사용할 수 있다.

또, 이들 방법을 조합해서 이용할 수도 있다. 예컨대, 금속 원소의 도입을 용액을 사용한 방법으로 행하고, 게터링 원소의 도입을 확산에 의한 방법을 사용하여 행하는 등의 선택을 행할 수 있다.

## 발명의 구성 및 작용

도 1a 내지 도 1e에 발명의 구체적인 1예를 도시한다.

즉, 비정질 규소막(102)의 일부의 영역(개구 104 및 106이 형성된 영역)으로부터 다른 영역(109)으로 결정 성장을 행하는 공정이며,

결정화는 규소의 결정화를 조장하는 금속원소인 니켈의 이동에 따라서 행해지는 것이며,

상기 일부의 영역에는 상기 금속 원소의 이동의 시작이 형성되며,

상기 다른 영역에는 상기 금속 원소의 이동의 끝이 형성된다.

상기 결정 성장은 니켈의 확산원인 니켈을 포함한 산화규소막 패턴(107 및 108)으로부터, 니켈의 게터링 사이트인, 인이 도핑된 영역(109)으로 니켈 원소가 이동할 때 동시에 행해진다.

상기 구성에서는, 니켈의 확산과 니켈의 게터링이 동시에 행해지는 것이 특징이다.

(실시예 1)

도 1a 내지 도 1e 및 도 2a 내지 도 2c에 본 실시예의 제작 공정을 도시한다. 우선 코닝 1737 유리 기판(101)(왜곡점 667℃) 상에 비정질 규소막(102)을 감압열 CVD 법을 사용하여 50nm의 두께로 막을 만든다.

비정질 규소막의 막을 만드는 방법으로서, 감압열 CVD 법 이외에 플라즈마 CVD 법을 사용할 수 있다. 그러나 결정화 시에 장애로 되는 함유 수소의 함유 농도가 감압열 CVD 법으로 막을 만든 막 쪽이 적으므로, 보다 높은 결정성이나 재현성을 구한다면, 감압열 CVD 법을 사용하는 것이 바람직하다.

비정질 규소막(102)을 만들고, 질화규소막으로 구성된 마스크(103)를 형성한다. 여기에서는 우선 도시하지 않는 질화 규소막을 플라즈마 CVD 법에 의해 250nm의 두께로 만든다. 그리고, 그 막을 패터닝하여, 103으로 도시된 마스크를 형성한다.

이 마스크(103)엔 104, 105, 106으로 도시되는 개구가 형성되어 있다. 여기에서, 104와 106의 개구는, 규소의 결정화를 조장하는 금속 원소인 니켈을 도입하기 위한 것이다. 다른 한편, 105의 개구는 니켈을 제거하기 위한 게터링 사이트를 형성하기 위한 것이다.

마스크(103)를 배치하여 도 1a에 도시된 상태를 얻으면, 다음에 니켈을 함유시킨 산화규소막을 만든다. 이 산화규소막은 산화규소계 피막 형성용 도포액을 도포하고 그것을 소성함으로써 형성한다.

여기에서는, 산화규소계 피막 형성용 도포액으로서, 동경 옹화 공업(주)의 OCD(Ohka Caat Diffusion-Source)의 Type-1(비도핑 유형)을 사용한다. 니켈은 중량 환산으로 100ppm의 농도가 되게 OCD 용액에 함유시킨다.

이 니켈을 함유시킨 산화규소막의 막 두께는 300nm로 한다. 니켈을 함유시킨 산화규소막을 만들면, 그 막을 패터닝하고, 도 1b의 107 및 108의 패턴을 형성한다.

이 산화규소막의 패턴(107 및 108)이 니켈의 확산원(擴散源)이 된다. 니켈의 확산원으로선, 니켈 박막을 집적 만드는 것이어도 좋다. 또, 니켈 이온의 주입을 행하는 것이어도 좋다.

다음에 인의 도핑을 플라즈마 도핑법(또는 이온 주입법)을 써서 행한다. 이 공정에서는, 인 이온이 산화규소막 패턴(107, 108) 및 질화규소막으로 된 마스크 패턴(103)에 의해서 차폐되며, 비정질 규소막(102)의 109로 도시하는 영역에 선택적으로 도핑된다(도 1b).

여기에서는, 도핑으로 인을 도입하는 예를 나타내었지만, 예컨대 PSG 막이나 인을 함유한 비정질 규소막을 만들고, 인이 109로 도시된 영역에 접해서 유지되는 구성으로 해도 좋다. 인 대신에 As나 Sb를 쓸 수도 있다.

다음에 580℃, 8시간의 가열 처리를 실시한다. 이 공정에서는 산화규소막 패턴(107 및 108)으로부터 니켈 원소가 비정질 규소막(102) 중으로 확산한다. 그리고 이 니켈의 확산에 따라, 결정화가 진행된다.

다른 한편, 인이 도핑된 영역(109)에서는, 확산하여 온 니켈이 인과 결합하고, 그곳에서 고정화된다.

인과 니켈은, 다양한 결합 상태를 가지며, 또 그 결합 상태는 어느 것이라도 견고하다. 다른 한편으로, 인은 800℃ 이상의 온도가 아니면 규소막 안을 확산하는 일이 없다.

따라서, 전체로서 보면 도 1c의 110 및 111로 도시된 경로로 확산한 니켈은, 영역(109)에서 인과 결합하며, 그곳에서 고정화된다.

그리고 이 니켈의 확산을 따라서 비정질 규소막(102)은 결정화한다. 이 결정화는, 도 1c에 110 및 111로 도시된 경로로 진행된다.

이 결정화 공정에서의 가열 온도는, 450℃ 내지 800℃, 양호하게는 500℃ 내지 750℃의 범위에서 선택하는 것이 바람직하다.

이 온도 범위보다 가열 온도가 낮으면 니켈의 확산에 따라 결정화의 작용이 적어져 버린다.

또한, 상기 온도 범위보다 가열 온도가 높으면, 니켈 확산과 더불어, 인의 확산 효과도 나타나, 니켈을 특정 영역에 고정화시킨다는 효과가 약해지고 만다.

여기에서의 가열 처리는, 일반적으로 저항 가열식의 히터를 구비한 가열 노를 사용하여 행하면 좋다. 그러나 적외광의 조사에 의한 가열을 행해도 좋다.

110이나 111로 도시된 경로로 행해지는 결정 성장은, 막 면에 평행인 방향으로 행해지는 특이한 것으로 된다. 이 결정 성장을 특히 가로 성장이라 칭한다.

가로 성장한 영역은 니켈이 통과한 때 결정화가 진행한 영역이라고 볼 수 있다.

또, 이 영역은 니켈이 지나쳐버린 영역이라고 볼 수도 있다.

결정화에 기여한 니켈은, 영역(109)에 집중해서 고정화되므로, 가로 성장이 행해진 영역에 거의 잔류하지 않는다.

즉, 가로 성장한 영역에 관해서 말하면, 니켈의 확산에 의한 결정화와, 니켈 제거가 동시에 행해지게 된다.

도 1c에 도시된 결정화 공정이 종료되면, 산화규소막 패턴(107 및 108)을 제거한다. 그리고 또한 질화규소막으로 된 마스크(103)를 제거한다.

그리고 잔존한 규소막을 패터닝하고, 도 1d의 112 및 113으로 도시하는 패턴을 형성한다. 이들 패턴은 가로 성장이 행해진 영역을 이용하여 형성한다.

본 실시예에서는, 112로 도시하는 패턴이 P 채널형의 TFT의 활성층이 된다. 또, 113로 도시하는 패턴이 N 채널형의 TFT의 활성층이 된다.

다음에 게이트 절연막이 되는 산화규소막(114)을 플라즈마 CVD 법에 의해, 100nm의 두께로 만든다(도 1e).

다음에 도시하지 않은 알루미늄막을 400nm 두께로 만들고, 다시 이 알루미늄막을 패터닝함으로써, 도 1e의 115 및 116으로 도시하는 패턴을 형성한다.

이들 알루미늄 패턴은, 각 TFT의 게이트 전극이 된다. 다음에 이 게이트 전극 패턴을 양극으로 한 양극 산화를 행함으로써, 양극 산화막(117 및 118)을 형성한다. 이 양극 산화막의 막 두께는 70nm로 한다. 그래서 도 1e에 도시하는 상태로 된다.

이 양극 산화막은, 후의 공정에서, 히록이나 위스커라고 불리는 돌기물이 형성되는 것을 물리적으로 억제하는 효과가 있다.

다음에 전체에 인 도핑을 플라즈마 도핑법으로 행한다. 이 공정에서, 도 2a 에 도시하듯이 119, 121, 122, 124의 영역에 인으로 도핑이 행해진다. 또, 120, 123의 영역에는 도핑이 행해지지 않는다.

다음에 도 2b에 도시하듯이 레지스트 마스크(125)를 형성한다. 그리고 이번에는 붕소 도핑을 플라즈마 도핑법으로 행한다.

이 공정에서는 앞의 인 도핑 시보다 도즈량을 많게 한 조건으로 한다. 그리고 126 및 127의 영역의 도전형을 반전시킨다.

이렇게 하여, N형의 영역(122, 124) 및 P형의 영역(126, 127)을 형성한다.

122는 N 채널형의 TFT의 드레인 영역이 된다. 또, 124는 N 채널형 TFT의 소스 영역이 된다. 또, 123의 영역은 N 채널형 TFT의 채널 영역이 된다.

또, 126은 P 채널형 TFT의 소스 영역이 된다. 또, 127은 P 채널형 TFT의 드레인 영역이 된다. 또, 120의 영역은 P 채널형 TFT의 채널 영역이 된다.

다음에 도 2c에 도시하듯이 층간 절연막으로 질화규소막(128)을 플라즈마 CVD 법으로 250nm의 두께로 만든다. 또한, 층간 절연막으로서, 아크릴 수지막(129)을 만든다. 아크릴 수지막의 막 두께는 최소 부분에서 700nm가 되게 한다.

아크릴 수지막을 사용하는 것은, 그 표면을 평탄하게 할 수 있기 때문이다. 아크릴 이외로는 폴리이미드, 폴리아미드, 폴리이미드아미드, 에폭시 등의 재료를 쓸 수 있다.

층간 절연막을 형성하면, 콘택트 홀을 형성하고, P 채널형 TFT(PTFT)의 소스 전극(130)과 드레인 전극(131)을 형성한다.

또한, N 채널형 TFT(NTFT)의 소스 전극(133)과 드레인 전극(132)을 형성한다.

이렇게 해서, P 채널형 TFT와 N 채널형 TFT를 동일 기판 상에 집적화해서 제조할 수 있다.

상기 실시예에서는 게이트 전극으로 알루미늄을 쓰는 경우의 예를 들었지만, 그밖에 티타늄이나 규소 재료, 또는 각종 실리사이드 재료를 써서 게이트 전극을 구성할 수 있다.

본 실시예에서는, TFT의 형식으로 톱 게이트형의 경우의 예를 도시했다. 그러나, 게이트 전극이 활성층의 하측(기판측)에 있는 바텀 게이트형의 TFT에도 본 명세서에서 개시하는 발명을 이용할 수 있다.

이 경우는, 게이트 전극을 형성한 후에 비정질 규소막을 만드는 제조 순서로 된다.

(실시예 2)

이 실시예는 실시예 1에서의 비정질 규소막의 결정화를 조장하는 금속 원소의 니켈(Ni)이 함유된 용액을 스핀코트법으로 도포함으로써 첨가하는 예이다.

도 3a 내지 도 3e에 이 실시예의 제작 공정을 도시한다. 우선, 실시예 1과 마찬가지로, 코닝 1737 유리 기판(왜곡점 667°C)(301) 상에 비정질 규소막(302)을 감압 CVD 법으로써 50nm의 두께로 만든다.

비정질 규소막(302)을 만들면 여기에 우선 도시하지 않은 산화규소막을 플라즈마 CVD 법으로 150nm의 두께로 만든다. 그리고, 그 막을 패터닝함으로써 303으로 도시되는 산화규소막 패턴을 형성한다.

이 산화규소막 패턴(303)에는 304, 305로 도시되는 개구가 형성된다. 이들 개구(304, 305)는 니켈을 제거하기 위한 P(인)의 첨가 영역을 선택하기 위한 것이다.

산화규소막 패턴(303)을 배치하고 도 3a에 도시하는 상태를 얻으면, 다음에 인의 첨가를 플라즈마 도핑법(또는 이온 주입법)을 써서 행한다. 이 공정에서는, 인 이온이 산화규소막 패턴(303)에 의해 차폐되고, 산화규소막 패턴의 개구부(304, 305)으로부터 비정질 규소막(302)의 306, 307로 도시하는 영역에 선택적으로 도핑된다.

인을 도핑하면, 산화금속막 패턴(303)을 다시 패터닝하고, 개구부(304, 305)에 덧붙여, 새로이 개구부(308)를 형성한다.

이 개구부(308)는 비정질 규소막(302)의 결정화를 조장하는 금속 원소인 니켈을 도입하기 위한 것이다.

개구부(304, 305, 308)를 갖는 산화규소막 패턴(303)을 배치하고 도 3b에 도시하는 상태를 얻게 된 니켈을 함유한 용액(10ppm)을 스핀코트법으로 도포하고, Ni 함유 영역층(310)을 형성한다(도 3c).

잔류 니켈의 게터링에는 니켈의 농도에 비교해서 인 원소의 농도가 1자리 이상 높아지는 조건을 설정하는 것이 바람직하다. 이 실시예에서는, 게터링 공정을 행하지 않는 경우에는 결정성 규소막(302)에 잔류하는 니켈의 농도는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이므로, 인 원소는 막 중에 최저라도  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 정도 이상 잔류하게 설정한다.

촉매 원소의 첨가 공정이 종료되면, 불활성 분위기, 수소 분위기 또는 산소분위기 중에서, 450 내지 800 °C(대표적으로는 500 내지 750 °C)의 온도로 4 내지 24 시간 가열 처리를 가하여 비정질 규소막(302)의 결정화를 행한다. 이 실시예에서는 질소 분위기 하에서 570°C, 4 내지 8 시간의 가열 처리를 한다.

이 공정에서는 상기 영역(310)으로부터 비정질 규소막(302) 중에 니켈이 확산된다. 그리고 이 니켈의 확산에 따라, 도 3d의 화살표(311, 312)의 방향으로 결정화가 진행된다.

다른 한편, 인이 도핑된 영역(306, 307)에서는, 확산된 니켈이 인과 결합하고, 그곳에서 고정화된다.

인과 니켈은, 다양한 결합상태를 가지며, 또, 그 결합 상태는 어느 것이나 견고하다.

450°C보다 가열 온도가 낮으면 니켈의 확산에 따르는 결정화의 작용이 적어진다.

또 800°C보다 가열 온도가 높으면, 니켈의 확산에 덧붙여, 인의 확산 효과도 나타나서, 니켈을 특정 영역에 고정화시킨다는 효과가 약해진다.

여기에서의 가열 처리는, 일반적으로 저항가열식의 히터를 구비한 가열 노를 써서 행하면 된다. 그러나, 적외광의 조사에 의해 가열해도 좋다.

311이나 312로 도시되는 경로로 행해지는 결정 성장은 실시예 1과 마찬가지로 가로 성장으로 된다.

결정화에 기여한 니켈은, 영역(306, 307)에 집중해서 고정화되므로, 가로 성장이 행해진 영역에 거의 잔류하지 않는다.

즉, 가로 성장한 영역에 관해서 말하자면, 니켈의 확산에 의한 결정화와 니켈 제거가 동시에 행해지게 된다.

따라서, 전체로서 본다면, 도 3d의 311 및 312로 도시되는 것 같은 경로로 확산한 니켈은, 영역(306, 307)에서 인과 결합하고, 고정화된다.

또, 니켈의 비정질 규소막(302)으로의 첨가 농도에 비교해서 인 원소의 첨가 농도가 1자리 이상 높아지는 조건을 설정함으로써, 도 3d에서의 인 첨가 영역(306, 307)에 첨가된 니켈은, 비정질 규소막(302) 중에 확산하지 않고, 인 첨가 영역(306, 307) 중에서 게터링된다.

도 3d에 도시하는 결정화의 공정이 종료되면, 산화규소막 패턴(303)을 제거하고, 잔존한 규소막을 패터닝하는 것에 의해 도 3e의 313, 314로 도시하는 패턴을 형성한다.

규소막을 패터닝하면, 그 후의 공정은 실시예(1)나 다른 공지의 방법에 따라 TFT를 제조한다.



## (실시예 3)

이 실시예는 TFT를 이용한 각종 장치의 예를 도시한다. 도 5에 도시하는 것은 TFT를 이용한 반도체 회로의 마이크로프로세서의 일예와, 그 일부를 확대한 N형 TFT와 P형 TFT의 상보형 TFT이다.

세라믹 기판(501) 상에는 절연막(502)이 형성되고, 기판과 소자가 절연 분리되어 있다. 그리고 그 위에 I/O 포트(503 내지 505), CPU(506), 캐시 메모리(507), 캐시 어드레스 어레이(508), 승산기(509), 리얼 타임 클럭, 시리얼 인터페이스, 타이머 등을 포함하는 회로(510), 클럭 제어 회로(511), 캐시 제어기(512), 버스 제어기(513)가 형성된다.

본 명세서에서 개시하는 박막 트랜지스터는 각종 플랫 패널 디스플레이나 플랫 패널 디스플레이를 구비한 정보 처리 단말이나 비디오 카메라 등에 이용할 수 있다. 본 명세서에서는 이들 장치도 총칭해서 반도체 장치라고 한다.

이하에서 각종 장치의 구체적인 구성의 예를 나타낸다. 도 4a 내지 도 4f에 각종 반도체 장치의 예를 나타낸다. 이들 반도체 장치는 TFT를 적어도 일부에 쓰고 있다.

도 4a에 도시하는 것은 휴대형의 정보 처리 단말기이다. 이 정보 처리 단말기는 본체(2001)에 액티브 매트릭스형의 액정 디스플레이 또는 액티브 매트릭스형의 EL 디스플레이를 구비하며, 또한, 외부로부터 정보를 입력하기 위한 카메라부(2002)를 구비하고 있다. 또, 내부에 집적 회로(2006)를 구비하고 있다.

카메라부(2002)엔 수상부(2003)과 조작 스위치(2004)가 배치되어 있다.

정보 처리 단말기는 금후 더욱더 그 휴대성을 향상시키기 위해서 얇고 또 가볍게 될 것으로 생각된다.

이 같은 구성에서는 액티브 매트릭스형의 디스플레이(2005)가 형성된 기판 상에 또한 주변 구동 회로와 연산 회로나 기억 회로도 TFT로 집적화되는 것이 바람직하다.

도 4b에 도시하는 것은 헤드마운트 디스플레이이다. 이 장치는 액티브 매트릭스형의 액정 디스플레이 또는 다른 디스플레이(2102)를 본체(2101)에 구비하고 있다. 또, 본체(2101)는 밴드(2103)로 머리에 장착할 수 있게 되어 있다.

도 4c에 도시하는 것은 자동차 내비게이션 시스템이다. 이 장치는 인공위성에서의 신호를 안테나(2204)로 받고, 그 신호에 따라 본체(2201)에 구비된 액티브 매트릭스형의 액정 디스플레이(2202)에 지리 정보를 표시하는 기능을 갖고 있다.

디스플레이(2202)로선 EL 형의 표시 장치를 채용할 수도 있다. 어느 경우에도 디스플레이는 TFT를 이용한 액티브 매트릭스형의 플랫 패널 디스플레이로 한다.

또, 본체(2201)에는 조작 스위치(2203)가 구비되어 있어 각종 조작을 할 수 있다.

도 4d에 도시하는 것은 휴대 전화이다. 이 장치는 본체(2301)에 액티브 매트릭스형의 액정 표시 장치(2304), 조작 스위치(2305), 음성 입력부(2303), 음성 출력부(2302), 안테나(2306)를 구비하고 있다.

최근엔 도 4a에 나타내는 휴대형 정보처리 단말기와 도 4d에 나타내는 휴대전화를 조합한 것과 같은 구성도 상품화되어 있다.

도 4e에 도시하는 것은 휴대형 비디오 카메라이다. 이는, 본체(2401)에 수상부(2406), 음성 입력부(2403), 조작 스위치(2404), 액티브 매트릭스형의 액정 디스플레이(2402), 배터리(2405)를 구비하고 있다.

도 4f에 도시하는 것은 배면투사형의 액정 표시 장치이다. 이 구성은 본체(2501)에 투사용의 스크린을 구비한 구조로 되어 있다. 표시는 광원(2502)에서의 광을 편광 빔 스플리터(2504)로 분리하고, 이 분리된 광을 반사형의 액정 표시 장치(2503)로 광학 변조하여, 이 광학 변조된 화상을 반사해서 리플렉터(2505, 2506)로 반사하고 그것을 스크린(2507)에 투영하는 것이다.

여기에서는 액정 표시 장치(2503)로서 반사형의 것을 쓰는 예를 나타내었다. 그러나, 투과형의 액정 표시 장치를 써도 좋다. 이 경우 광학계를 변경하면 좋다.

(실시예 4)

이 실시예는 다른 실시예의 구성에서 규소막 대신에  $\text{Si}_x\text{Ge}_{1-x}$  ( $0.5 < x < 1$ )로 나타내어진 막을 쓰는 경우의 예이다.

이 명세서에서 개시하는 발명에서는, 규소 단체가 아니고 규소를 주성분으로 하는 화합물 막을 사용할 수도 있다. 이 경우, 실시예 1의 구성에서 비정질 규소막 대신에 규소를 주성분으로 한 비정질막을 쓰면 된다.

또한, 규소를 주성분으로 하는 막이라는 것은 규소 성분을 적어도 반 이상 포함하고 있는 막을 말한다.

예컨대, 실시예 1의 경우는 102로 비정질 규소막을  $\text{Si}_x\text{Ge}_{1-x}$  ( $0.5 < x < 1$ )로 나타내어진 막으로 할 수 있다.

(실시예 5)

이 실시예는 실시예 2에 나타내는 구성에서, 니켈 원소의 도입 방법을 고안한 경우의 예이다.

이 실시예에서는, 도 3a에서의 303 및 304의 개구부에, 니켈을 포함한 용액을 비정질 규소막의 표면에 접해서 유지시킨다.

구체적으로는 우선 개구부(303 및 304)의 부분을 레지스트 등으로 마스크해두고, 308의 영역에 인을 도핑한다.

그리고 개구부(303 및 304) 부분의 마스크를 제거하고, 별도 개구부(308)의 영역을 산화규소막 등으로 마스크한다.

이 상태에서 니켈아세트산염 용액을 도포한다. 이렇게 함으로써, 개구부(303 및 304)에서, 니켈이 비정질 규소막의 표면에 접해서 유지된 상태가 얻어진다.

다음에 가열 처리를 실시하여, 도 1c에 도시하는 결정 성장이 행해진다.

여기에서는 니켈의 도입 방법으로, 용액을 사용하는 예를 나타내지만, 그밖에 스퍼터법이나 CVD 법으로 니켈막 또는 니켈을 포함하는 막을 만드는 방법을 사용해도 좋다.

(실시예 6)

이 실시예는 실시예 1에 나타내는 제조 공정에서 또한 규소막 중에서의 니켈 원소의 제거 공정을 가한 경우의 예이다.

이 실시예에서는 도 1a 내지 도 1e에 도시하는 제작 공정에서 기판(101)으로 유리 기판을 사용한다.

그리고, 도 1c에 도시된 인이 도핑된 109의 영역에 대한 니켈의 게터링이 종료된 후, 산소를 97 체적%, HCl을 3 체적% 함유한 분위기 중에서 가열 처리를 가한다. 이 가열 처리는 950℃, 30분의 조건으로 행한다. HCl 이외엔 예컨대  $\text{POCl}_3$  가스를 이용할 수도 있다.

이때, 막안으로부터 염화니켈의 상태로 니켈 원소가 기화하고, 외부로 제거된다.

이래서, 규소막 중에서 니켈 원소를 외부로 제거할 수 있다. 다음은 도 1d에 도시하듯이 규소막을 패터닝하고 TFT를 제조한다.

(실시예 7)

이 실시예는 실시예 1에 나타낸 제조 공정의, 도 1e에 나타내는 공정에서, 게이트 절연막의 제조 공정에 열산화 공정을 이용한 경우의 예이다.

이 실시예에서는 기판(101)으로 유리 기판을 사용한다. 그리고 도 1e에 도시하는 공정에서 플라즈마 CVD 법에 의해 산화규소막(114)을 만든 후에 열산화법에 의해 다시 활성층 패턴의 표면에 열산화막을 형성한다.

여기에서는, 산화규소막(114)을 30nm 두께로 만든 후, 산소를 97 체적%, HCl을 3 체적% 함유한 분위기 중에서 가열 처리를 950℃, 30분의 조건으로 행한다.

이때, 열산화막은 30nm의 두께로 성장한다. 이래서 두께 60nm의 열산화막이 형성된다.

이같이 하면, 활성층과 게이트 절연막과의 계면상태를 양호하게 할 수 있고 높은 특성을 갖는 TFT를 얻을 수 있다.

### 발명의 효과

이 명세서에서 개시하는 발명에서는,

- (1) 비정질규소막에 결정화를 조장하는 금속 원소의 확산원과 해당 금속 원소의 게터링 사이트를 선택적으로 형성한다.
- (2) 결정화 시에 상기 확산원으로부터 게터링 사이트로 해당 금속 원소를 이동시킴으로써 결정화를 행한다.
- (3) 상기 확산원과 게터링 사이트를 제거하고, 해당 금속 원소의 통과에 수반하여 결정화한 영역을 활성층으로서 사용한다는 구성을 기본적으로 채용한다.

이렇게 함으로써, 규소의 결정화를 조장하는 금속 원소를 이용하여 얻어지는 결정성 규소막을 사용하여 제작된 TFT에서, 그의 특성에 해당 금속 원소의 악영향이 미치는 것을 억제할 수 있다.

또, 본 명세서에서 개시하는 발명은, 상기 효과를 얻는 것이 간략화된 제조 공정으로부터 얻어진다는 특징을 갖고 있다.

### (57) 청구의 범위

#### 청구항 1.

반도체 장치를 제조하는 방법에 있어서:

기판 위에 반도체 막을 형성하는 단계와;

상기 반도체 막의 제 1 영역들에 접하여, 상기 반도체 막의 결정화를 조장하는 금속 원소를 선택적으로 도입하는 단계와;

상기 반도체 막의 적어도 하나의 제 2 영역에 게터링 원소(gettering element)를 선택적으로 도입하는 단계와;

상기 기판에 평행한 측면 방향으로 상기 반도체 막을 결정화하기 위해 상기 반도체 막을 가열하는 단계로서, 이에 의해 상기 금속 원소가 상기 제 1 영역들에서 상기 제 2 영역으로 이동되는, 상기 가열 단계를 포함하며,

상기 제 2 영역은 상기 제 1 영역들 사이에 위치되는, 반도체 장치 제조 방법.

#### 청구항 2.

반도체 장치를 제조하는 방법에 있어서:

기판 위에 반도체 막을 형성하는 단계와;

상기 반도체 막을 게터링 원소를 선택적으로 도입하는 단계와;

상기 반도체 막에 접하여, 상기 반도체 막의 결정화를 조장하는 금속 원소를 선택적으로 도입하는 단계와;

상기 기관에 평행한 측면 방향으로 상기 반도체 막을 결정화하기 위해 상기 반도체 막을 가열하는 단계로서, 이에 의해 상기 금속 원소가 상기 금속 원소가 도입된 영역들에서 상기 게터링 원소가 도입된 영역들로 이동되는, 상기 가열 단계를 포함하며,

상기 게터링 원소가 도입된 영역들 중 하나는 상기 금속 원소가 도입된 영역들 사이에 위치되는, 반도체 장치 제조 방법.

### 청구항 3.

반도체 장치를 제조하는 방법에 있어서:

기관 위에 반도체 막을 형성하는 단계와,

상기 반도체 막의 제 1 영역들에 접하여, 상기 반도체 막의 결정화를 조장하는 금속 원소를 선택적으로 도입하는 단계와;

상기 반도체 막의 적어도 하나의 제 2 영역에 게터링 원소를 선택적으로 도입하는 단계와;

상기 제 1 영역들에서 상기 제 2 영역으로 측면 방향으로 상기 반도체 막을 결정화하기 위해 상기 반도체 막을 가열하는 단계로서, 이에 의해 상기 금속 원소가 상기 제 1 영역들에서 상기 제 2 영역으로 이동되는, 상기 가열 단계를 포함하며,

상기 제 2 영역은 상기 제 1 영역들 사이에 위치되는, 반도체 장치 제조 방법.

### 청구항 4.

반도체 장치를 제조하는 방법에 있어서:

기관 위에 반도체 막을 형성하는 단계와;

상기 반도체 막에 게터링 원소를 선택적으로 도입하는 단계와;

상기 반도체 막에 접하여, 상기 반도체 막의 결정화를 조장하는 금속 원소를 선택적으로 도입하는 단계와;

상기 금속 원소가 도입된 영역들에서 상기 게터링 원소가 도입된 영역들로 측면 방향으로 상기 반도체 막을 결정화하기 위해 상기 반도체 막을 가열하는 단계로서, 이에 의해 상기 금속 원소가 상기 금속 원소가 도입된 영역들에서 상기 게터링 원소가 도입된 영역들로 이동되는, 상기 가열 단계를 포함하며,

상기 게터링 원소가 도입된 영역들 중 하나는 상기 금속 원소가 도입된 영역들 사이에 위치되는, 반도체 장치 제조 방법.

### 청구항 5.

반도체 장치는 제조하는 방법에 있어서:

기관 위에 반도체 막을 형성하는 단계와;

상기 반도체 막의 제 1 영역들에 접하여, 상기 반도체 막의 결정화를 조장하는 금속 원소를 선택적으로 도입하는 단계와;

상기 반도체 막의 적어도 하나의 제 2 영역에 게터링 원소를 선택적으로 도입하는 단계와;

상기 기관에 평행한 측면 방향으로 상기 반도체 막을 결정화하기 위해 상기 반도체 막을 가열하는 단계로서, 이에 의해 상기 금속 원소가 상기 제 1 영역들에서 상기 제 2 영역으로 이동되는, 상기 가열 단계와;

상기 제 1 및 제 2 영역들을 제외하고 적어도 하나의 반도체 섬(island)을 형성하기 위해 결정성 반도체 막을 패터닝하는 단계를 포함하며,

상기 제 2 영역은 상기 제 1 영역들 사이에 위치되는, 반도체 장치 제조 방법.

## 청구항 6.

반도체 장치를 제조하는 방법에 있어서:

기판 위에 반도체 막을 형성하는 단계와;

상기 반도체 막에 게터링 원소를 선택적으로 도입하는 단계와;

상기 반도체 막에 접하여, 상기 반도체 막의 결정화를 조장하는 금속 원소를 선택적으로 도입하는 단계와;

상기 기판에 평행한 측면 방향으로 상기 반도체 막을 결정화하기 위해 상기 반도체 막을 가열하는 단계로서, 이에 의해 상기 금속 원소가 상기 금속 원소가 도입된 영역들에서 상기 게터링 원소가 도입된 영역들로 이동되는, 상기 가열 단계와;

상기 금속 원소가 도입된 상기 영역들 및 상기 게터링 원소가 도입된 상기 영역들을 제외하고 적어도 하나의 반도체 섬을 형성하기 위해 결정성 반도체 막을 패터닝하는 단계를 포함하며,

상기 게터링 원소가 도입된 영역들 중 하나는 상기 금속 원소가 도입된 영역들 사이에 위치되는, 반도체 장치 제조 방법.

## 청구항 7.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 금속 원소로, Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au, Ge, Pb 및 In에서 구성된 그룹으로부터 선택된 하나 또는 복수의 원소인, 반도체 장치 제조 방법.

## 청구항 8.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 게터링 원소는 P, As, Sb로 구성된 그룹으로부터 선택되는, 반도체 장치 제조 방법.

## 청구항 9.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 반도체 막은 비정질 실리콘을 포함하는, 반도체 장치 제조 방법.

## 청구항 10.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

할로젠 원소를 포함하는 분위기에서 가열처리를 행하는 단계를 더 포함하는, 반도체 장치 제조 방법.

### 청구항 11.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 반도체 막은 실리콘 및 게르마늄을 포함하는, 반도체 장치 제조 방법.

### 청구항 12.

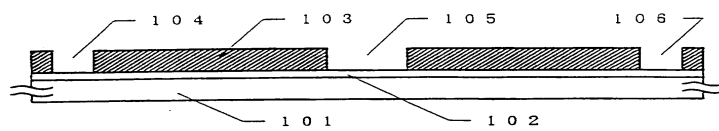
제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

적어도 하나의 반도체 섬을 형성하도록 상기 반도체 막을 패터닝하는 단계와;

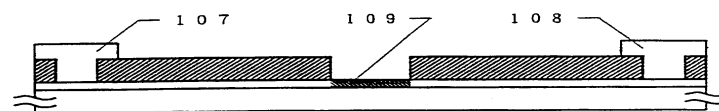
게이트 절연막을 사이에 두고 상기 반도체 섬에 인접하게 게이트 전극을 형성하는 단계를 더 포함하는, 반도체 장치 제조 방법.

### 도면

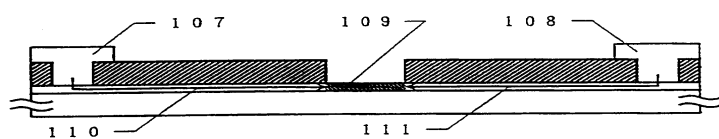
도면1a



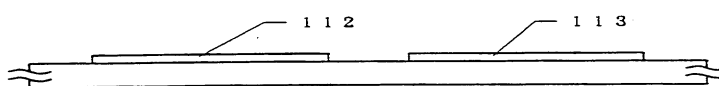
도면1b



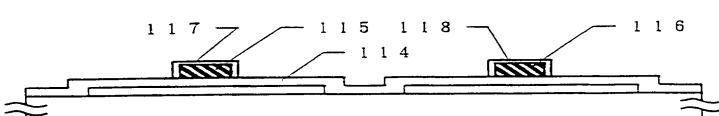
도면1c



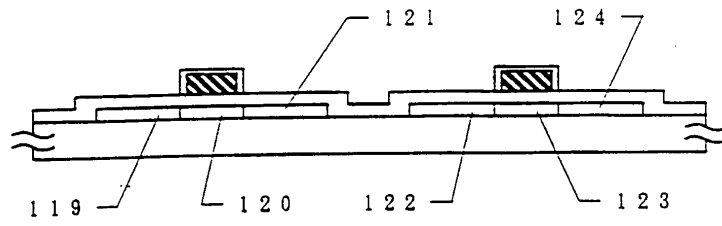
도면1d



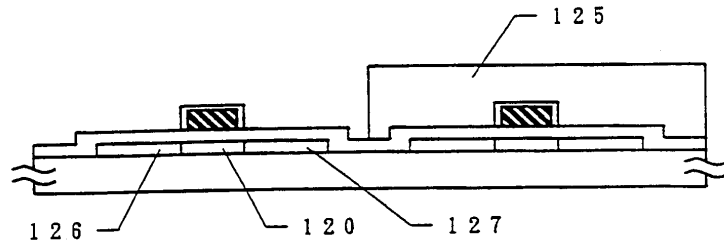
도면1e



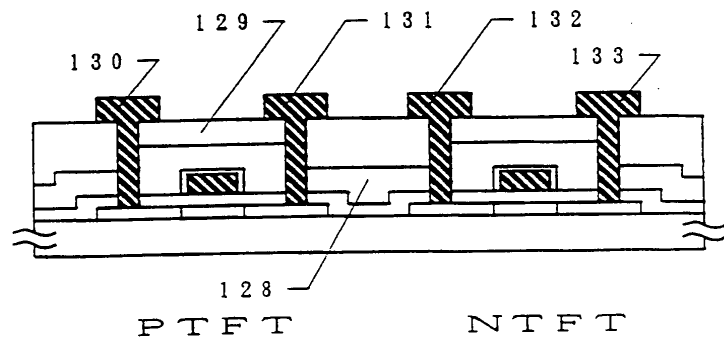
도면2a



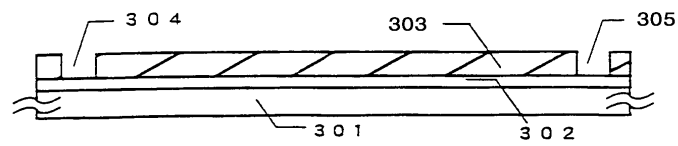
도면2b



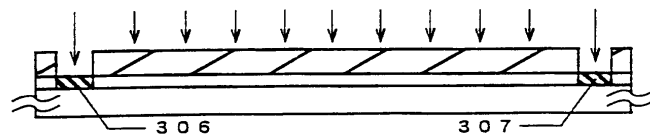
도면2c



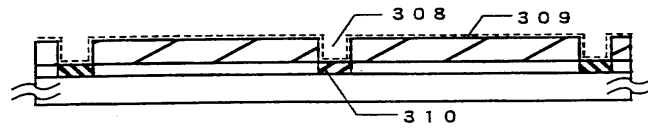
도면3a



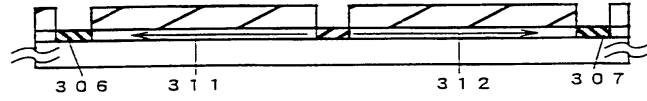
도면3b



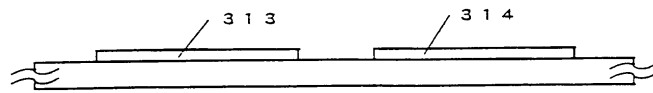
도면3c



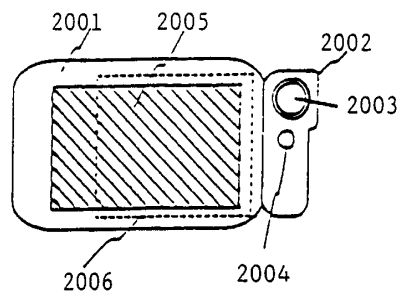
도면3d



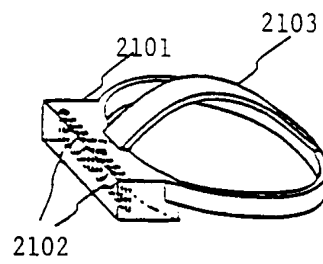
도면3e



도면4a

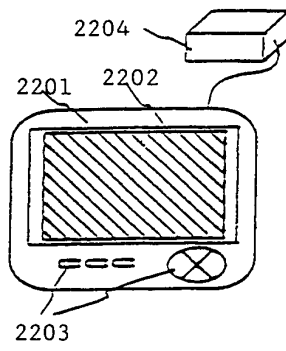


도면4b

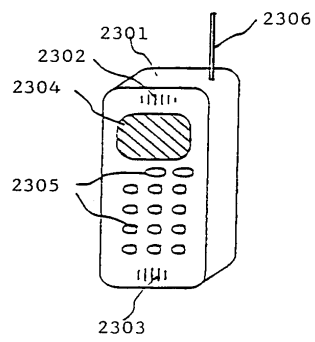




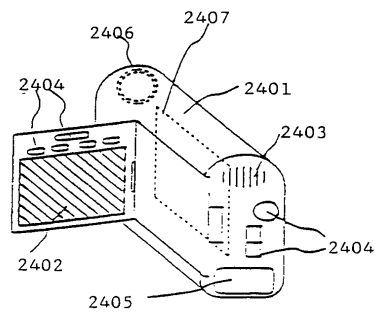
도면4c



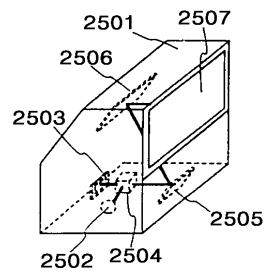
도면4d



도면4e



도면4f



도면5

