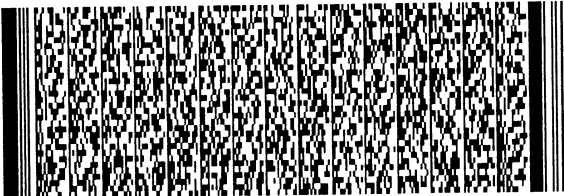


# 公告本

申請日期：90.8.30	案號：90121523
類別：H01L 21/31	

(以上各欄由本局填註)

發明專利說明書		495880
一、 發明名稱	中文	一種修復低介電常數材料層的方法
	英文	METHOD OF REPAIRING A LOW DIELECTRIC CONSTANT MATERIAL LAYER
二、 發明人	姓名 (中文)	1. 張鼎張 2. 劉柏村 3. 莫亦先
	姓名 (英文)	1. Chang, Ting-Chang 2. Liu, Po-Tsun 3. Mor, Yi-Shien
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市香山區埔前里五鄰牛埔南路一四二巷八弄六號四樓 2. 新竹市新莊街七十九巷十一號六樓 3. 臺北市民生東路四段一二四號三樓
三、 申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路三號
	代表人 姓名 (中文)	1. 曹興誠
代表人 姓名 (英文)	1.	
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

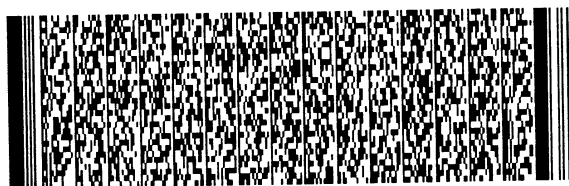
## 發明之領域

本發明提供一種修復一低介電常數材料層的方法，尤其指一種利用一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類溶液消除該低介電常數材料層中之矽-氫氧 (Si-OH) 鍵，以修復該低介電常數材料層在一氧氣電漿灰化製程中所受到損害的方法。

## 背景說明

隨著半導體元件尺寸的日益縮小以及積體電路密度的不斷提高，伴隨而來的金屬導線間所產生的 RC 延遲效應 (RC delay effect) 已嚴重地影響到積體電路的運作效能，大大降低了積體電路的工作速度。尤其當製程線寬 (line width) 降到 0.25 微米，甚至 0.13 微米以下時，RC 延遲效應所造成的影響將更為明顯。

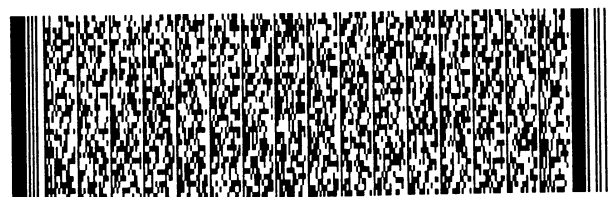
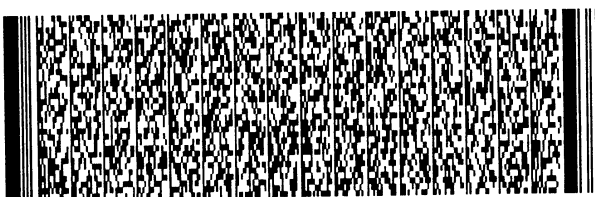
由於在金屬內連線間所產生的 RC 延遲效應所造成影響的程度與金屬導線的電阻值 (R) 及金屬導線間之介電層的寄生電容 (C) 的相乘積成正比，故可利用電阻值較低的金屬做為金屬導線，或者是降低金屬導線間介電層的寄生電容，以降低減少 RC 延遲效應。在降低電阻方面，使用純銅作為導線材料之銅連結線技術 (copper interconnect technology) 以取代傳統的鋁銅合金 (Al:Cu(0.5%)) 為主



## 五、發明說明 (2)

要材料的多重金屬化製程 (multilevel metallization process)，已成為勢在必行的趨勢。由於銅本身具有較低的電阻率 ( $1.67 \mu\Omega\text{-cm}$ )，並且可承載較高之電流密度而不致產生有鋁銅合金的電致遷移 (electro migration) 的問題，因此可以減少金屬導線間的寄生電容以及金屬導線的連結層數。但是單憑銅連結線技術，仍然無法大幅降低金屬導線間所產生的 RC 延遲效應，而且銅連結線技術亦有一些製程上的問題尚待解決，所以利用降低金屬導線間介電層之寄生電容來減少 RC 延遲效應的方法便日形重要。

由於介電層的寄生電容與介電層的介電常數 (dielectric constant,  $k$ ) 相關，因此介電層的介電常數越低，則形成於介電層中的寄生電容也就相對的越低。而傳統的二氧化矽其介電常數為 3.9，已漸漸無法滿足目前 0.13 微米以下之半導體製程的需求，是以一些新的低介電常數材料，例如聚醯亞胺 (polyimide, PI)、FLARE™、FPI、PAE-2、PAE-3 或 LOSP 等材料，在近年來已被陸續提出。然而這些低介電常數材料雖具有介於 2.6~3.2 之間的低介電常數值，但是這些一般主成分為碳氫氧之低介電材料，無論在與其他材料的附著力、蝕刻效果或是其本身的各項性質等方面，都與傳統的二氧化矽有明顯差異，而且其大部份有附著性不佳以及熱穩定性不足等缺點，因此目前尚無法妥善地整合於一般 IC 常用的製程。



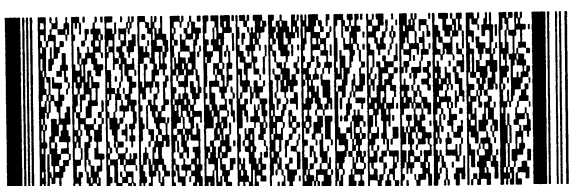
## 五、發明說明 (3)

因此，一些以二氧化矽為基礎然後於材料內再摻入一些碳氫等元素的低介電常數介電層，例如介電常數值為 2.8 的 HSQ (hydrogen silsesquioxane)、介電常數值為 2.7 的 MSQ (methyl silsesquioxane)、介電常數值為 2.5 的 HOSP (hybrid-organic-siloxane-polymer) 以及多孔性凝膠 (porous sol-gel) 等材料，由於其性質與傳統二氧化矽相去不遠，因此對目前習知的半導體製程有著較高的整合能力，而為日後所看好。

請參考圖一至圖三，圖一至圖三為習知去除光阻之方法示意圖。如圖一所示，一半導體晶片 10 表面包含一矽基底 12，以及一利用化學氣相沈積法 (chemical vapor deposition, CVD) 或旋塗方式 (spin-on) 形成於矽基底 12 表面，由 HSQ、MSQ、HOSP 或多孔性凝膠等以二氧化矽為基本結構 (SiO<sub>2</sub>-based) 之材料所構成之低介電常數材料層 14。

如圖二所示，首先於低介電常數材料層 14 上塗佈一光阻層 16，並於光阻層 16 中形成一圖案開口 18，以暴露出部份之低介電常數材料層 14。隨後經由圖案開口 18 乾蝕刻低介電常數材料層 14，以將光阻層 16 中之圖案轉移至低介電常數材料層 14 中。

之後如圖三所示，進行一去光阻製程，先利用一氧氣



## 五、發明說明 (4)

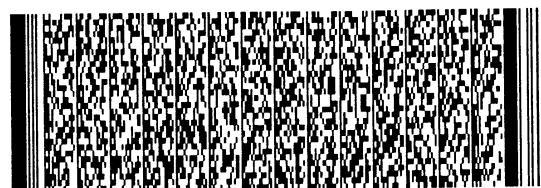
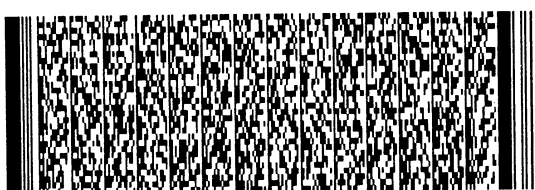
電漿灰化光阻層 16，使氧電漿與光阻層 16 中的碳、氫元素完全反應形成氣態的二氧化碳與水蒸氣。最後將半導體晶片 10 浸泡 (dipping) 於一光阻去除液中，以完全去除光阻層 16。

然而，在對由例如 HSQ、MSQ、HOSP 或多孔性凝膠等這些以二氧化矽為基本結構的低介電常數材料構成之介電層進行圖案轉移時，不論在蝕刻介電層或進行去光阻製程中，均會對介電層造成傷害。因為去光阻製程通常係同時使用乾式氧電漿灰化 (ashing) 製程與濕式去光阻液來去除光阻，故使得介電層表面的鍵結容易被氧電漿打斷，而與鹼性之去光阻液反應，使受損介電層表面形成容易吸附水氣的 Si-OH 鍵。由於水的介電常數值高達 78，因此在吸附水氣後，介電層的介電常數與漏電流皆會大幅上升，甚至會有毒害介層洞 (poison via) 的情形產生，嚴重影響產品的可靠度。

## 發明概述

因此本發明之主要目的在於提供修復一低介電常數材料層的方法，以解決上述習知方法中，低介電常數介電層的介電常數與漏電流大幅上升的問題。

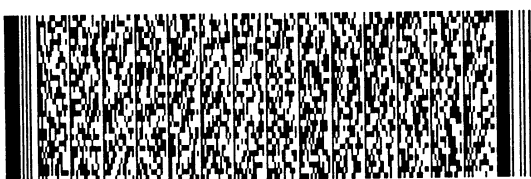
在本發明的最佳實施例中，一半導體晶片上包含有一



## 五、發明說明 (5)

二氧化矽架構 ( $\text{SiO}_2$ -based) 之低介電常數材料層。首先於該低介電常數材料層上進行一氫電漿 (hydrogen plasma) 處理步驟，以強化該低介電常數材料層。接著於該低介電常數材料層上塗佈一光阻層，並於該光阻層中形成一開口，以暴露出部份之該低介電常數材料層。隨後經由該開口乾蝕刻該低介電常數材料層，以將該光阻層中之圖案轉移至該低介電常數材料層中。最後進行一氧氣電漿灰化製程，以去除該光阻層，再利用一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類溶液接觸該低介電常數材料層，以消除由於該氧氣電漿灰化製程而存在於該低介電常數材料層中之矽-氫氧 ( $\text{Si-OH}$ ) 鍵，並修復該低介電常數材料層在該氧氣電漿灰化製程中所受到的損害，同時將該低介電常數材料層之表面改變成疏水性 (hydrophobic) 表面，以防止環境中水氣 (moisture) 的吸附。

由於本發明之製作方法係利用一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類溶液接觸該低介電常數材料層，因此可以消除由於該氧氣電漿灰化製程而存在於該低介電常數材料層中之矽-氫氧 ( $\text{Si-OH}$ ) 鍵，因而達到修復該低介電常數材料層在該氧氣電漿灰化製程中所受損害之目的。此外，本發明之製作方法可同時將該低介電常數材料層之表面改變成疏水性表面以防止環境中水氣的吸附，因此得以徹底解決習知製程所



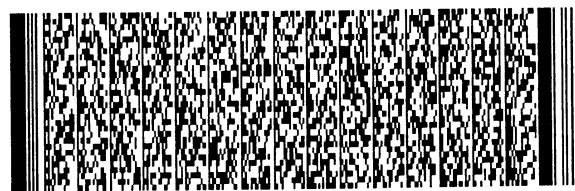
## 五、發明說明 (6)

導致低介電常數介電層之介電常數與漏電流皆大幅增加的問題。

## 發明之詳細說明

請參考圖四至圖七，圖四至圖七為本發明修復低介電常數材料層之方法示意圖。如圖四所示，一半導體晶片 40 包含一矽基底 42，以及一利用化學氣相沈積法 (chemical vapor deposition, CVD) 或旋塗方式 (spin-on) 形成於矽基底 42 表面，由 HSQ (hydrogen silsesquioxane)、MSQ (methyl silsesquioxane)、HOSP (hybrid-organic-siloxane-polymer) 或多孔性凝膠 (porous sol-gel) 等以二氧化矽為基本結構 ( $\text{SiO}_2$ -based) 之材料所構成之低介電常數材料層 44。

如圖五所示，首先利用一在 200 至 350°C 之溫度與 200 至 350 毫托耳 (mTorr) 之壓力下，藉由一流量為 200 至 350 標準立方公分每分鐘 (standard cubic centimeters per minute, sccm) 之氫氣，配合 90 至 150 瓦特 (Watts) 之無線電功率所形成之含氫電漿 (hydrogen plasma)，進行一含氫電漿處理步驟 (hydrogen-containing plasma treatment)，以強化低介電常數材料層 44。接著於低介電常數材料層 44 上塗佈一光阻層 46，再於光阻層 46 中形成一圖案開口 48，以暴露出部份之低介電常數材料層 44。隨後



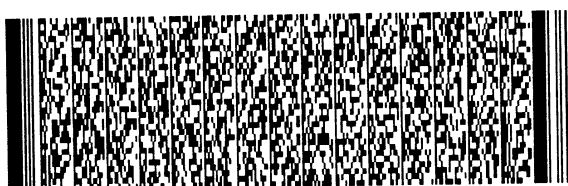


## 五、發明說明 (7)

如圖六所示，經由圖案開口 48 乾蝕刻低介電常數材料層 44，以將光阻層 46 中之圖案轉移至低介電常數材料層 44 中。

如圖七所示，進行一去光阻製程，先利用一氧氣電漿灰化光阻層 46，使氧電漿與光阻層 46 中的碳、氫元素完全反應形成氣態的二氧化碳與水蒸氣，再將半導體晶片 40 浸泡於一濕式去光阻液 (wet stripper) 中，以去除殘留在低介電常數材料層 44 表面的光阻層 46。此時由於氧電漿與去光阻液會損傷低介電常數材料層 44 表面，使低介電常數材料層 44 生成 Si-OH 鍵而吸附水氣，造成低介電常數材料層 44 之介電常數上升與漏電流問題。

之後對低介電常數材料層 44 進行一表面處理 (surface treatment)，亦即將半導體晶片 40 浸泡在一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類溶液中，或是將半導體晶片 40 置於一充滿該含烷基以及鹵素取代基蒸氣的環境中。通常該含烷基以及鹵素取代基之矽烷類溶液係為一體積百分比濃度小於 8% 之三甲基氯矽烷 (trimethylchlorosilane, TMCS) / 己烷溶液中，三甲基氯矽烷會與低介電常數材料層 44 的表面反應，而消除由於該氧氣電漿灰化製程而存在於低介電常數材料層 44 中之 Si-OH 鍵。上述之化學反應式如圖八所示，Si-OH 可於反應後形成 Si-OSi(CH<sub>3</sub>)<sub>3</sub>，且經過此化學反應步驟後，TMCS 不

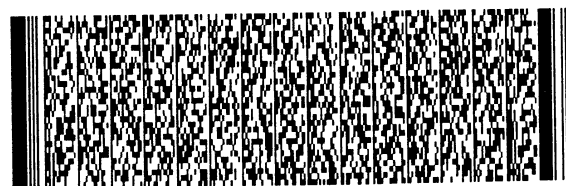
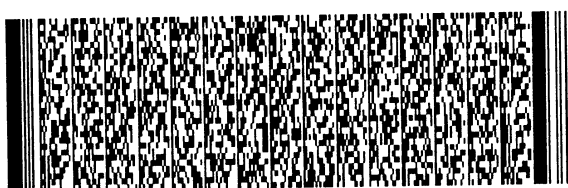


## 五、發明說明 (8)

但可消除低介電常數材料層 44 中的 Si-OH 鍵結以修復低介電常數材料層 44 在去光阻製程中所遭受到的損害，更可以使低介電常數材料層 44 原本的親水性表面改變為疏水性 (hydrophobic) 表面，以防止後續製程環境中水氣的吸附。最後進行一  $400^{\circ}\text{C}$ ，持溫 30 分鐘的熱烘烤 (hot baking) 製程，以去除殘留於低介電常數材料層 44 表面的 TMCS。

在本發明之另一實施例中，TMCS 可用其他單鹵素取代基 (mono-halo substituent) 之矽烷類代替，例如三甲基氯矽烷 (trimethylchlorosilane,  $\text{Si}(\text{CH}_3)_3\text{Cl}$ )、二甲基氯矽烷 (dimethylchlorosilane,  $\text{Si}(\text{CH}_3)_2\text{HCl}$ )、一乙基一氯矽烷 (ethylchlorosilane,  $\text{Si}(\text{C}_2\text{H}_5)\text{H}_2\text{Cl}$ )、一丙基一氯矽烷 (propylchlorosilane,  $\text{Si}(\text{C}_3\text{H}_7)\text{H}_2\text{Cl}$ )、一乙基一溴矽烷 (ethylbromosilane,  $\text{Si}(\text{C}_2\text{H}_5)\text{H}_2\text{Br}$ )、一丙基一溴矽烷 (propylbromosilane,  $\text{Si}(\text{C}_3\text{H}_7)\text{H}_2\text{Br}$ ) 等物質，亦可由上述物質組合而構成。

請參考圖九，圖九為多孔性凝膠介電層之紅外光光譜 (infrared spectroscopy)。如圖九所示，曲線 A、B 分別代表多孔性凝膠介電層在進行氧電漿去光阻製程前、後之紅外線光譜，曲線 C 則為多孔性凝膠介電層於進行氧電漿去光阻製程與 TMCS 處理後，所得之紅外線光譜。其中，吸收峰 1 代表 Si-OH 鍵之吸收峰，其吸收位置位於 3000 至

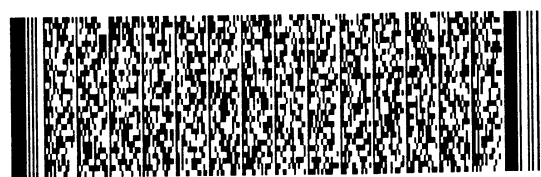


## 五、發明說明 (9)

3500 $\text{cm}^{-1}$ 的波長範圍內。如圖九所示，多孔性凝膠介電層於進行氧電漿去光阻製程後，明顯生成 Si-OH 鍵之吸收峰 1，而經過 TMCS 處理過後的多孔性凝膠介電層，其 Si-OH 之吸收峰 1 的強度會隨之降低。

請參考圖十，圖十為多孔性凝膠介電層之介電常數長條圖。如圖十所示，點狀方塊 A 與斜線方塊 B 分別代表多孔性凝膠介電層在進行氧電漿去光阻製程前、後之介電常數，格狀方塊 C 則代表多孔性凝膠介電層於進行氧電漿去光阻製程與 TMCS 處理後之介電常數。如圖十所示，多孔性凝膠介電層在經過氧電漿去光阻製程後，介電常數由原本的 1.9 增加到 3.8；然而在經過 TMCS 處理後，多孔性凝膠介電層介電常數則回降到 2.7，顯示 TMCS 可修復多孔性凝膠介電層之受損結構，而改善介電常數增加之問題。

請參閱圖十一，圖十一為多孔性凝膠介電層之電場與漏電流密度關係曲線圖。如圖十一所示，圓形符號 ●、正方形符號 ■ 分別代表多孔性凝膠介電層在進行氧電漿去光阻製程前、後之電場與漏電流密度關係曲線，三角符號 ▲ 則代表多孔性凝膠介電層於進行氧電漿去光阻製程與 TMCS 處理後之電場與漏電流密度關係曲線。如圖十一所示，多孔性凝膠介電層在進行氧電漿去光阻製程前之漏電流密度很低，約為  $10^{-1}$  到  $10^{-9} \text{A}/\text{cm}^2$ ，但在進行氧電漿去光阻製程後，則其漏電流密度大幅上升 3 到 4 個級數 (order)。然而



## 五、發明說明 (10)

以 TMCS 處理後，則多孔性凝膠介電層之漏電流密度可回降約 1 到 2 個級數，顯示 TMCS 可修復多孔性凝膠介電層之受損結構，而改善漏電流增加之問題。

相較於習知技術，本發明係將半導體晶片 40 浸泡在一 TMCS/己烷溶液中，使 TMCS 與低介電常數材料層 44 的表面反應，而消除由於該氧氣電漿灰化製程而存在於低介電常數材料層 44 中之 Si-OH 鍵，達到修復低介電常數材料層 44 在該氧氣電漿灰化製程中所受損害，使其回復原來介電特性之目的。此外，TMCS/己烷溶液更可以使低介電常數材料層 44 原本的親水性表面改變為疏水性 (hydrophobic) 表面，以防止後續製程環境中水氣的吸附，進而解決習知低介電常數介電層之介電常數與漏電流皆大幅增加的問題，避免介電常數材料層 44 發生介電特性劣化的現象。

以上所述僅本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

## 圖示之簡單說明

圖一至圖三為習知去除光阻之方法示意圖。

圖四至圖七為本發明修復低介電常數材料層之方法示意圖。

圖八為 TMCS 與介電層之化學反應式。

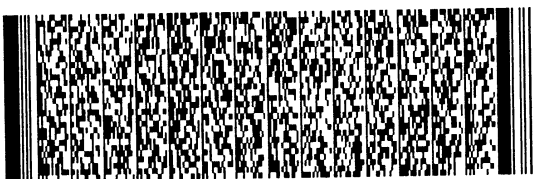
圖九為多孔性凝膠介電層之紅外光光譜。

圖十為多孔性凝膠介電層之介電常數長條圖。

圖十一為多孔性凝膠介電層之電場與漏電流密度關係曲線圖。

## 圖示之符號說明

10	半導體晶片	12	矽基底
14	低介電常數材料層	16	光阻層
18	圖案開口	40	半導體晶片
42	矽基底	44	低介電常數材料層
46	光阻層	48	圖案開口

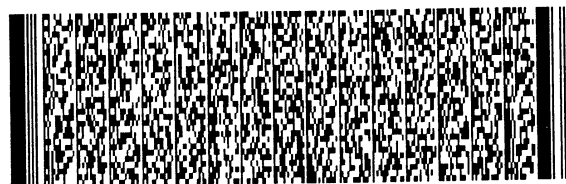


## 四、中文發明摘要 (發明之名稱：一種修復低介電常數材料層的方法)

本發明提供一種修復低介電常數材料層的方法。首先塗佈一光阻層於一半導體晶片上之一低介電常數材料層上，並於該光阻層中形成一開口，以暴露出部份之該低介電常數材料層。接著經由該開口乾蝕刻該低介電常數材料層，以將該光阻層中之圖案轉移至該低介電常數材料層中。最後利用一氧氣電漿灰化製程去除該光阻層，再利用一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類溶液消除該低介電常數材料層中之矽-氫氧 (Si-OH) 鍵，並修復該低介電常數材料層在該氧氣電漿灰化製程中所受到的損害，同時使該低介電常數材料層具有一疏水性 (hydrophobic) 表面，以防止水氣的吸附。

## 英文發明摘要 (發明之名稱：METHOD OF REPAIRING A LOW DIELECTRIC CONSTANT MATERIAL LAYER)

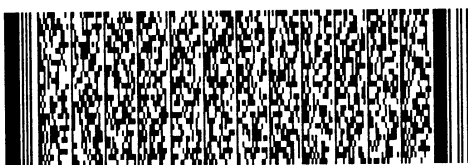
A method of repairing a low dielectric constant (low k) material layer starts with coating a photoresist layer on the low k material layer on a semiconductor wafer. After transferring a pattern of the photoresist layer to the low k material layer, an oxygen plasma ashing process is performed to remove the photoresist layer. Finally, by contacting the low k material layer with a solution of alkyl silane comprising an alkyl group and halo substituent, Si-OH bonds



四、中文發明摘要 (發明之名稱：一種修復低介電常數材料層的方法)

英文發明摘要 (發明之名稱：METHOD OF REPAIRING A LOW DIELECTRIC CONSTANT MATERIAL LAYER)

formed in the low k layer during the oxygen plasma ashing process are removed so as to repair damage to the low k material layer caused by the oxygen plasma ashing process, and to enhance a surface of the low k material layer to a hydrophobic surface to prevent moisture adhering to the surface of the low k material layer.



## 六、申請專利範圍

1. 一種修復低介電常數材料層的方法，該方法包含有下列步驟：

提供一半導體晶片，其上包含有一低介電常數材料層；

於該低介電常數材料層上塗佈一光阻層；

於該光阻層中形成一開口，以暴露出部份之該低介電常數材料層；

經由該圖案開口乾蝕刻該低介電常數材料層，以將該光阻層中之圖案轉移至該低介電常數材料層中；

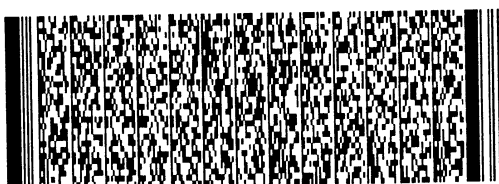
利用一氧氣電漿灰化製程，以去除該光阻層；以及

利用一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類溶液接觸該低介電常數材料層；

其中該含烷基以及鹵素取代基之矽烷類溶液可消除由於該氧氣電漿灰化製程而存在於該低介電常數材料層中之矽-氫氧 (Si-OH) 鍵，並修復該低介電常數材料層在該氧氣電漿灰化製程中所受到的損害，同時又可將該低介電常數材料層之表面改變成疏水性 (hydrophobic) 表面，以防止環境中水氣 (moisture) 的吸附。

2. 如申請專利範圍第 1 項之方法，其中該低介電常數材料層係為一二氧化矽架構 (SiO<sub>2</sub>-based) 之低介電常數材料層。

3. 如申請專利範圍第 1 項之方法，其中該低介電常數材





## 六、申請專利範圍

料層係由下列之一材料所構成：HSQ (hydrogen silsesquioxane)、MSQ (methyl silsesquioxane)、HOSP (hybrid-organic-siloxane-polymer)、或多孔性 sol-gel。

4. 如申請專利範圍第 1 項之方法於該低介電常數材料層上塗佈光阻層之前另包含有一氫電漿 (hydrogen plasma) 處理步驟，用來強化該低介電常數材料層。

5. 如申請專利範圍第 1 項之方法，其中該含烷基以及鹵素取代基之矽烷類溶液係為一己烷 (hexane) 溶液。

6. 如申請專利範圍第 5 項之方法，其中該含烷基以及鹵素取代基之矽烷類係為一單鹵素取代基 (mono-halo substituent) 之矽烷類。

7. 如申請專利範圍第 6 項之方法，其中該含烷基以及鹵素取代基之矽烷類係由下列之一成分或組合所構成：三甲基氯矽烷 (trimethylchlorosilane,  $\text{Si}(\text{CH}_3)_3\text{Cl}$ )、二甲基氯矽烷 (dimethylchlorosilane,  $\text{Si}(\text{CH}_3)_2\text{HCl}$ )、一乙基一氯基矽烷 (ethylchlorosilane,  $\text{Si}(\text{C}_2\text{H}_5)\text{H}_2\text{Cl}$ )、一丙基一氯基矽烷 (propylchlorosilane,  $\text{Si}(\text{C}_3\text{H}_7)\text{H}_2\text{Cl}$ )、一乙基一溴基矽烷 (ethylbromosilane,  $\text{Si}(\text{C}_2\text{H}_5)\text{H}_2\text{Br}$ )、一丙基一溴基矽烷 (propylbromosilane,  $\text{Si}(\text{C}_3\text{H}_7)\text{H}_2\text{Br}$ )。



## 六、申請專利範圍

8. 如申請專利範圍第 1 項之方法，其中該含烷基以及鹵素取代基之矽烷類溶液係為一體積百分比濃度小於 8% 之三甲基氯矽烷 (trimethylchlorosilane, TMCS) 己烷溶液。

9. 一種修復低介電常數材料層的方法，該方法包含有下列步驟：

提供一半導體晶片，其上包含有一低介電常數材料層；

於該低介電常數材料層上塗佈一光阻層；

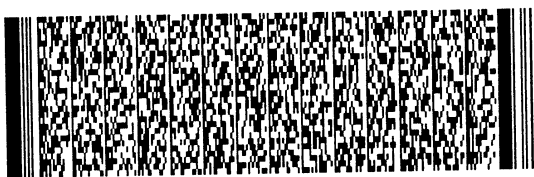
於該光阻層中形成一開口，以暴露出部份之該低介電常數材料層；

經由該圖案開口乾蝕刻該低介電常數材料層，以將該光阻層中之圖案轉移至該低介電常數材料層中；

利用一光阻灰化製程，以去除該光阻層；以及

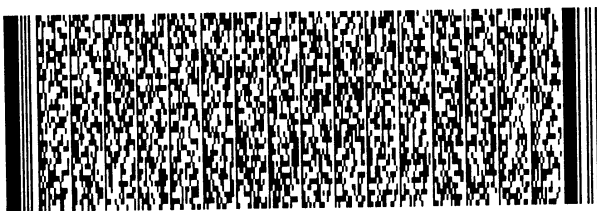
進行至少一次表面修復製程，利用一含烷基 (alkyl group) 以及鹵素取代基 (halo substituent) 之矽烷類物質接觸該低介電常數材料層；

其中該含烷基以及鹵素取代基之矽烷類物質可消除由於該光阻灰化製程而存在於該低介電常數材料層中之矽-氫氧 (Si-OH) 鍵，並修復該低介電常數材料層在該光阻灰化製程中所受到的損害，同時又可將該低介電常數材料層之表面改變成疏水性 (hydrophobic) 表面。



## 六、申請專利範圍

10. 如申請專利範圍第 9 項之方法，其中該低介電常數材料層係由下列之一材料所構成：HSQ (hydrogen silsesquioxane)、MSQ (methyl silsesquioxane)、HOSP (hybrid-organic-siloxane-polymer)、或多孔性 sol-gel。
11. 如申請專利範圍第 9 項之方法，其中該光阻灰化製程係利用一氧氣電漿進行。
12. 如申請專利範圍第 9 項之方法，其中該光阻灰化製程係利用一含臭氧之電漿進行。
13. 如申請專利範圍第 9 項之方法於該低介電常數材料層上塗佈光阻層之前另包含有一氫電漿 (hydrogen plasma) 處理步驟，用來強化該低介電常數材料層。
14. 如申請專利範圍第 9 項之方法，其中該含烷基以及鹵素取代基之矽烷類物質係溶於一己烷 (hexane) 溶劑中。
15. 如申請專利範圍第 14 項之方法，其中該含烷基以及鹵素取代基之矽烷類溶液係為一體積百分比濃度小於 8% 之三甲基氯矽烷 (trimethylchlorosilane, TMCS) 己烷溶液
16. 如申請專利範圍第 9 項之方法，其中該含烷基以及鹵

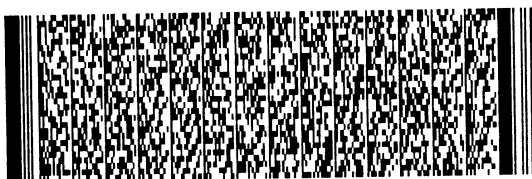


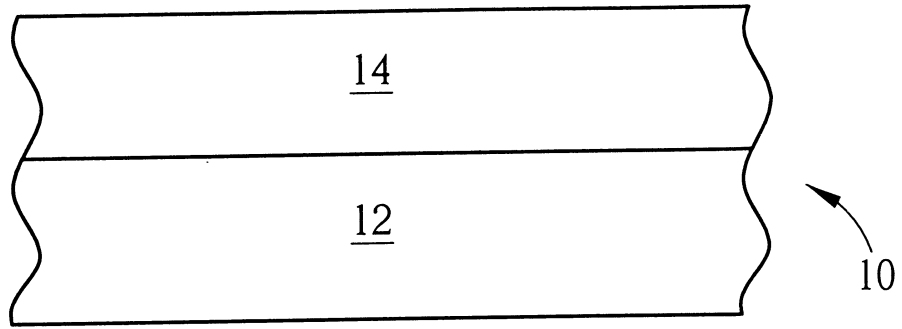
## 六、申請專利範圍

素取代基之矽烷類物質係為一純蒸汽態含烷基以及鹵素取代基之矽烷類。

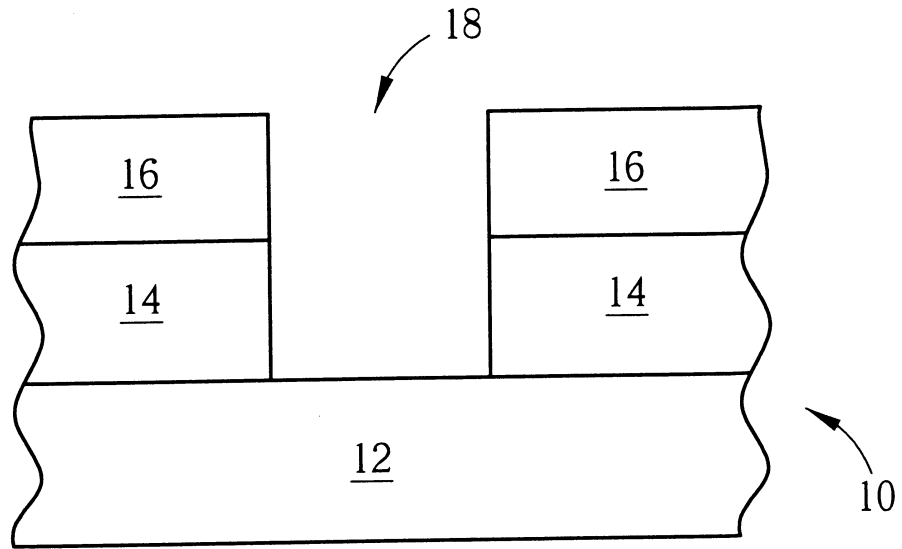
17. 如申請專利範圍第 9 項之方法，其中該含烷基以及鹵素取代基之矽烷類物質係為一單鹵素取代基之矽烷類。

18. 如申請專利範圍第 17 項之方法，其中該含烷基以及鹵素取代基之矽烷類係由下列之一成分或組合所構成：三甲基氯矽烷 (trimethylchlorosilane,  $\text{Si}(\text{CH}_3)_3\text{Cl}$ )、二甲基氯矽烷 (dimethylchlorosilane,  $\text{Si}(\text{CH}_3)_2\text{HCl}$ )、一乙基一氯基矽烷 (ethylchlorosilane,  $\text{Si}(\text{C}_2\text{H}_5)\text{H}_2\text{Cl}$ )、一丙基一氯基矽烷 (propylchlorosilane,  $\text{Si}(\text{C}_3\text{H}_7)\text{H}_2\text{Cl}$ )、一乙基一溴基矽烷 (ethylbromosilane,  $\text{Si}(\text{C}_2\text{H}_5)\text{H}_2\text{Br}$ )、一丙基一溴基矽烷 (propylbromosilane,  $\text{Si}(\text{C}_3\text{H}_7)\text{H}_2\text{Br}$ )。

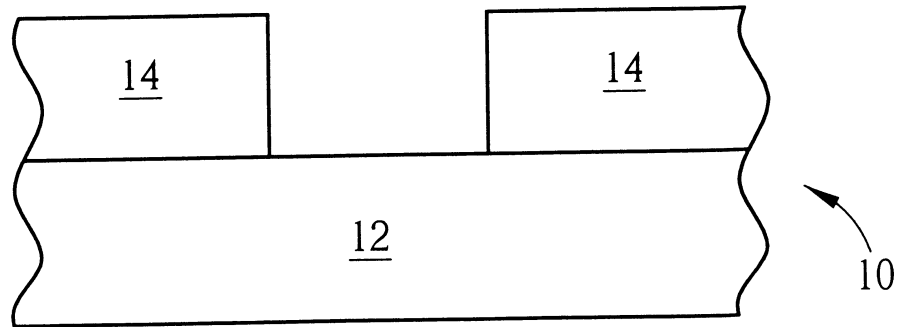




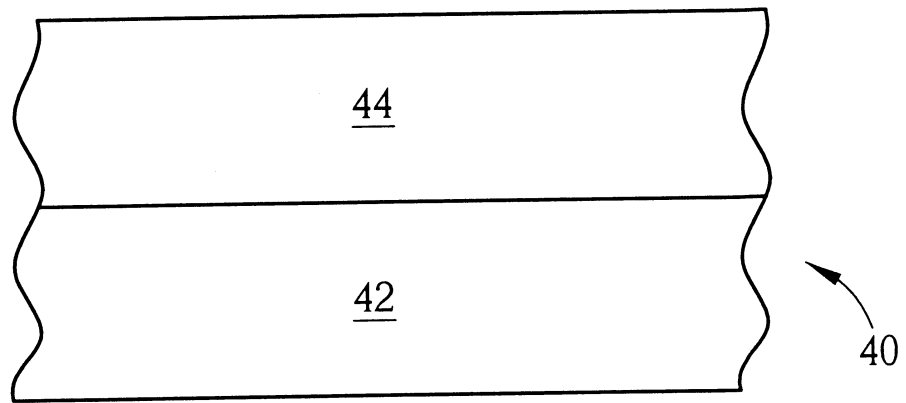
圖一



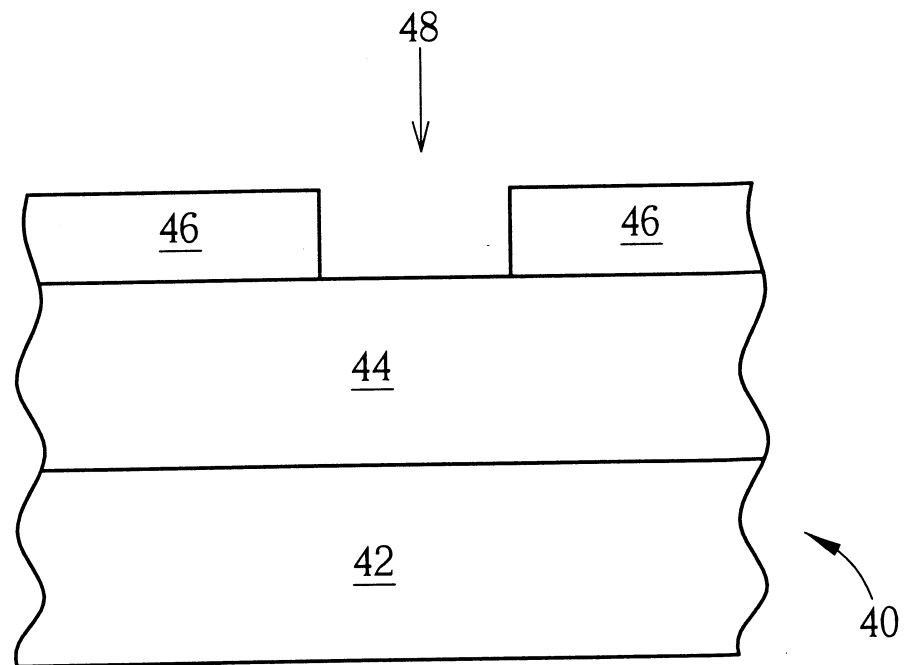
圖二



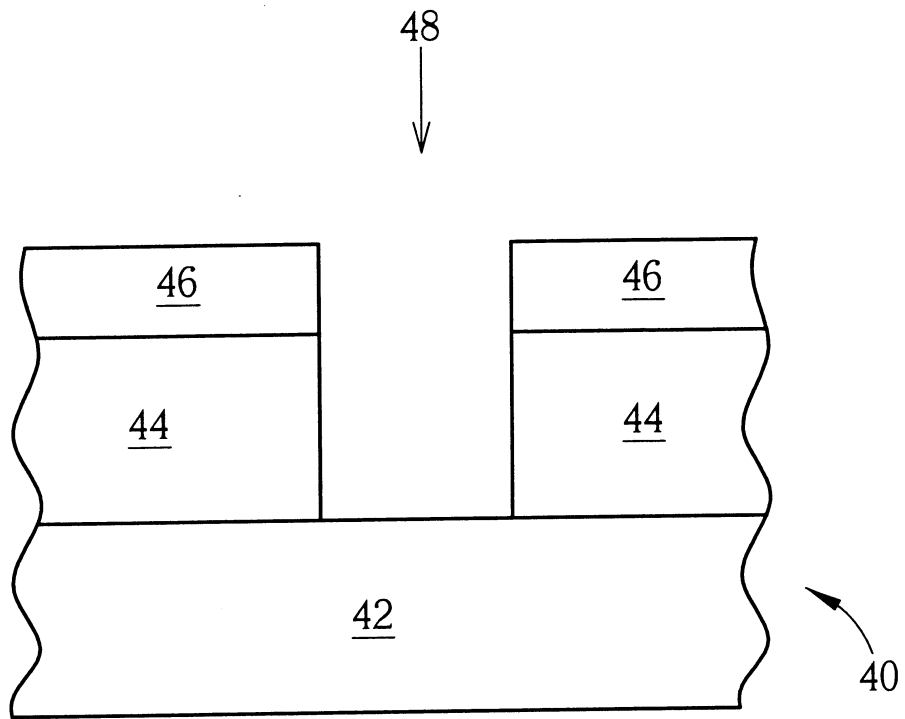
圖三



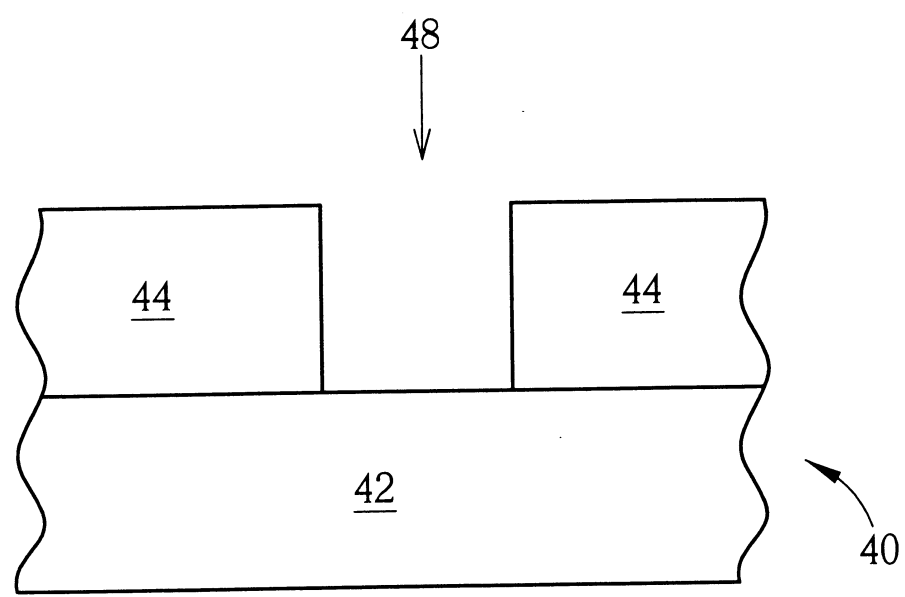
圖四



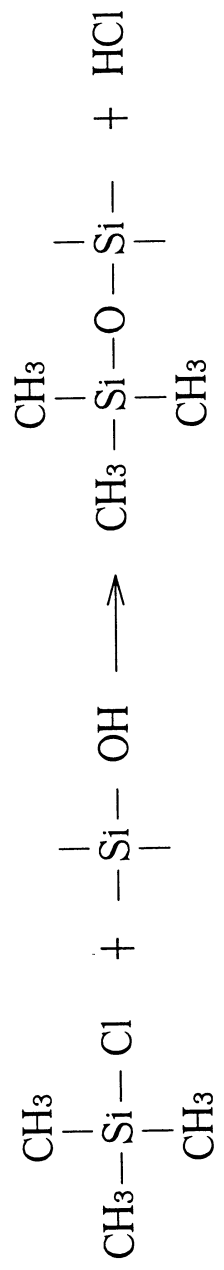
圖五



圖六



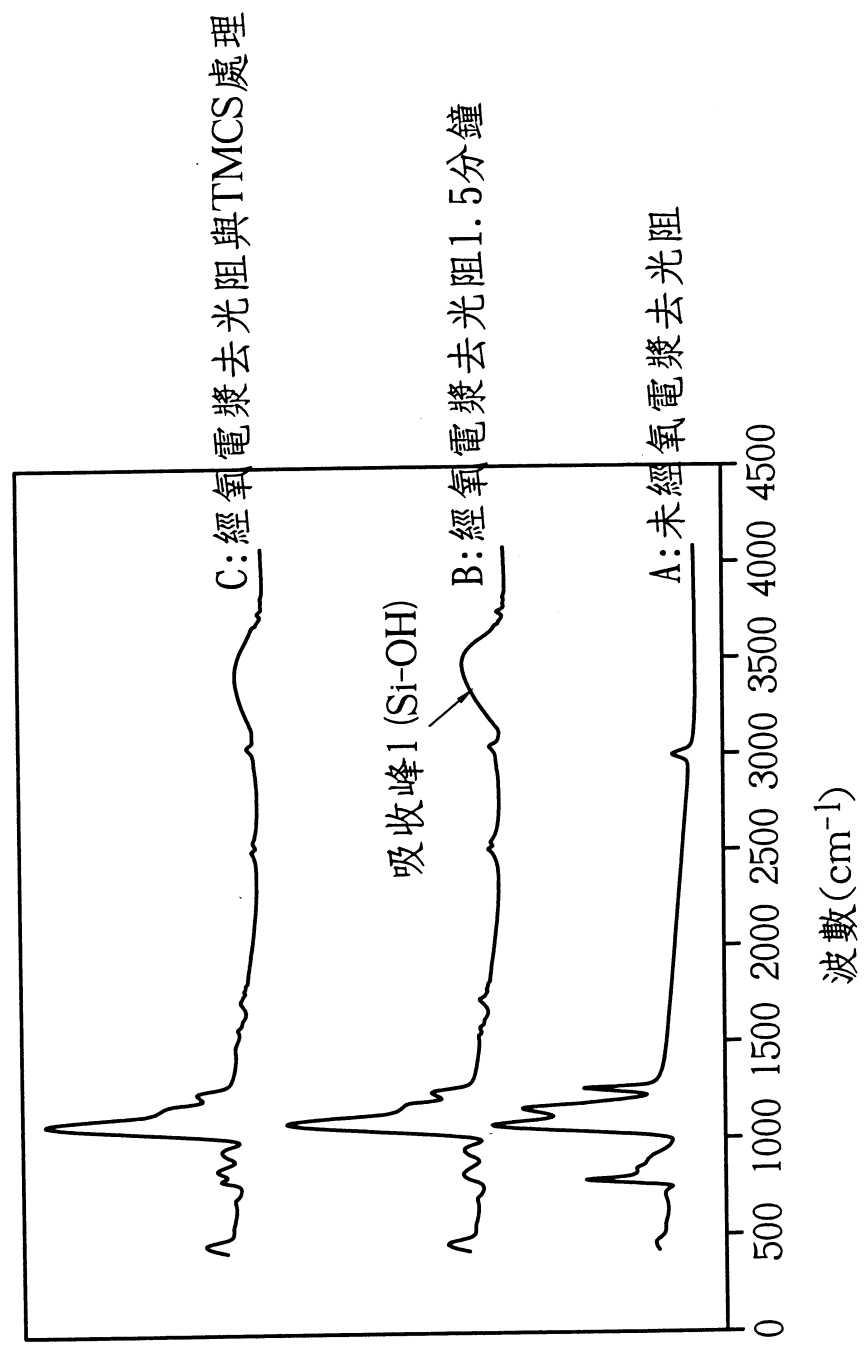
圖七



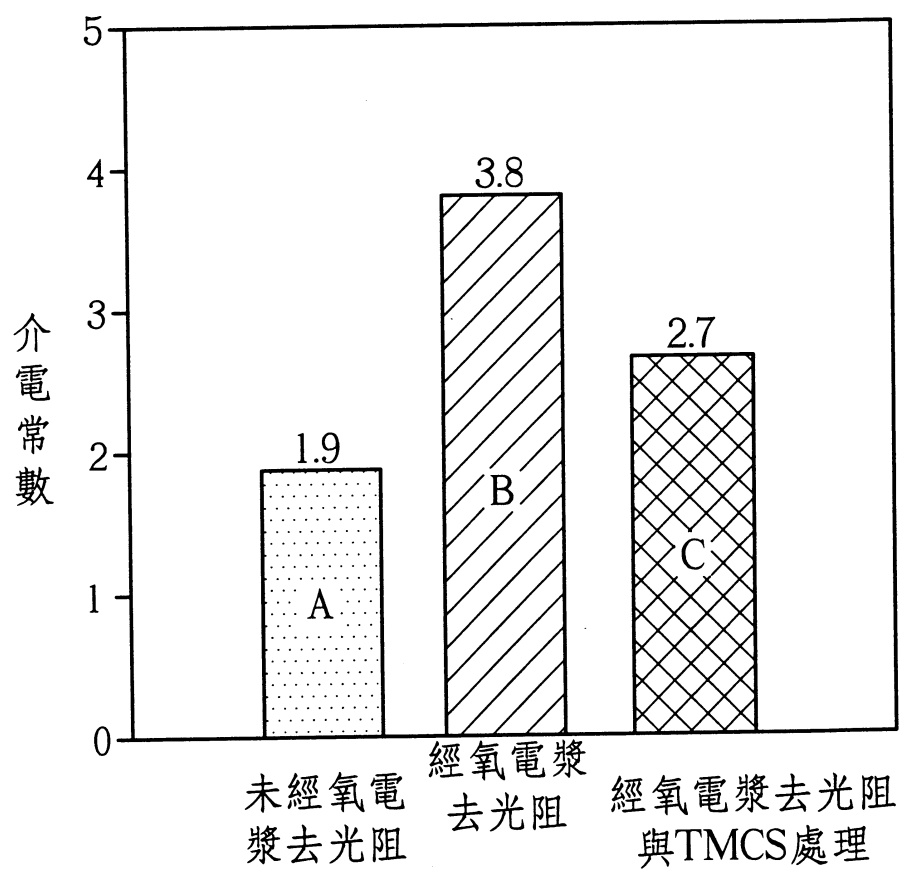
(TMCS)

圖八

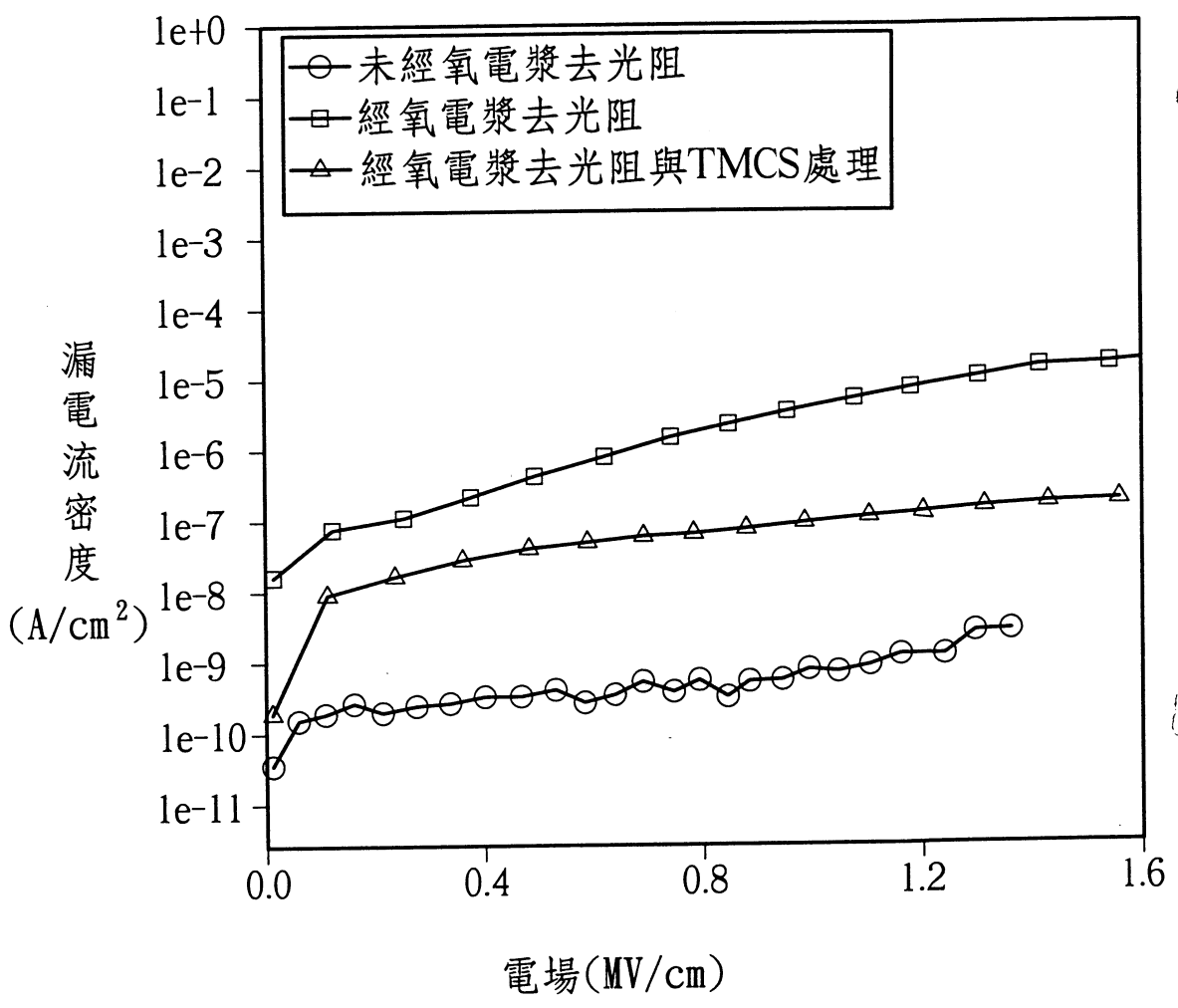




圖九



圖十



圖十一