

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3738798号
(P3738798)

(45) 発行日 平成18年1月25日(2006.1.25)

(24) 登録日 平成17年11月11日(2005.11.11)

(51) Int. Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
HO1L 29/786 (2006.01) HO1L 29/78 612B

請求項の数 16 (全 31 頁)

(21) 出願番号	特願平9-193198	(73) 特許権者	000002369
(22) 出願日	平成9年7月3日(1997.7.3)		セイコーエプソン株式会社
(65) 公開番号	特開平11-24106		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成11年1月29日(1999.1.29)	(74) 代理人	100090479
審査請求日	平成16年2月26日(2004.2.26)		弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	井上 聡
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	下田 達也
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板の製造方法及び液晶パネルの製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板上に画素領域と駆動回路とを有するアクティブマトリクス基板の製造方法であって、

前記第1の基板上の前記画素領域に、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、

前記第1の基板とは異なる第2の基板上に分離層を形成し、前記分離層上に、前記駆動回路の能動素子であって半導体層が単結晶または多結晶シリコンである複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、

前記第1、第2の電極露出部が導通する位置関係にて、前記第1の基板上に前記被転写層を転写する第3工程と、

前記第2の基板に対して透過性を有する波長のレーザー光を、前記第2の基板を介して前記分離層に照射して、前記被転写層より前記第2の基板を除去する第4工程と、

を有することを特徴とするアクティブマトリクス基板製造方法。

【請求項2】

請求項1において、

前記第1の半導体装置が、アモルファスシリコンをチャンネルとする薄膜トランジスタで

あり、前記第2の半導体装置が、多結晶シリコンをチャンネルとする薄膜トランジスタであることを特徴とするアクティブマトリクス基板の製造方法。

【請求項3】

請求項1または2において、

前記第2工程は、一枚の前記第2の基板上に、複数の前記被転写層を同時に形成する工程と、複数の前記被転写層を個々に分離する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項4】

請求項3において、

前記第2工程は、同時に形成された複数の前記被転写層の電気的特性を検査する検査工程を有し、

前記第3工程は、前記検査工程にて良品と判別された被転写層を前記第1の基板上に転写する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項5】

請求項1乃至4のいずれかにおいて、

前記第3工程は、前記第1の基板上の複数の領域にて、それぞれ被転写層を転写する工程を有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項6】

請求項1乃至5のいずれかにおいて、

前記第3工程は、異方性導電膜を介在させて、前記第1の基板と前記被転写層とを接続することを特徴とするアクティブマトリクス基板の製造方法。

【請求項7】

請求項1乃至6のいずれかにおいて、

前記第1工程は、前記第1の半導体装置及び第1の電極配線群を第1の設計ルールに従って形成し、

前記第2工程は、前記第2の半導体装置及び第2の電極配線群を、前記第1の設計ルールよりも最小線幅が小となる第2の設計ルールに従って形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項8】

転写基板上に画素領域と駆動回路を転写して液晶パネル用基板を製造する方法であって

前記転写基板とは異なる第1の製造用基板上に第1の分離層を形成し、前記第1の分離層上に、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを含む第1の被転写層を形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、

前記転写基板とは異なる第2の製造用基板を用いて、前記駆動回路の能動素子であってかつ半導体層が単結晶または多結晶である複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む第2の被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、

前記転写基板上に、配線層を形成する第3の工程と、

前記転写基板上に形成された配線層に対して、第1,第2の電極露出部が対向する位置関係にて、前記転写基板上に前記第1,第2の被転写層を転写する第4工程と、

前記第1の製造用基板に対して透過性を有する波長のレーザー光を、前記第1の製造用基板を介して前記第1の分離層に照射して、少なくとも前記第1の製造用基板を、前記第1の被転写層より除去する第5工程と、を有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項9】

請求項8において、

前記第1の半導体装置が、アモルファスシリコンをチャンネルとする薄膜トランジスタであり、前記第2の半導体装置が、ポリシリコンをチャンネルとする薄膜トランジスタである

10

20

30

40

50

ことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 10】

請求項 8 または 9 において、

前記第 2 工程では、前記第 2 の製造用基板上に第 2 の分離層を形成し、前記第 2 の分離層上に、前記複数の第 2 被転写層を形成し、

前記第 5 工程では、前記第 2 の製造用基板に対して透過性を有する波長のレーザー光を、前記第 2 の製造用基板を介して前記第 2 の分離層に照射して、前記第 2 の製造用基板を前記第 2 の被転写層より除去する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 11】

請求項 8 乃至 10 のいずれかにおいて、

前記第 1, 第 2 工程は、一枚の前記第 1, 第 2 の製造用基板上に、複数の前記第 1, 第 2 の被転写層をそれぞれ同時に形成する工程と、複数の前記第 1, 第 2 の被転写層をそれぞれ個々に分離する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 12】

請求項 11 において、

前記第 1, 第 2 工程は、同時に形成された複数の前記第 1, 第 2 の被転写層の電気的特性を検査する検査工程を有し、

前記第 4 工程は、前記検査工程にて良品と判別された第 1, 第 2 の被転写層を前記転写基板上に転写する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 13】

請求項 8 乃至 12 のいずれかにおいて、

前記第 4 工程は、前記転写基板上の複数の領域にて、第 1 の被転写層および第 2 の被転写層のいずれか一方または双方を転写する工程を有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 14】

請求項 8 乃至 13 のいずれかにおいて、

前記第 4 工程は、異方性導電膜を介在させて、前記転写基板と前記第 1, 第 2 の被転写層とを接続することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 15】

請求項 8 乃至 14 のいずれかにおいて、

前記第 1 工程は、前記第 1 の半導体装置及び第 1 の電極配線群を第 1 の設計ルールに従って形成し、

前記第 2 工程は、前記第 2 の半導体装置及び第 2 の電極配線群を、前記第 1 の設計ルールよりも最小線幅が小となる第 2 の設計ルールに従って形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 16】

請求項 1 乃至 15 のいずれかに記載の方法にてアクティブマトリクス基板を製造する工程と、

前記アクティブマトリクス基板と対向基板とを対向させて貼り合わせ、その間に液晶を封入する工程と、

を有することを特徴とする液晶パネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス基板及び液晶パネルの製造方法に関する。

【0002】

【背景技術】

例えば、薄膜トランジスタ (TFT) を用いた液晶ディスプレイを製造するに際しては、

10

20

30

40

50

従来よりアモルファスシリコン（非晶質シリコンともいう）をチャンネルとするTFTまたは多結晶（ポリシリコンともいう）をチャンネルとするTFTを用いるものが知られている。

【0003】

近年、一枚の基板上に、複数の画素及びそれに接続される配線群から成る画素領域と、それを駆動する駆動回路とを形成する要求が高まっている。

【0004】

ここで、アモルファスシリコンTFTは、非晶質であるがために電子などの移動度が低く、駆動回路の能動素子として高速応答させることはできない。従って、アモルファスシリコンTFTにより画素と駆動回路を一枚基板に形成した場合、高精細な液晶パネルを駆動することは不可能である。

【0005】

一方、ポリシリコンTFTは、単結晶ほどではないが、アモルファスシリコンTFTと比較して十分に高い移動度を確保でき、駆動回路の能動素子として優れている。

【0006】

ところで、今までポリシリコンTFTは高温プロセスを利用して製造されたので、ガラス基板のような耐熱性の低い基板上には形成できなかった。しかし、近年低温ポリシリコン製造法が開発され、いまではガラス基板上にて画素用ポリシリコンTFTと同時に、ドライバ用ポリシリコンTFTを形成できるようになった。

【0007】

【発明が解決しようとする課題】

ところで、ポリシリコンTFTは、オフ時のリーク電流がアモルファスシリコンTFTよりも低いために、画素電極に接続される画素TFTとして用いた場合には、液晶にチャージされた電圧がTFTのオフ時に低下し易い。さらに、画素TFTはドライバ回路ほどの高速応答性は不要である。

【0008】

これらの点から、画素TFTはアモルファスシリコンTFTとし、ドライバの能動素子はポリシリコンTFTとするのが理想であるが、異なるTFTを一枚の基板に製造することはできない。

【0009】

さらに、画素領域では高電圧が印加されるため、最小線幅は通常5 μ m以上である。これに対して、ドライバ回路では限られた面積に多くの回路（シフトレジスタなど）を形成する必要があることと、回路の高速動作が要求されることから、サブミクロンオーダのデザインルールが要求されている。

【0010】

本発明は、上記事情に鑑みてなされたものであり、その目的は、画素領域には半導体層が例えばアモルファスシリコンである半導体装置を用い、ドライバ領域には半導体層が単結晶または多結晶の半導体装置を用い、かつ、画素領域とドライバ領域とを一枚の基板に形成することができる液晶パネル用基板及び液晶パネル並びにその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上述した課題を解決する本発明は、以下のような構成をしている。

【0012】

本発明の一態様は、第1の基板上に画素領域と駆動回路とを有するアクティブマトリクス基板の製造方法であって、

前記第1の基板上の前記画素領域に、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、

前記第1の基板とは異なる第2の基板を用いて、前記駆動回路の能動素子であって半導

10

20

30

40

50

体層が単結晶または多結晶シリコンである複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、

前記第1、第2の電極露出部が導通する位置関係にて、前記第1の基板上に前記被転写層を転写する第3工程と、

を有することを特徴とする。

本発明の一態様によれば、アクティブマトリクス基板を構成する第1の基板には、画素領域のみを予め形成しておき、駆動回路はその第1の基板とは異なる第2の基板に形成され、後に第1の基板上に接合される。このため、画素領域には、オフリーク電流の小さい画素用トランジスタに適した第1の半導体装置として、その半導体層（チャンネル層）に例えばアモルファスシリコンを用いていることができる。一方、駆動回路の能動素子として、移動度が高い単結晶または多結晶シリコンの半導体層を持つ第2の半導体装置を使用できる。また、第2の半導体装置を含む被転写層を、液晶パネル用基板の基板上に接合する際には、画素領域の第1の電極露出部と、被転写層の第2の電極露出部とが導通するので、後に煩雑な配線作業を伴うことがない。

10

【0013】

ここで、前記第1の半導体装置はアモルファスシリコンTFTとすることができ、前記第2の半導体装置は多結晶シリコンTFTとすることができる。なお、特に第2の半導体装置はTFTに限らず、単結晶シリコン基板を用いた半導体であっても良い。

【0014】

本発明の一態様では、前記被転写層より前記第2の基板を除去する第4工程をさらに有することができる。

20

【0015】

例えば第2の基板上に多結晶シリコンTFTを含む被転写層を製造した後であって、この被転写層を第1の基板に転写した後は、もはや第2の基板は不要である。したがって、このような場合に第2の基板を被転写層から除去することが好ましい。ただし、第2の半導体装置がTFTでなく、単結晶シリコンの第2の基板自体をチャンネル層として利用する場合には、第2の基板は除去してはならない。

【0016】

第2の基板を除去する場合には、

前記第2工程では、前記第2の基板上に分離層を形成し、前記分離層上に前記被転写層を形成し、

30

前記第4工程では、前記分離層を境として、前記被転写層より前記第2の基板を除去することが好ましい。

【0017】

デバイス製造における信頼性が高い例えば石英基板などの第2の基板上に、例えば、光を吸収する特性をもつ分離層を設けておき、その第2の基板上に被転写層を形成する。被転写層を第1の基板に接合した後に分離層に光を照射し、これによって、その分離層において剥離現象を生じせしめて、その分離層と第2の基板との密着性を低下させる。そして、第2の基板に力を加えて被転写層から離脱させる。

40

【0018】

本発明の一態様では、

前記第2工程は、一枚の前記第2の基板上に、複数の前記被転写層を同時に形成する工程と、複数の前記被転写層を個々に分離する工程と、を含むことができる。

【0019】

こうすると、被転写層の製造コストが大幅に低減する。

【0020】

このとき、

前記第2工程は、同時に形成された複数の前記被転写層の電気的特性を検査する検査工程を有し、

50

前記第3工程は、前記検査工程にて良品と判別された被転写層を前記第1の基板上に転写する工程を含むことが好ましい。

【0021】

こうすると、駆動回路のみの不良に起因して液晶基板全体が不良になる確率が大幅に低減し、歩留まりが向上する。

【0022】

前記第3工程は、前記第1の基板上の複数の領域にて、それぞれ被転写層を転写する工程を有することができる。

【0023】

特に、駆動回路は四角形状の画素領域の二辺以上に隣接する複数箇所に配置されることがあり、その場合に各所の駆動回路を転写して形成できる。 10

【0024】

前記第3工程は、異方性導電膜を介在させて、前記第1の基板と前記被転写層とを接続することが好ましい。

【0025】

異方性導電膜により、相隣接する電極同士がショートすることを防止できる。

【0026】

本発明の一態様では、

前記第1工程は、前記第1の半導体装置及び第1の電極配線群を第1の設計ルールに従って形成し、 20

前記第2工程は、前記第2の半導体装置及び第2の電極配線群を、前記第1の設計ルールよりも最小線幅が小となる第2の設計ルールに従って形成することを特徴とする。

【0027】

駆動回路の最小線幅を例えばサブミクロンオーダーとして実装密度を高くでき、一方画素領域では例えば2 μ m以上の最小線幅とすることができる。

【0028】

本発明の他の態様は、転写基板上に画素領域と駆動回路を転写してアクティブマトリクス基板を製造する方法であって、

前記転写基板とは異なる第1の製造用基板を用いて、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを含む第1の被転写層を形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、 30

前記転写基板とは異なる第2の製造用基板を用いて、前記駆動回路の能動素子であってかつ半導体層が単結晶または多結晶である複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む第2の被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、

前記転写基板上に、配線層を形成する第3の工程と、

前記転写基板上に形成された配線層に対して、第1,第2の電極露出部が対向する位置関係にて、前記転写基板上に前記第1,第2の被転写層を転写する第4工程と、

少なくとも前記第1の製造用基板を、前記第1の被転写層より除去する第5工程と、 40
を有することを特徴とする。

【0029】

本発明の他の態様は、上述の本発明の一態様とは異なり、画素領域と駆動回路の双方を転写基板に転写して液晶パネル用基板を製造する方法を定義している。この場合にも、本発明の一態様と同様な効果を奏することができる。また、この場合、画素を露出するために第1の製造用基板は第5工程にて必ず除去する必要があるが、第1の製造用基板は請求項1の場合と同様に残存させても良い。

【0032】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。 50

【0033】

(第1の実施の形態)

図1～図6は、本発明の第1の実施の形態に係るアクティブマトリクス液晶の製造方法を示す図である。本実施の形態では、図1に示すように、透明基板10上に、例えばアモルファスシリコンTFTをスイッチング素子とする画素を備えた画素領域12を形成しておく。その後、この画素領域12のゲート線を駆動する第1のドライバ14と、画素領域12のソース線を駆動する第2のドライバ16とを、透明基板10上に転写して、アクティブマトリクス基板18を製造するものである。なお、画素領域12にはアモルファスシリコンTFTに限らず、例えばポリシリコンTFTを形成しても良い。ポリシリコンTFTは、オフ時のリーク電流がアモルファスシリコンTFTよりも低い欠点はあるが、低温プロセスの発達により低温にて歩留まりが高く形成でき、装置コストを低減できる点で優れている。

10

【0034】

[工程1]

図2に模式的に示すように、まず透明基板10上に、アモルファスシリコンTFTをスイッチング素子とする複数の画素から成るアクティブマトリクス層20を形成する。なお、このアクティブマトリクス層20の詳細については後述する。このとき、各々のアモルファスシリコンTFTのゲートに接続されたゲート配線層と、そのソースに接続されたソース配線層とは、その端部が露出され、図2に示す露出端部22となっている。

【0035】

透明基板10は、後にドライバ14、16が転写される転写体としての機能を有する。透明基板10は、後述するドライバ12、14を製造するための基板100に比べ、耐熱性、耐食性等の特性が劣るものであってもよい。その理由は、本発明では、基板100側に被転写層(薄膜デバイス層)140を形成し、その後、被転写層(薄膜デバイス層)140を透明基板10に転写するため、透明基板10に要求される特性、特に耐熱性は、被転写層(薄膜デバイス層)140の形成の際の温度条件等に依存しないからである。

20

【0036】

したがって、アモルファスシリコン層20の形成の際の最高温度を T_{max} としたとき、透明基板10の構成材料として、ガラス転移点(T_g)または軟化点が T_{max} 以下のものを用いることができる。例えば、透明基板10は、ガラス転移点(T_g)または軟化点が好ましくは800以下、より好ましくは500以下の材料で構成することができる。

30

【0037】

透明基板10に適するガラス材としては、例えば、ケイ酸ガラス(石英ガラス)、ケイ酸アルカリガラス、ソーダ石灰ガラス、カリ石灰ガラス、鉛(アルカリ)ガラス、バリウムガラス、ホウケイ酸ガラス等が挙げられる。このうち、ケイ酸ガラス以外のものは、ケイ酸ガラスに比べて融点が低く、また、成形、加工も比較的容易であり、しかも安価であり、好ましい。

【0038】

[工程2]

図3(A)に模式的に示すように、基板100上に分離層(光吸収層)120を形成する。

40

【0039】

以下、基板100および分離層120について説明する。

【0040】

1 基板100についての説明

基板100は、光が透過し得る透光性を有するものを使用する。

【0041】

この場合、光の透過率は10%以上であるのが好ましく、50%以上であるのがより好ましい。この透過率が低過ぎると、光の減衰(ロス)が大きくなり、分離層120を剥離するのにより大きな光量を必要とする。

50

【 0 0 4 2 】

また、基板 1 0 0 は、信頼性の高い材料で構成されているのが好ましく、特に、耐熱性に優れた材料で構成されているのが好ましい。その理由は、例えば後述する被転写層 1 4 0 や中間層 1 4 2 を形成する際に、その種類や形成方法によってはプロセス温度が高くなる（例えば 3 5 0 ~ 1 0 0 0 程度）ことがあるが、その場合でも、基板 1 0 0 が耐熱性に優れていれば、基板 1 0 0 上への被転写層 1 4 0 等の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。

【 0 0 4 3 】

従って、基板 1 0 0 は、被転写層 1 4 0 の形成の際の最高温度を T_{max} としたとき、歪点が T_{max} 以上の材料で構成されているのが好ましい。具体的には、基板 1 0 0 の構成材料は、歪点が 3 5 0 以上のものが好ましく、5 0 0 以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、コーニング 7 0 5 9、日本電気ガラス OA-2 等の耐熱性ガラスが挙げられる。

10

【 0 0 4 4 】

また、基板 1 0 0 の厚さは、特に限定されないが、通常は、0 . 1 ~ 5 . 0 mm 程度であるのが好ましく、0 . 5 ~ 1 . 5 mm 程度であるのがより好ましい。基板 1 0 0 の厚さが薄すぎると強度の低下を招き、厚すぎると、基板 1 0 0 の透過率が低い場合に、光の減衰を生じ易くなる。なお、基板 1 0 0 の光の透過率が高い場合には、その厚さは、前記上限値を超えるものであってもよい。なお、光を均一に照射できるように、基板 1 0 0 の厚さは、均一であるのが好ましい。

20

【 0 0 4 5 】

2 分離層 1 2 0 の説明

分離層 1 2 0 は、照射される光を吸収し、その層内および/または界面において剥離（以下、「層内剥離」、「界面剥離」と言う）を生じるような性質を有するものであり、好ましくは、光の照射により、分離層 1 2 0 を構成する物質の原子間または分子間の結合力が消失または減少すること、すなわち、アブレーションが生じて層内剥離および/または界面剥離に至るものがよい。

【 0 0 4 6 】

さらに、光の照射により、分離層 1 2 0 から気体が放出され、分離効果が発現される場合もある。すなわち、分離層 1 2 0 に含有されていた成分が気体となって放出される場合と、分離層 1 2 0 が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合とがある。このような分離層 1 2 0 の組成としては、例えば、次の A ~ E に記載されるものが挙げられる。

30

【 0 0 4 7 】

A . アモルファスシリコン (a - S i)

このアモルファスシリコン中には、水素 (H) が含有されていてもよい。この場合、H の含有量は、2 原子% 以上程度であるのが好ましく、2 ~ 2 0 原子% 程度であるのがより好ましい。このように、水素 (H) が所定量含有されていると、光の照射によって水素が放出され、分離層 1 2 0 に内圧が発生し、それが上下の薄膜を剥離する力となる。アモルファスシリコン中の水素 (H) の含有量は、成膜条件、例えば C V D におけるガス組成、ガス圧、ガス雰囲気、ガス流量、温度、基板温度、投入パワー等の条件を適宜設定することにより調整することができる。

40

【 0 0 4 8 】

B . 酸化ケイ素又はケイ酸化合物、酸化チタンまたはチタン酸化合物、酸化ジルコニウムまたはジルコン酸化合物、酸化ランタンまたはランタン酸化合物等の各種酸化物セラミックス、透電体（強誘電体）あるいは半導体

酸化ケイ素としては、 $S i O$ 、 $S i O_2$ 、 $S i_3 O_2$ が挙げられ、ケイ酸化合物としては、例えば $K_2 S i O_3$ 、 $L i_2 S i O_3$ 、 $C a S i O_3$ 、 $Z r S i O_4$ 、 $N a_2 S i O_3$ が挙げられる。

【 0 0 4 9 】

50

酸化チタンとしては、 TiO 、 Ti_2O_3 、 TiO_2 が挙げられ、チタン酸化合物としては、例えば、 $BaTiO_4$ 、 $BaTiO_3$ 、 $Ba_2Ti_9O_{20}$ 、 $BaTi_5O_{11}$ 、 $CaTiO_3$ 、 $SrTiO_3$ 、 $PbTiO_3$ 、 $MgTiO_3$ 、 $ZrTiO_2$ 、 $SnTiO_4$ 、 Al_2TiO_5 、 $FeTiO_3$ が挙げられる。

【0050】

酸化ジルコニウムとしては、 ZrO_2 が挙げられ、ジルコン酸化合物としては、例えば $BaZrO_3$ 、 $ZrSiO_4$ 、 $PbZrO_3$ 、 $MgZrO_3$ 、 K_2ZrO_3 が挙げられる。

【0051】

C．PZT、PLZT、PLLZT、PBZT等のセラミックスあるいは誘電体（強誘電体）

D．窒化珪素、窒化アルミ、窒化チタン等の窒化物セラミックス

E．有機高分子材料

有機高分子材料としては、 $-CH-$ 、 $-CO-$ （ケトン）、 $-CONH-$ （アミド）、 $-NH-$ （イミド）、 $-COO-$ （エステル）、 $-N=N-$ （アゾ）、 $-CH=N-$ （シフ）等の結合（光の照射によりこれらの結合が切断される）を有するもの、特に、これらの結合を多く有するものであればいかなるものでもよい。また、有機高分子材料は、構成式中に芳香族炭化水素（1または2以上のベンゼン環またはその縮合環）を有するものであってもよい。

【0052】

このような有機高分子材料の具体例としては、ポリエチレン、ポリプロピレンのようなポリオレフィン、ポリイミド、ポリアミド、ポリエステル、ポリメチルメタクリレート（PMMA）、ポリフェニレンサルファイド（PPS）、ポリエーテルスルホン（PES）、エポキシ樹脂等があげられる。

【0053】

F．金属

金属としては、例えば、 Al 、 Li 、 Ti 、 Mn 、 In 、 Sn 、 Y 、 La 、 Ce 、 Nd 、 Pr 、 Gd 、 Sm またはこれらのうちの少なくとも1種を含む合金が挙げられる。

【0054】

また、分離層120の厚さは、剥離目的や分離層120の組成、層構成、形成方法等の諸条件により異なるが、通常は、 $1\text{ nm} \sim 20\text{ }\mu\text{m}$ 程度であるのが好ましく、 $2\text{ }\mu\text{m}$ 程度以下であるのがより好ましく、 10 nm 程度以下であるのがさらに好ましい。分離層120の膜厚が厚すぎると、分離層120の良好な剥離性を確保するために、光のパワー（光量）を大きくする必要があり、後に分離層120を除去する際に、その作業に時間がかかる。なお、分離層120の膜厚は、できるだけ均一であるのが好ましい。

【0055】

分離層120の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。たとえば、CVD（MOCVD、低圧CVD、ECR-CVDを含む）、蒸着、分子線蒸着（MB）、スパッタリング、イオンプレーティング、PVD等の各種気相成膜法、電気メッキ、浸漬メッキ（ディッピング）、無電解メッキ等の各種メッキ法、ラングミュア・プロジェクト（LB）法、スピコート、スプレーコート、ロールコート等の塗布法、各種印刷法、転写法、インクジェット法、粉末ジェット法等が挙げられ、これらのうちの2以上を組み合わせることもできる。

【0056】

例えば、分離層120の組成がアモルファスシリコン（ $a-Si$ ）の場合には、CVD、特に低圧CVDやプラズマCVDにより成膜するのが好ましい。

【0057】

また、分離層120をゾルーゲル法によるセラミックスで構成する場合や、有機高分子材料で構成する場合には、塗布法、特に、スピコートにより成膜するのが好ましい。

【0058】

[工程3]

10

20

30

40

50

次に、図3(B)に示すように、分離層120上に、被転写層(薄膜デバイス層)140を形成する。

【0059】

この薄膜デバイス層140のK部分(図3(B)において1点鎖鎖線で囲んで示される部分)の拡大断面図を、図3(B)中に示す。図示されるように、薄膜デバイス層140は、例えば、 SiO_2 膜(中間層)142上に形成されたTFT(薄膜トランジスタ)を含んで構成され、このTFTは、ポリシリコン層にn型不純物を導入して形成されたソース、ドレイン層146と、チャネル層144と、ゲート絶縁膜148と、ゲート電極150と、層間絶縁膜154と、例えばアルミニウムからなる電極152とを具備する。なお、この薄膜デバイス層140はドライバ回路として機能するので、p型とn型を組み合わせ

10

【0060】

ここで、この薄膜デバイス層140も、ポリシリコンTFTと接続される配線層であって、アクティブマトリクス層20の露出端部22と接続される端部か、露出端部141として形成されている。

【0061】

本実施の形態では、分離層120に接して設けられる中間層として SiO_2 膜を使用しているが、 Si_3N_4 などのその他の絶縁膜を使用することもできる。 SiO_2 膜(中間層)の厚みは、その形成目的や発揮し得る機能の程度に応じて適宜決定されるが、通常は、10nm~5 μm 程度であるのが好ましく、40nm~1 μm 程度であるのがより好ましい。中間層は、種々の目的で形成され、例えば、被転写層140を物理的または化学的に保護する保護層、絶縁層、導電層、レーザー光の遮光層、マイグレーション防止用のバリア層、反射層としての機能の内の少なくとも1つを発揮するものが挙げられる。

20

【0062】

なお、場合によっては、 SiO_2 膜等の中間層を形成せず、分離層120上に直接被転写層(薄膜デバイス層)140を形成してもよい。

【0063】

このような薄膜素子(薄膜デバイス)は、その形成方法との関係で、通常、比較的高いプロセス温度を経て形成される。したがって、この場合、前述したように、基板100としては、そのプロセス温度に耐え得る信頼性の高いものが必要となる。

30

【0064】

[工程4]

次に、図4に示すように、薄膜デバイス層140を、透明基板10上に導電性接着層160を介して接着する。このとき、透明基板10上に予め形成されたアクティブマトリクス層20の露出端部22と、薄膜デバイス層140の露出端部141とが対向される。

【0065】

導電性接着層160の好適な例としては、ACF(anisotropic conductive film:異方性接着膜)であり、両露出端部22,141は、その間に挟まれて加熱加圧される導電粒子161により電氣的に接続される。ACFを用いると、厚さ方向のみで導通が確保されるため、隣接する露出端部22同士または141同士がショートすることを防止できる。なお、他の導電性接着剤を用いることもでき、導電性接着層160の接着剤の材質としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気硬化型接着剤等の各種硬化型接着剤が挙げられる。接着剤の組成としては、例えば、エポキシ系、アクリレート系、シリコーン系等、いかなるもので

40

【0066】

前記硬化型接着剤を用いる場合、例えば透明基板10及び露出端部22上に硬化型接着剤を塗布し、その上に被転写層(薄膜デバイス層)140を接合した後、硬化型接着剤の特性に応じた硬化方法により前記硬化型接着剤を硬化させて、被転写層(薄膜デバイス層)140と透明基板10とを接着し、固定する。

50

【0067】

接着剤が光硬化型の場合、透明基板10または光透過性の基板100の一方の外側からあるいは両外側から光を照射する。この場合、導電性接着層160中の接着剤としては、薄膜デバイス層に影響を与えにくい紫外線硬化型などの光硬化型接着剤が好ましい。

【0068】

[工程5]

次に、図5に示すように、基板100の裏面側から光を照射する。

【0069】

この光は、基板100を透過した後に分離層120に照射される。これにより、分離層120に層内剥離および/または界面剥離が生じ、結合力が減少または消滅する。

10

【0070】

分離層120の層内剥離および/または界面剥離が生じる原理は、分離層120の構成材料にアブレーションが生じること、また、分離層120に含まれているガスの放出、さらには照射直後に生じる溶融、蒸散等の相変化によるものであることが推定される。

【0071】

ここで、アブレーションとは、照射光を吸収した固定材料(分離層120の構成材料)が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することをいい、主に、分離層120の構成材料の全部または一部が溶融、蒸散(気化)等の相変化を生じる現象として現れる。また、前記相変化によって微小な発砲状態となり、結合力が低下することもある。

20

【0072】

分離層120が層内剥離を生じるか、界面剥離を生じるか、またはその両方であるかは、分離層120の組成や、その他種々の要因に左右され、その要因の1つとして、照射される光の種類、波長、強度、到達深さ等の条件が挙げられる。

【0073】

照射する光としては、分離層120に層内剥離および/または界面剥離を起こさせるものであればいかなるものでもよく、例えば、X線、紫外線、可視光、赤外線(熱線)、レーザー光、ミリ波、マイクロ波、電子線、放射線(線、線、線)等が挙げられる。そのなかでも、分離層120の剥離(アブレーション)を生じさせやすいという点で、レーザー光が好ましい。

30

【0074】

このレーザー光を発生させるレーザー装置としては、各種気体レーザー、固体レーザー(半導体レーザー)等が挙げられるが、エキシマレーザー、Nd-YAGレーザー、Arレーザー、CO₂レーザー、COレーザー、He-Neレーザー等が好適に用いられ、その中でもエキシマレーザーが特に好ましい。

【0075】

エキシマレーザーは、短波長域で高エネルギーを出力するため、極めて短時間で分離層120にアブレーションを生じさせることができ、よって隣接する透明基板10や基板100等に温度上昇をほとんど生じさせることなく、すなわち劣化、損傷を生じさせることなく、分離層120を剥離することができる。

40

【0076】

また、分離層120にアブレーションを生じさせるに際して、光の波長依存性がある場合、照射されるレーザー光の波長は、100nm~350nm程度であるのが好ましい。

【0077】

図7に、基板100の、光の波長に対する透過率の一例を示す。図示されるように、300nmの波長に対して透過率が急峻に増大する特性をもつ。このような場合には、300nm以上の波長の光(例えば、波長308nmのXe-Clエキシマレーザー光)を照射する。

【0078】

また、分離層120に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を

50

与える場合、照射されるレーザ光の波長は、350から1200nm程度であるのが好ましい。

【0079】

また、照射されるレーザ光のエネルギー密度、特に、エキシマレーザの場合のエネルギー密度は、 $10 \sim 5000 \text{ mJ/cm}^2$ 程度とするのが好ましく、 $100 \sim 500 \text{ mJ/cm}^2$ 程度とするのがより好ましい。また、照射時間は、 $1 \sim 1000 \text{ nsec}$ 程度とするのが好ましく、 $10 \sim 100 \text{ nsec}$ 程度とするのがより好ましい。エネルギー密度が低いかまたは照射時間が短いと、十分なアブレーション等が生じず、また、エネルギー密度が高いかまたは照射時間が長くと、分離層120を透過した照射光により被転写層140に悪影響を及ぼすおそれがある。

10

【0080】

なお、レーザ光に代表される照射光は、その強度がほぼ均一となるように照射されるのであれば、照射光の照射方向は、分離層120に対し垂直な方向に限らず、分離層120に対し所定角度傾斜した方向であってもよい。

【0081】

次に、図5に示すように、基板100に力を加えて、この基板100を分離層120から離脱させる。図5では図示されないが、この離脱後、基板100上に分離層が付着することもある。

【0082】

[工程6]

次に、残存している分離層120を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。これにより、図6に示すように、被転写層（薄膜デバイス層）140が、透明基板10に転写され、透明基板10上には、画素領域12に加えて、ドライバ14, 16が搭載されることになる。しかも、ドライバ14, 16と画素領域12とは、上述した露出端部22, 141同士が導電性接着層160にて電氣的に接続されている。従って、転写後に煩雑な配線作業を省力することができる。

20

【0083】

なお、離脱した基板100にも分離層の一部が付着している場合には同様に除去する。なお、基板100が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板100は、好ましくは再利用（リサイクル）に供される。すなわち、再利用したい基板100に対し、本発明を適用することができ、有用性が高い。

30

【0084】

以上のような各工程を経て、被転写層（薄膜デバイス層）140の透明基板10への転写が完了する。その後、必要により、被転写層（薄膜デバイス層）140に隣接するSiO₂膜の除去や、被転写層140上への配線等の導電層や所望の保護膜の形成等を行うこともできる。

【0085】

本実施の形態では、被剥離物である被転写層（薄膜デバイス層）140自体を直接に剥離するのではなく、被転写層（薄膜デバイス層）140に接合された分離層に120において剥離するため、被剥離物（被転写層140）の特性、条件等にかかわらず、容易かつ確実に、しかも均一に剥離（転写）することができ、剥離操作に伴う被剥離物（被転写層140）へのダメージもなく、被転写層140の高い信頼性を維持することができる。

40

【0086】

ここで、このアクティブマトリクス基板上の回路を、図8に模式的に示す。画素領域12の画素12aには、スイッチング素子としてアモルファスシリコンTFT30が配置され、ゲート線G1とソース線S1に接続されている。また、アモルファスシリコンTFTのドレインは、アクティブマトリクス層20に設けられる透明画素電極56に接続される。この透明画素電極56は、対向基板が貼り合わされることで、透明共通電極232と対向し、その対向間に液晶220が封入される。なお、共通電極は必ずしも対向基板に設け

50

るものに限らない。例えばIPSモード（液晶層に画素電極と共通電極により横電界をかけるタイプ）の場合は、TFT基板側に共通電極が形成される。

【0087】

一方、薄膜デバイス層140にて構成されるドライバ14, 16は、ポリシリコンTFT32, 34を有する。

【0088】

本実施の形態では、画素12aのスイッチング素子としてアモルファスシリコンTFTを用いることで、オフリーク電流が小さいために、液晶220にチャージされた電圧の保持特性を高くすることができる。また、画素領域12の各画素12aの線幅は、2 μ m以上、現状では5 μ m以上で十分であるため、耐圧も高めることができる。

10

【0089】

一方、ドライバ14, 16内のポリシリコンTFTはオフリーク電流はアモルファスシリコンTFT30ほど低くないが、アモルファスシリコンTFT30よりも移動度が高いため、高精細の液晶パネルの場合でも、高速動作に追従することができる。

【0090】

ここで、本実施の形態では、透明基板10に形成されるアモルファスシリコンTFT30と、被転写層140中のポリシリコンTFT32, 34とは、それぞれ異なるプロセスにて異なる基板上に形成されるので、設計ルール（つまりパターン設計上でのデザインルール）を異ならせることもできる。つまり、最小線幅が異なるTFTを形成することができる。

20

【0091】

本実施の形態では、アクティブマトリクス基板18上の画素領域12よりも、より微細な製造プロセスで作成されたドライバ14, 16を形成することができる。たとえばドライバ14, 16の最小線幅は画素領域12よりも十分狭くし、例えばサブミクロンオーダーとすることができる。

【0092】

ドライバ14, 16を構成するシフトレジスタは、低電圧下においてロジックレベルの動作をするので、画素12aのアモルファスシリコンTFT30よりも耐圧が低くてよく、よって、アモルファスシリコンTFTより微細なポリシリコンTFT32, 34となるようにして高集積化を図ることができる。

30

【0093】

このように、本実施の形態によれば、設計ルールレベルの異なる（つまり製造プロセスが異なる）複数の回路を、一つの基板10上に実現できる。

【0094】

ここで、ドライバ14, 16内のシフトレジスタの一例を図31に、そのタイミングチャートを図32に示す。図31に示すシフトレジスタは、p型ポリシリコンTFTとn型ポリシリコンTFTから成る相補型のトランジスタを含んで構成されている。

【0095】

（第2の実施の形態）

第1の実施の形態にて説明したアクティブマトリクス基板及びそれを用いた液晶パネルのより具体的な製造プロセスの例を、図9～図20を用いて説明する。

40

【0096】

（工程1）

図9は、透明基板10上にアクティブマトリクス層20を形成した後の状態を示している。このアクティブマトリクス層20は、複数のボトム・ゲート型のアモルファスシリコンTFT30を含んでいるが、図9では一つの画素12aに設けられた一つのアモルファスシリコンTFT30を示している。

【0097】

アクティブマトリクス層20の構造を説明すると、透明基板10上に例えばMoTaなどのゲート電極40が形成され、その上にSiO₂あるいはSiNなどのSiNXのゲート絶

50

縁膜 42 が形成されている。ゲート絶縁膜 42 の上には、ゲート電極 40 と対向する位置にチャンネルとしてのアモルファスシリコン層 44 が形成される。このアモルファスシリコン層 44 上には、 SiN_x などのチャンネル保護膜 46 の左右に、それぞれ例えば n^+ アモルファスシリコン層 48, 50 が形成される。これらは、アモルファスシリコン T F T 30 のソース・ドレインとして機能する。ソースとなる n^+ アモルファスシリコン層 48 に導通して例えば A1 のソース電極 52 が形成され、ドレインとなる n^+ アモルファスシリコン層 50 に導通して例えば A1 のドレイン電極 54 が形成される。さらに、ドレイン電極 54 と導通して、例えば ITO から成る透明画素電極 56 が形成される。そして最上層に、例えば SiN_x などによりパッシベーション膜 58 が形成される。なお、ゲート電極 40 及びソース電極 52 は、互いに直交する方向に延在形成され、その一端はパッシベーション膜 58 に覆われていない露出端部となっている。図 9 では、ソース電極 52 の露出端部 22 のみを示している。なお、このアクティブマトリクス層 30 の製造工程については周知であるので、その説明は省略する。

【0098】

(工程 2)

図 10 に示すように、透光性基板 (例えば石英基板) 100 上に、分離層 (例えば、L P C V D 法により形成されたアモルファスシリコン層) 120 と、中間層 (例えば、 SiO_2 膜) 142 と、アモルファスシリコン層 (例えば L P C V D 法により形成される) 143 とを順次に積層形成し、続いて、アモルファスシリコン層 143 の全面に上方からレーザー光を照射し、アニールを施す。これにより、アモルファスシリコン層 143 は再結晶化してポリシリコン層となる。なお、この場合のレーザーアニールをビームスキャンによって実施する場合には、上述の分離層 120 へのビームスキャンとは異なり、各回のビームのビーム中心同士が重なるように、同一箇所に 2 度以上光照射されることが好ましい。

【0099】

(工程 3)

続いて、図 11 に示すように、レーザーアニールにより得られたポリシリコン層をパターンニングして、アイランド 144a, 144b を形成する。

【0100】

(工程 4)

図 12 に示すように、アイランド 144a, 144b を覆うゲート絶縁膜 148a, 148b を、例えば、C V D 法により形成する。

【0101】

(工程 5)

図 13 に示すように、ポリシリコンあるいはメタル等からなるゲート電極 150a, 150b を形成する。

【0102】

(工程 6)

図 14 に示すように、ポリイミド等からなるマスク層 170 を形成し、ゲート電極 150b およびマスク層 170 をマスクとして使い、セルフアラインで、例えばボロン (B) のイオン注入を行う。これによって、 p^+ 層 172a, 172b が形成される。

【0103】

(工程 7)

図 15 に示すように、ポリイミド等からなるマスク層 174 を形成し、ゲート電極 150a およびマスク層 174 をマスクとして使い、セルフアラインで、例えばリン (P) のイオン注入を行う。これによって、 n^+ 層 146a, 146b が形成される。

【0104】

(工程 8)

図 16 に示すように、層間絶縁膜 154 を形成し、選択的にコンタクトホール形成後、電極 152a ~ 152d を形成する。

【0105】

10

20

30

40

50

(工程 9)

次に、図 17 に示すように、層間絶縁膜 154 上に保護膜 174 を形成する。このとき、アモルファスシリコン層 20 の露出端部 22 と電氣的に接続される電極の端部は、保護膜 174 に覆われない露出端部とされる。図 17 では、電極 152 a の露出端部 141 を示している。

【0106】

このようにして形成された CMOS 構造の TFT が、図 3 ~ 図 6 における被転写層 (薄膜デバイス層) 140 に該当する。

【0107】

(工程 10)

上述した被転写層 140 は、図 18 に示すように、一枚の半導体ウエハ 180 に多数同時に製造することができる。そこで、この半導体ウエハ 180 をプローブ装置にセットし、半導体ウエハ 180 上の各々被転写層 140 の露出端部 141 に触針をコンタクトして、各々の被転写層 140 の電氣的特性検査を実施する。そして、不良と判定された被転写層 140 にはインカーまたはスクラッチ針などにてマーキングする。

【0108】

その後、半導体ウエハ 180 上の多数の被転写層 140 を個々にダイシングする。この際、マーキングの有無により、個々の被転写層 140 を、不良品と良品とに選別しておく。なお、ダイシング後に、個々の被転写層 140 の電氣的特性検査を実施しても良い。

【0109】

(工程 11)

図 19 に示すように、透明基板 10 上及び露出端部 22 上に、ACF 160 を形成、次に、その ACF 160 を介して、良品の被転写層 140 を貼り付け、熱と圧力とにより接着する。このとき、アクティブマトリクス層 20 の露出端部 22 と、被転写層 140 の露出端部 141 とは、ACF 160 中の導電粒子 161 を介して導通される。被転写層 140 は、透明基板 10 に搭載する数分だけ貼り付けられ、本実施の形態では 2 つの被転写層 140 が透明基板 10 に貼り付けられる。

【0110】

(工程 12)

図 20 に示すように、透光性基板 100 の裏面から、例えば、Xe-Cl エキシマレーザー光を照射する。これにより、分離層 120 の層内および/または界面において剥離を生じせしめる。この結果、分離層 120 の結合力が低下するので、この分離層 120 を境として、被転写層 140 より基板 100 を引き剥がす。

【0111】

さらに、分離層 120 をエッチングにより除去する。これにより、図 1 に示すように、アクティブマトリクス層 30 から成る画素領域 12 が形成された透明基板 10 上に、ドライバ 14, 16 が転写され、アクティブマトリクス基板 18 が完成する。

【0112】

(工程 13)

最後に、このアクティブマトリクス基板 18 を用いて、図 21 のように組み立てて液晶パネルを製造する。

【0113】

図 21 に示すように、アクティブマトリクス型の液晶パネルは、バックライト等の照明光源 200, 偏光板 210, アクティブマトリクス基板 18, 液晶 220, 対向基板 230, 偏光板 240 を具備する。

【0114】

なお、なお、画素電極を金属で形成した場合、反射板および偏光板 210 は不要となる。

【0115】

図 21 に示す構成部材を組み立てるに当たって、まず、図 22 に示すように、アクティブマトリクス基板 18 と対向基板 230 とを貼り合わせる。この際、予め、アクティブマト

10

20

30

40

50

リクス基板 18 の液晶 5 表示利用域部 12 の表面に配向膜を形成して配向処理が施される。図 22 では、配向膜は省略してある。

【0116】

対向基板 230 は、図 22 に示すように、アクティブマトリクス基板 18 上の多数の画素電極 56 と対向する共通電極 232 が形成され、その表面が配向処理されている。そして、対向基板 230 とアクティブマトリクス基板 18 とを封止材（シール材）234 で封止し、両基板の間に液晶 236 を封入する。その後、図 21 に示す各構成部材を積層することで、液晶パネルが完成する。

【0117】

（第 3 の実施の形態）

本実施の形態は、図 23 に示すように、転写体である透明基板 300 上に、画像表示領域部 12 と、ドライバ例えば 2 つのドライバ 14, 16 を転写して、アクティブマトリクス基板 310 を製造するものである。このとき、透明基板 300 上には予め配線パターン 302 が形成されており、画素領域 12、ドライバ 14, 16 は、配線パターン 302 と導通するようにして転写される。

【0118】

以下、図 23 に示すアクティブマトリクス基板 310 の製造方法について、図 24 ~ 図 30 を参照して説明する。なお、ドライバ 14, 16 については、第 2 の実施の形態にて説明した被転写層 140 をそのまま利用できるのもので、以下、画素領域 12 の製造方法と、その後の転写方法について説明する。なお、この第 3 の実施の形態に用いる部材のうち、第 2 の実施の形態にて用いた部材と同一機能を有する部材については、同一符号を付してその説明を省略する。

【0119】

（工程 1）

図 24 は、画素領域 12 の元となるアモルファスシリコン TFT 30 を含む被転写層 400 の製造工程を示している。ここで、被転写層 400 とは、ゲート電極 40、ゲート絶縁膜 42、チャンネルとなるアモルファスシリコン層 44、チャンネル保護膜 46、ソース・ドレインとなる n^+ 型アモルファスシリコン層 48, 50、ソース電極 52、ドレイン電極 54、透明画素電極 56、パッシベーション膜 58 及び後述する中間層 59 である。

【0120】

これらの被転写層 400 は、アクティブマトリクス基板 18 を構成する透明基板 300 上に直接に形成するのではなく、被転写層 400 の製造のためにのみ用いる基板例えば透明基板 402 上に形成される。この透明基板 402 は、被転写層 400 を形成するための最高プロセス温度に耐える耐熱性を有する。

【0121】

また、図 24 では、透明基板 400 上に例えばアモルファスシリコンにて形成された第 1 の分離層 404 を形成している。この第 1 の分離層 404 は、第 2 の実施の形態における分離層 120 と同様に機能するものである。

【0122】

本実施の形態ではさらに、第 1 分離層 404 上に接して設けられる中間層 59 を設けている。中間層 59 として、 SiO_2 、 Si_3N_4 などの絶縁膜を使用している。 SiO_2 膜（中間層）の厚みは、その形成目的や発揮し得る機能の程度に応じて適宜決定されるが、通常は、10nm ~ 5 μ m 程度であるのが好ましく、40nm ~ 1 μ m 程度であるのがより好ましい。中間層は、種々の目的で形成され、例えば、被転写層 400 を物理的または化学的に保護する保護層、絶縁層、導電層、レーザー光の遮光層、マイグレーション防止用のバリア層、反射層としての機能の内の少なくとも 1 つを発揮するものが挙げられる。

【0123】

なお、場合によっては、 SiO_2 膜等の中間層を形成せず、第 1 分離層 404 上に直接ゲート電極 40、ゲート絶縁膜 42 などを形成してもよい。

【0124】

10

20

30

40

50

本実施の形態ではさらに、中間層 5 9 及び第 1 分離層 4 0 4 にコンタクトホール 5 3 を形成し、ソース電極材料を該コンタクトホール 5 3 に充填し、後に第 1 分離層 4 0 4 より下層が除去された際に露出する露出端部 2 2 を形成している。なお、ゲート電極 4 0 の露出端部 2 2 (図示せず) は、中間層 5 9 に設けられるコンタクトホールにゲート電極材料を充填することで形成される。

【 0 1 2 5 】

(工程 2)

次に、図 2 5 に示すように、被転写層 4 0 0 上に、第 2 分離層として例えば熱溶融性接着層 4 1 0 を形成する。このとき、アモルファスシリコン T F T の表層に生じていた段差が、熱溶融性接着剤 4 1 0 により平坦化される。

10

【 0 1 2 6 】

この熱溶融性接着層 4 1 0 として、薄膜素子への不純物 (ナトリウム、カリウムなど) 汚染の虞が少ない、例えばプルーフワックス (商品名) などのエレクトロニクスを挙げることができる。

【 0 1 2 7 】

(工程 3)

さらに、図 2 5 に示すように、第 2 分離層である熱溶融性接着層 4 1 0 の上に、一次転写体 4 2 0 を接着する。この一次転写体 4 2 0 は、被転写層 4 0 0 の製造後に接着されるものであるため、被転写層 4 0 0 の製造時のプロセス温度などに対する制約はなく、常温時に保型性さえあればよい。本実施の形態ではガラス基板、合成樹脂など、比較的安価で保型性のある材料を用いている。

20

【 0 1 2 8 】

(工程 4)

次に、図 2 6 に示すように、透明基板 4 0 2 の裏面側から光を照射する。

【 0 1 2 9 】

この光は、透明基板 4 0 2 を透過した後に第 1 分離層 4 0 4 に照射される。これにより、第 1 分離層 4 0 4 に層内剥離および / または界面剥離が生じ、結合力が減少または消滅する。

【 0 1 3 0 】

次に、透明基板 4 0 2 に力を加えて、この基板 4 0 2 を第 1 分離層 4 0 4 から離脱させる

30

【 0 1 3 1 】

(工程 5)

次に、被転写層 4 0 0 の下面に残存している第 1 分離層 4 0 4 を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。これにより、図 2 7 に示すように、被転写層 (薄膜デバイス層) 4 0 0 が、一次転写体 4 2 0 に一次転写されたことになる。このとき、ソース電極 5 2 の一部は、コンタクトホール 5 3 を介して露出して、露出端部 2 2 が形成される。ゲート電極 4 0 の一部も同様に露出される。

【 0 1 3 2 】

なお、離脱した透明基板 4 0 2 にも第 1 分離層 4 0 4 の一部が付着している場合には同様に除去する。なお、基板 4 0 2 が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板 4 0 2 は、好ましくは再利用 (リサイクル) に供される。すなわち、再利用したい基板 4 0 2 に対し、本発明を適用することができ、有用性が高い。

40

【 0 1 3 3 】

(工程 6)

次に、図 2 8 に示すように、被転写層 4 0 0 を、透明基板 3 0 0 上に導電性接着層 4 3 0 を介して接着する。このとき、透明基板 3 0 0 上に予め形成された配線パター 3 0 2 と、被転写層 4 0 0 の露出端部 2 2 とが対向される。

【 0 1 3 4 】

50

導電性接着層 430 としては、第 2 の実施の形態と同様に ACF を用い、露出端部 22 と配線パターン 302 とは、その間に挟まれて加熱加圧される導電粒子 431 を介して電氣的に接続される。

【0135】

なお、二次転写体として機能する透明基板 300 は、平板であっても、湾曲板であってもよい。また、二次転写体である透明基板 300 は、被転写層 400 を形成するための基板 402 に比べ、耐熱性、耐食性等の特性が劣るものであってもよい。その理由は、基板 402 側に被転写層 400 を形成し、その後、被転写層 400 を二次転写体である透明基板 300 に転写するため、この透明基板 300 に要求される特性、特に耐熱性は、被転写層 400 の形成の際の温度条件等に依存しないからである。この点は、一次転写体 420 10 についても同様である。

【0136】

したがって、被転写層 400 の形成の際の最高温度を T_{max} としたとき、一次、二次転写体 420, 300 の構成材料として、ガラス転移点 (T_g) または軟化点が T_{max} 以下のものを用いることができる。例えば、一次、二次転写体 420, 300 は、ガラス転移点 (T_g) または軟化点が好ましくは 800 以下、より好ましくは 500 以下、さらに好ましくは 320 以下の材料で構成することができる。

【0137】

(工程 7)

次に、熱溶解性樹脂層 410 を熱により溶解させ、この熱溶解性樹脂層 410 を境にして 20、被転写層 400 を一次転写体 420 より引き剥がす。さらに、TFT の下面に残存している熱溶解性樹脂層 410 を、例えば有機溶剤により除去する。これにより、図 29 の右側に示すように、被転写層 400 が二次転写体である透明基板 300 に転写される。この図 29 の右側の状態は、図 24 に示す基板 402 及び第 1 分離層 404 を、二次転写体である透明基板 300 及び手導電性接着層 430 に置き換えたものと同じとなる。従って、TFT の製造工程に用いた基板 402 に対する被転写層 400 の積層関係が、二次転写体である透明基板 300 上にて確保される。このため、透明電極 56 が露出され、アクティブマトリクス基板として利用できる。

【0138】

(工程 8)

次に、図 29 の左側に示すように、ドライバ 14, 16 に対応する被転写層 140 を、透明基板 300 上に導電性接着層 440 を介して接着する。このとき、透明基板 300 上に予め形成された配線パターン 302 と、被転写層 140 の露出端部 141 とが対向される。

【0139】

導電性接着層 440 として ACF を用い、露出端部 141 と配線パターン 302 とは、その間に挟まれて加熱加圧される導電粒子 441 を介して電氣的に接続される。

【0140】

(工程 9)

図 29 の左側に示すように、基板 100 の裏面から、例えば、Xe-Cl エキシマレーザ 40 光を照射する。これにより、分離層 120 の層内および/または界面において剥離を生じせしめる。この結果、分離層 120 の結合力が低下するので、この分離層 120 を境として、被転写層 140 より基板 100 を引き剥がす。

【0141】

さらに、分離層 120 をエッチングにより除去する。これにより、図 23 に示すように、透明基板 300 上にて、かつ配線パターン 302 と導通された状態にて、画素領域 12 及びドライバ 14, 16 が転写され、アクティブマトリクス基板 310 が完成する。

【0142】

(工程 10)

最後に、このアクティブマトリクス基板 310 を用いて、図 21 のように組み立てて液晶 50

パネルを製造する。この際、図30の通り、アクティブマトリクス基板310と対向基板230とがシール材貼り合わされて、その間に液晶236を封入する封入工程が実施される。

【0143】

なお、第3の実施の形態では、画素領域12を2度転写により基板300上に転写したが、ドライバ14, 16の場合と同様に1度転写で行うことも可能である。このとき、1度転写により透明画素電極が露出するように構成すればよい。

【0144】

【実施例】

次に、ドライバ14, 16の製造に関する具体的実施例について説明する。

10

【0145】

(実施例1)

縦50mm×横50mm×厚さ1.1mmの石英基板(軟化点:1630、歪点:1070、エキシマレーザの透過率:ほぼ100%)を用意し、この石英基板の片面に、分離層(レーザ光吸収層)として非晶質シリコン(a-Si)膜を低圧CVD法(Si_2H_6 ガス、425)により形成した。分離層の膜厚は、100nmであった。

【0146】

次に、分離層上に、中間層として SiO_2 膜をECR-CVD法($SiH_4 + O_2$ ガス、100)により形成した。中間層の膜厚は、200nmであった。

【0147】

20

次に、中間層上に、被転写層として膜厚50nmの非晶質シリコン膜を低圧CVD法(Si_2H_6 ガス、425)により形成し、この非晶質シリコン膜にレーザ光(波長308nm)を照射して、結晶化させ、ポリシリコン膜とした。その後、このポリシリコン膜に対し、所定のパターンニングを施し、薄膜トランジスタのソース・ドレイン・チャンネルとなる領域を形成した。この後、1000°C以上の高温によりポリシリコン膜表面を熱酸化してゲート絶縁膜 SiO_2 を形成した後、ゲート絶縁膜上にゲート電極(ポリシリコンにMo等の高融点金属が積層形成された構造)を形成し、ゲート電極をマスクとしてイオン注入することによって、自己整合的(セルフアライン)にソース・ドレイン領域を形成し、薄膜トランジスタを形成した。この後、必要に応じて、ソース・ドレイン領域に接続される電極及び配線、ゲート電極につながる配線が形成される。これらの電極や配線にはAlが使用されるが、これに限定されるものではない。また、後工程のレーザ照射によりAlの溶融が心配される場合は、Alよりも高融点の金属(後工程のレーザ照射により溶融しないもの)を使用してもよい。最後にパッシベーション膜を形成し、その際ソース線、ゲート線の端部を露出させた。

30

【0148】

次に、前記薄膜トランジスタの上に、導電性接着剤を塗布しさらにその塗膜に、転写体として縦200mm×横300mm×厚さ1.1mmの大型の透明なガラス基板(ソーダガラス、軟化点:740、歪点:511)を接合した。ガラス基板には予め配線パターンが形成され、その配線パターンとの導通を取るために、予め位置合わせした後に接合した。

【0149】

40

次に、Xe-Clエキシマレーザ(波長:308nm)を石英基板側から照射し、分離層に剥離(層内剥離および界面剥離)を生じさせた。照射したXe-Clエキシマレーザのエネルギー密度は、250mJ/cm²、照射時間は、20nsecであった。なお、エキシマレーザの照射は、スポットビーム照射とラインビーム照射とがあり、スポットビーム照射の場合は、所定の単位領域(例えば8mm×8mm)にスポット照射していく。また、ラインビーム照射の場合は、所定の単位領域(例えば378mm×0.1mmや378mm×0.3mm(これらはエネルギーの90%以上が得られる領域))を同じくしていく。

【0150】

この後、石英基板とガラス基板(転写体)とを分離層において引き剥がし、石英基板上に形成された薄膜トランジスタおよび中間層を、ガラス基板側に転写した。

50

【0151】

その後、ガラス基板側の中間層の表面に付着した分離層を、エッチングや洗浄またはそれらの組み合わせにより除去した。また、石英基板についても同様の処理を行い、再使用に供した。

【0152】

なお、転写体となるガラス基板が石英基板より大きな基板であれば、本実施例のような石英基板からガラス基板への転写を、平面的に異なる領域に繰り返して実施し、ガラス基板上に、石英基板に形成可能な薄膜トランジスタの数より多くの薄膜トランジスタを形成することができる。さらに、ガラス基板上に繰り返し積層し、同様により多くの薄膜トランジスタを形成することができる。

10

【0153】

(実施例2)

分離層を、H(水素)を20at%含有する非晶質シリコン膜とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0154】

なお、非晶質シリコン膜中のH量の調整は、低圧CVD法による成膜時の条件を適宜設定することにより行った。

【0155】

(実施例3)

分離層を、スピンコートによりゾル-ゲル法で形成したセラミックス薄膜(組成:PbTiO₃、膜厚:200nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

20

【0156】

(実施例4)

分離層を、スパッタリングにより形成したセラミックス薄膜(組成:BaTiO₃、膜厚:400nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0157】

(実施例5)

分離層を、レーザーアブレーション法により形成したセラミックス薄膜(組成:Pb(Zr,Ti)O₃(PZT)、膜厚:50nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

30

【0158】

(実施例6)

分離層を、スピンコートにより形成したポリイミド膜(膜厚:200nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0159】

(実施例7)

分離層を、スピンコートにより形成したポリフェニレンサルファイド膜(膜厚:200nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0160】

(実施例8)

分離層を、スパッタリングにより形成したAl層(膜厚:300nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

40

【0161】

(実施例9)

照射光として、Kr-Fエキシマレーザー(波長:248nm)を用いた以外は実施例2と同様にして、薄膜トランジスタの転写を行った。なお、照射したレーザーのエネルギー密度は、250mJ/cm²、照射時間は、20nsecであった。

【0162】

(実施例10)

50

照射光として、Nd-YAGレーザー（波長：1068nm）を用いた以外は実施例2と同様にして薄膜トランジスタの転写を行った。なお、照射したレーザーのエネルギー密度は、400mJ/cm²、照射時間は、20nsecであった。

【0163】

（実施例11）

被転写層として、高温プロセス1000によるポリシリコン膜（膜厚80nm）の薄膜トランジスタとした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0164】

（実施例12）

転写体として、ポリカーボネート（ガラス転移点：130）製の透明基板を用いた以外は実施例1と同様にして、薄膜トランジスタの転写を行った。 10

【0165】

（実施例13）

転写体として、AS樹脂（ガラス転移点：70～90）製の透明基板を用いた以外は実施例2と同様にして、薄膜トランジスタの転写を行った。

【0166】

（実施例14）

転写体として、ポリメチルメタクリレート（ガラス転移点：70～90）製の透明基板を用いた以外は実施例3と同様にして、薄膜トランジスタの転写を行った。

【0167】

（実施例15）

転写体として、ポリエチレンテレフタレート（ガラス転移点：67）製の透明基板を用いた以外は、実施例5と同様にして、薄膜トランジスタの転写を行った。 20

【0168】

（実施例16）

転写体として、高密度ポリエチレン（ガラス転移点：77～90）製の透明基板を用いた以外は実施例6と同様にして、薄膜トランジスタの転写を行った。（実施例17）

転写体として、ポリアミド（ガラス転移点：145）製の透明基板を用いた以外は実施例9と同様にして、薄膜トランジスタの転写を行った。

【0169】

（実施例18）

転写体として、エポキシ樹脂（ガラス転移点：120）製の透明基板を用いた以外は実施例10と同様にして、薄膜トランジスタの転写を行った。 30

【0170】

（実施例19）

転写体として、ポリメチルメタクリレート（ガラス転移点：70～90）製の透明基板を用いた以外は実施例11と同様にして、薄膜トランジスタの転写を行った。

【0171】

実施例1～19について、それぞれ、転写された薄膜トランジスタの状態を肉眼と顕微鏡とで視観察したところ、いずれも、欠陥やムラがなく、均一に転写がなされていた。 40

【0172】

以上述べたように、本発明では、転写技術を用いることで、画素領域にはオフ時の案抵抗が高いアモルファスシリコンTF Tなどをスイッチング素子として用い、そのドライバには移動度が高く高速応答可能なポリシリコンTF Tなどを能動素子として用いながらも、画素領域及びそのドライバを一枚の基板に形成することができる。

【0173】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る液晶パネル用基板を概略的に示す平面図である。

【図2】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第1の工程を 50

示す断面図である。

【図3】(A)(B)は、本発明の液晶パネル用基板の製造方法の第1の実施の形態における第2,第3の工程を示す断面図である。

【図4】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第4の工程を示す断面図である。

【図5】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第5の工程を示す断面図である。

【図6】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第6の工程を示す断面図である。

【図7】第1の基板(図1の基板100)のレーザー光の波長に対する透過率の変化を示す図である。

10

【図8】本発明の液晶パネル用基板の回路構成を概略的に示す図である。

【図9】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第1の工程を示す断面図である。

【図10】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第2の工程を示す断面図である。

【図11】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第3の工程を示す断面図である。

【図12】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第4の工程を示す断面図である。

20

【図13】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第5の工程を示す断面図である。

【図14】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第6の工程を示す断面図である。

【図15】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第7の工程を示す断面図である。

【図16】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第8の工程を示す断面図である。

【図17】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第9の工程を示す断面図である。

30

【図18】駆動回路が多数同時に形成される半導体ウエハを用いて検査工程、ダイシング工程を実施する第10工程を説明するための図である。

【図19】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第11の工程を示す断面図である。

【図20】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第12の工程を示す断面図である。

【図21】液晶パネルの組立工程である第13工程を説明するための図である。

【図22】液晶パネルの要部の断面構造を示す図である。

【図23】本発明の第3の実施の形態に係る液晶パネル用基板を概略的に示す平面図である。

40

【図24】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第1の工程を示す断面図である。

【図25】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第2,3の工程を示す断面図である。

【図26】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第4の工程を示す断面図である。

【図27】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第5の工程を示す断面図である。

【図28】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第6の工程を示す断面図である。

50

【図29】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第7～9の工程を示す断面図である。

【図30】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第10工程を示す断面図である。

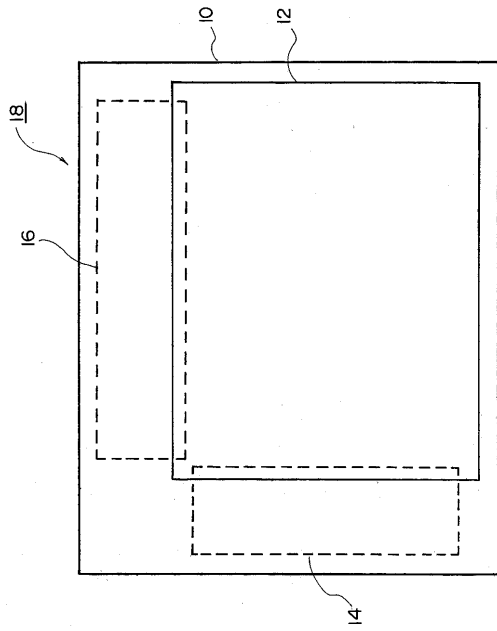
【図31】駆動回路中のシフトレジスタの回路図である。

【図32】図32のシフトレジスタの動作タイミングチャートである。

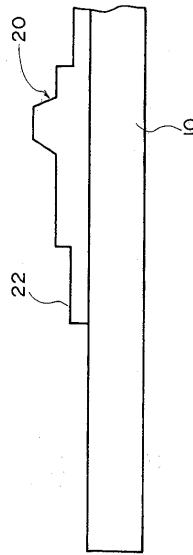
【符号の説明】

10	基板（第1の基板）	
12	画素領域	
14, 16	ドライバ	10
18, 310	アクティブマトリクス基板	
20	アクティブマトリクス層	
22	露出端部（電極露出部）	
30	アモルファスシリコンTFT	
32, 34	ポリシリコンTFT	
56	画素電極	
59	第1分離層	
100	基板（第2の基板, 第2の製造用基板）	
120	分離層（レーザー吸収層）	
140	被転写層	20
141	露出端部（電極露出部）	
160, 430, 440	導電性接着層	
220	液晶	
230	対向基板	
300	転写基板	
302	配線パターン	
400	被転写層	
402	第1の製造用基板	
410	第2分離層	
420	一次転写体	30

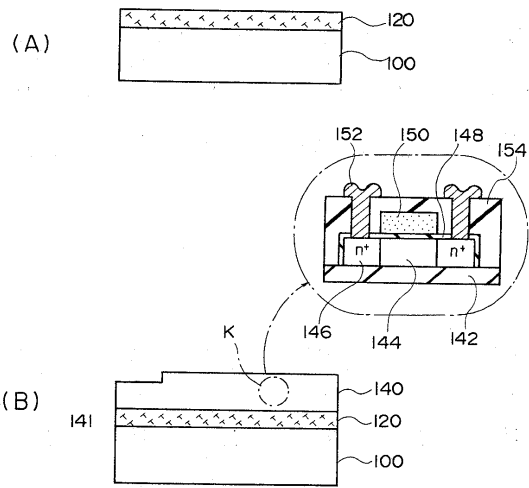
【 図 1 】



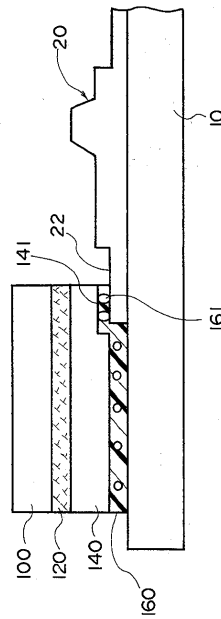
【 図 2 】



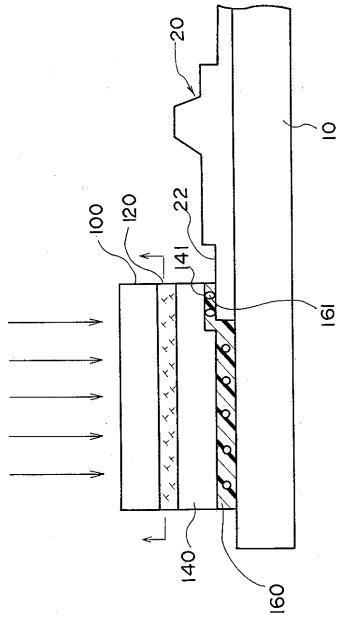
【 図 3 】



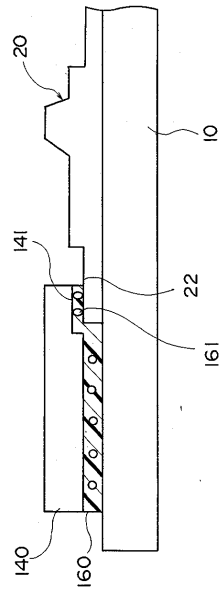
【 図 4 】



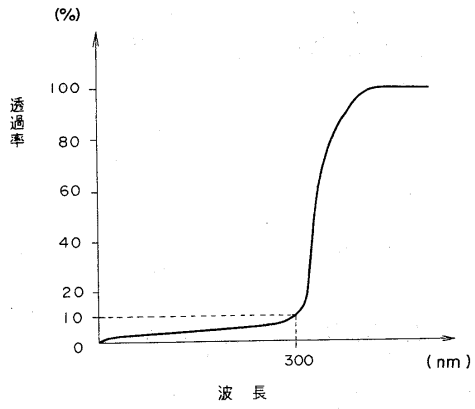
【図5】



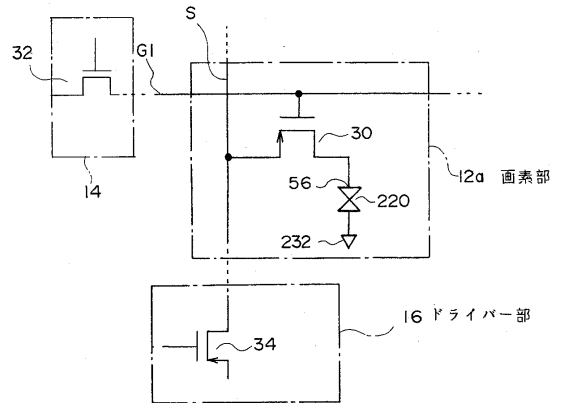
【図6】



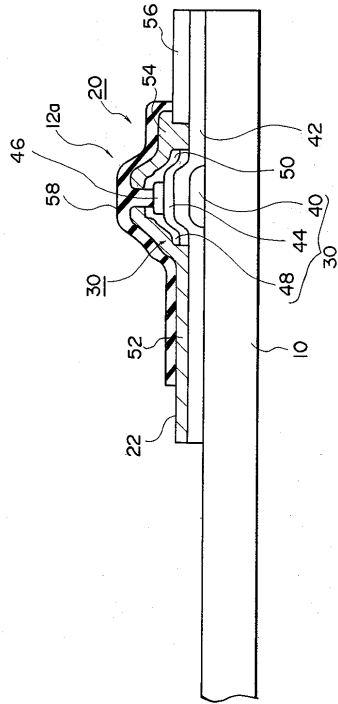
【図7】



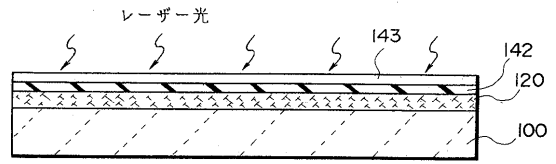
【図8】



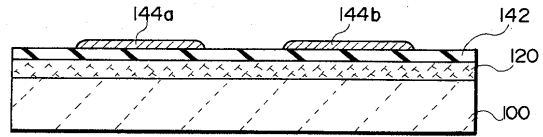
【 図 9 】



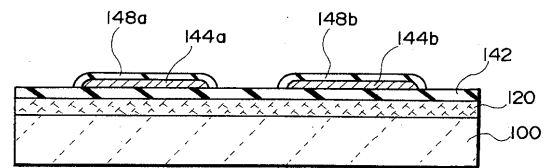
【 図 10 】



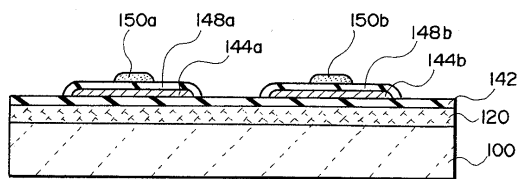
【 図 11 】



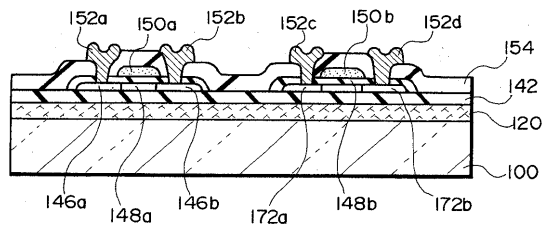
【 図 12 】



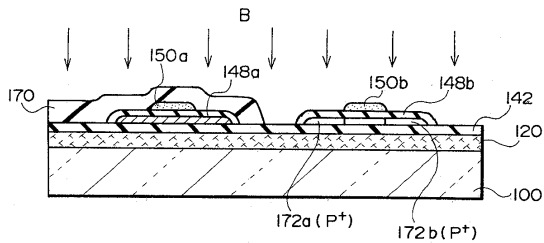
【 図 13 】



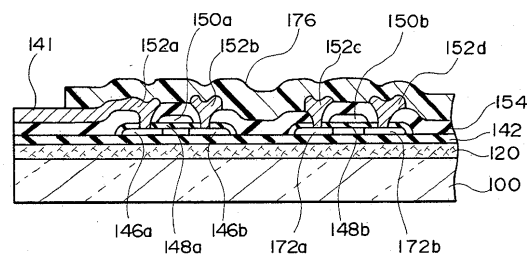
【 図 16 】



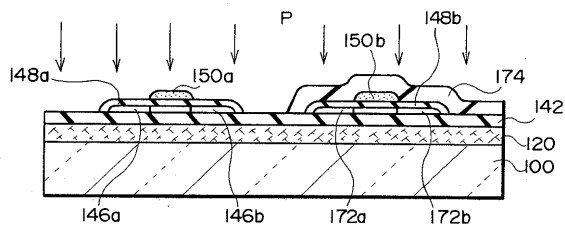
【 図 14 】



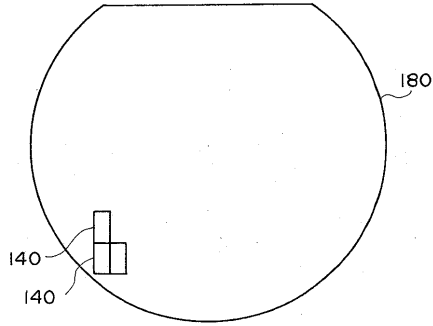
【 図 17 】



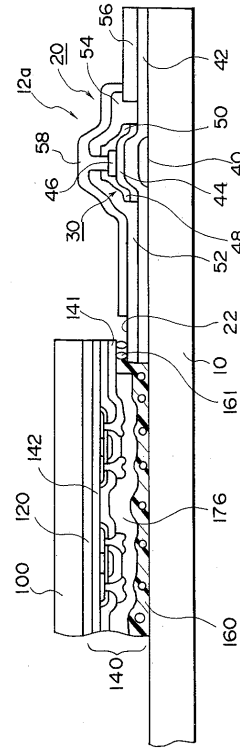
【 図 15 】



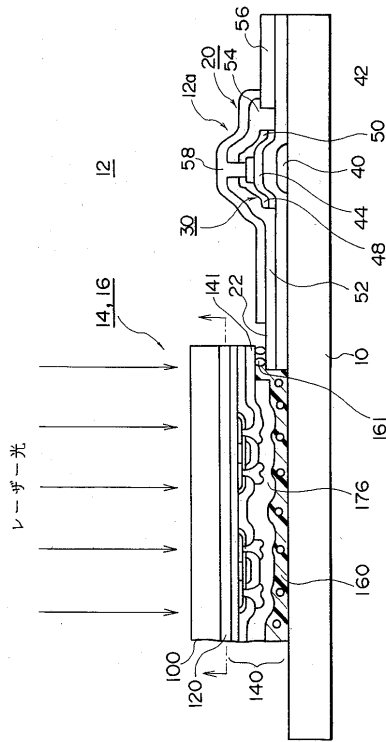
【図18】



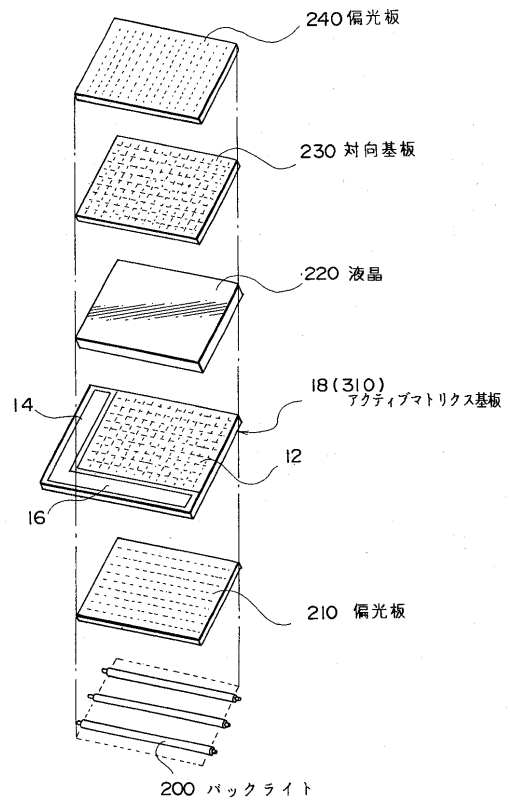
【図19】



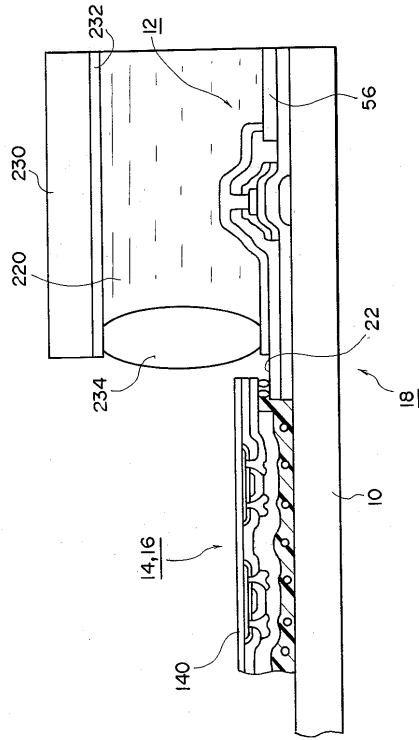
【図20】



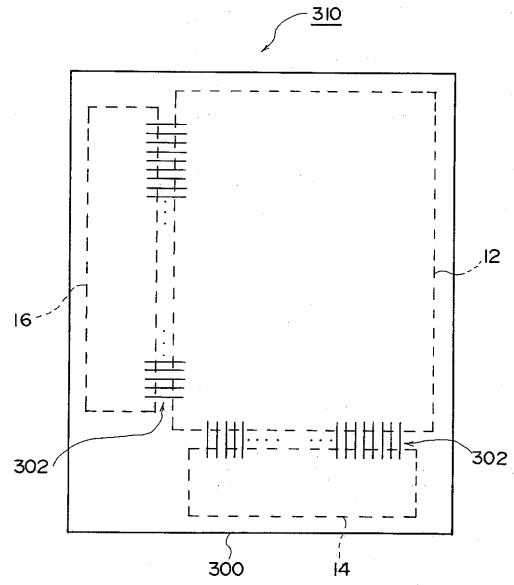
【図21】



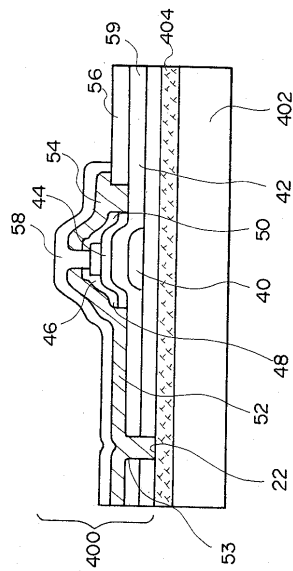
【 図 2 2 】



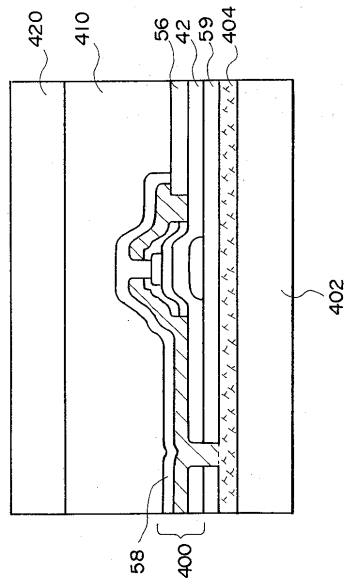
【 図 2 3 】



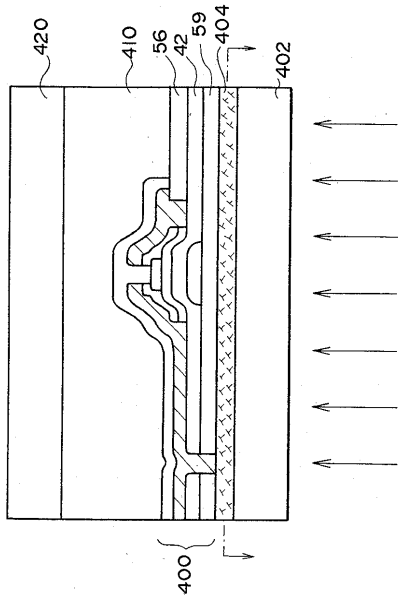
【 図 2 4 】



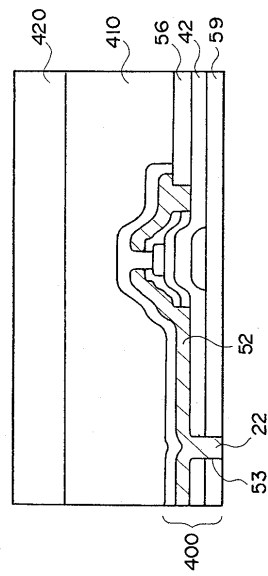
【 図 2 5 】



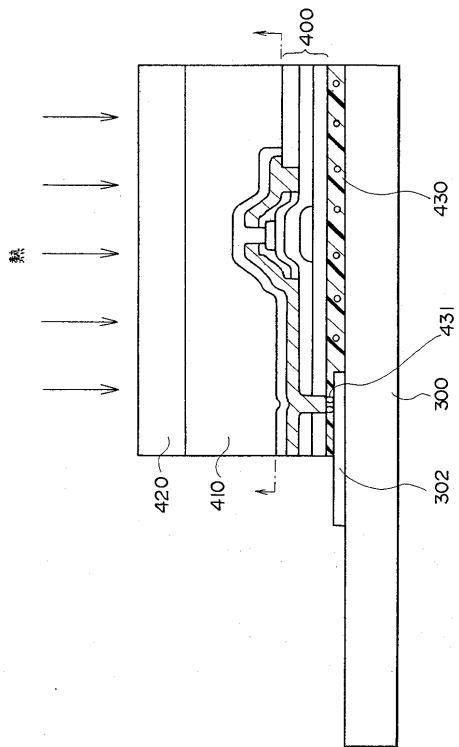
【 図 2 6 】



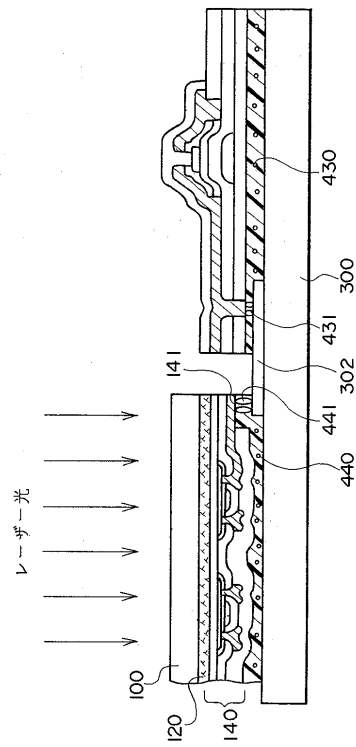
【 図 2 7 】



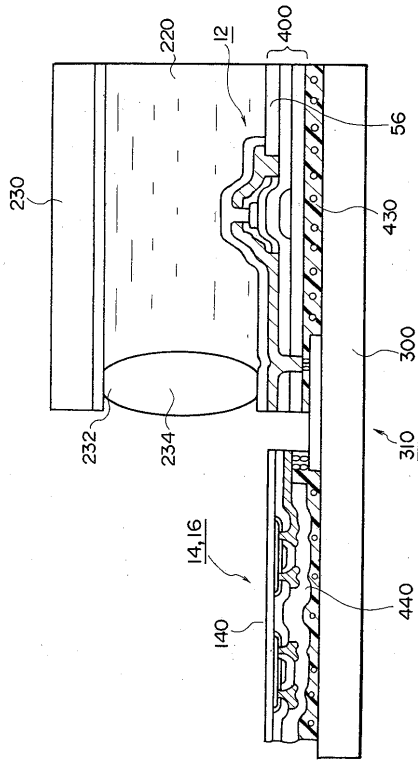
【 図 2 8 】



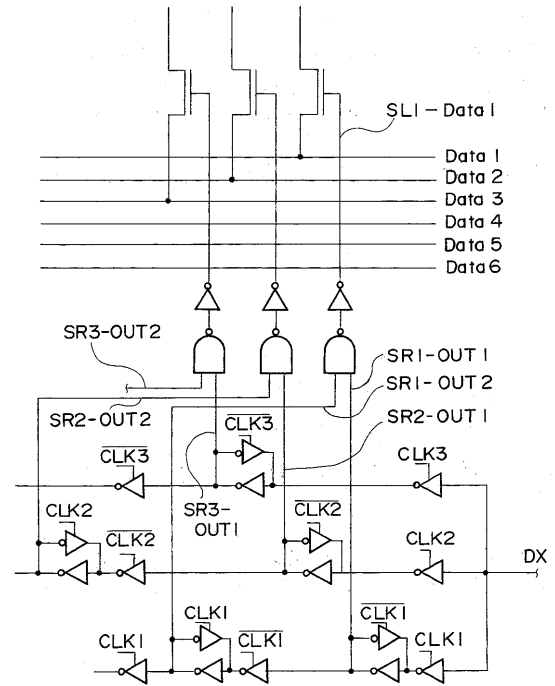
【 図 2 9 】



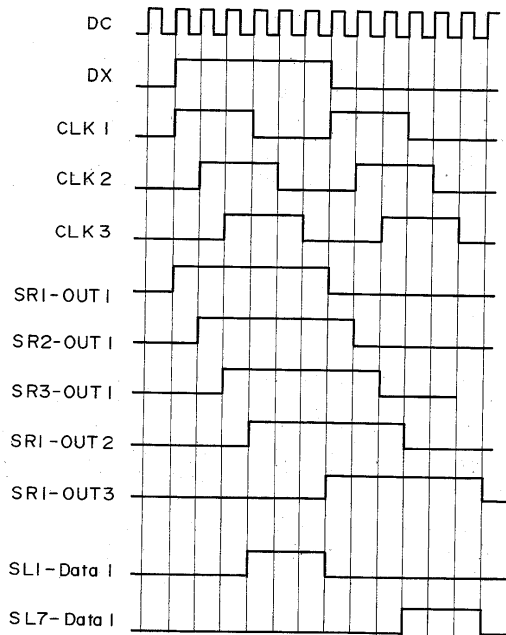
【 図 3 0 】



【 図 3 1 】



【 図 3 2 】



フロントページの続き

審査官 福島 浩司

(56)参考文献 特開昭60-010676(JP,A)
特開平08-250745(JP,A)

(58)調査した分野(Int.Cl., DB名)
G02F 1/1368
H01L 29/786