

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4928200号
(P4928200)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl. F I
H03K 19/00 (2006.01) H03K 19/00 A

請求項の数 9 (全 16 頁)

<p>(21) 出願番号 特願2006-246004 (P2006-246004) (22) 出願日 平成18年9月11日 (2006.9.11) (65) 公開番号 特開2008-67323 (P2008-67323A) (43) 公開日 平成20年3月21日 (2008.3.21) 審査請求日 平成21年9月10日 (2009.9.10)</p>	<p>(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 (74) 代理人 100125254 弁理士 別役 重尚 (72) 発明者 君島 裕一郎 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内 審査官 官島 郁美</p>
--	---

最終頁に続く

(54) 【発明の名称】 データ処理装置およびその制御方法

(57) 【特許請求の範囲】

【請求項1】

Dフリップフロップを内蔵し、データ保持信号に応じて処理データを保持することが可能なデータ処理手段と、

前記データ処理手段への突入電流を抑制するように、処理開始直後に時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成し、前記データ処理手段に出力する保持信号生成手段と

を有し、

前記データ処理手段は、前記保持信号手段により出力されたデータ保持信号のデータ保持期間において前記Dフリップフロップに処理データを保持することを特徴とするデータ処理装置。

10

【請求項2】

前記データ処理手段は、複数の処理グループに分割された複数のデータ処理手段からなり、

前記保持信号生成手段は、前記複数の処理グループの各々に対して個別のデータ保持信号を生成することを特徴とする請求項1記載のデータ処理装置。

【請求項3】

前記保持信号生成手段は、同一処理グループに属する複数のデータ処理手段に対して同一のデータ保持信号を出力することを特徴とする請求項2記載のデータ処理装置。

【請求項4】

20

処理順序に沿って並べられた少なくとも2つのデータ処理手段と、

前記少なくとも2つのデータ処理手段のうちの後段のデータ処理手段に設けられ、該後段のデータ処理手段が処理実行を一時的に停止するときに所定時間に亘って停止信号を発生し、前段のデータ処理手段に出力する停止信号発生手段と、

前記後段のデータ処理手段への突入電流を抑制するように、前記停止信号発生手段が前記停止信号の発生を止めた時点から、時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成し、前記前段のデータ処理手段に出力する保持信号生成手段と、

前記前段のデータ処理手段に内蔵され、前記停止信号が入力している期間および前記データ保持信号のデータ保持期間において処理データを保持するDフリップフロップと
を有することを特徴とするデータ処理装置。

10

【請求項5】

前記データ処理手段は、カスケード接続された複数のデータ処理手段から成り、

前記複数のデータ処理手段のうち、隣接する2つのデータ処理手段が、前記前段及び後段のデータ処理手段になり得ることを特徴とする請求項4記載のデータ処理装置。

【請求項6】

Dフリップフロップを内蔵し、データ保持信号に応じて処理データを保持することが可能なデータ処理手段を有するデータ処理装置の制御方法であって、

前記データ処理手段への突入電流を抑制するように、処理開始直後に時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成する保持信号生成ステップと、

20

前記保持信号生成ステップにおいて生成されたデータ保持信号を前記データ処理手段に出力する出力ステップと、

前記保持信号手段により出力されたデータ保持信号のデータ保持期間において前記Dフリップフロップに処理データを保持する保持ステップと、

を有することを特徴とするデータ処理装置の制御方法。

【請求項7】

前記データ処理手段は、複数の処理グループに分割された複数のデータ処理手段からなり、

前記保持信号生成ステップでは、前記複数の処理グループの各々に対して個別のデータ保持信号を生成することを特徴とする請求項6記載の制御方法。

30

【請求項8】

前記出力ステップでは、同一処理グループに属する複数のデータ処理手段に対して同一のデータ保持信号を出力することを特徴とする請求項7記載の制御方法。

【請求項9】

処理順序に沿って並べられた少なくとも2つのデータ処理手段を有するデータ処理装置の制御方法において、

前記少なくとも2つのデータ処理手段のうちの後段のデータ処理手段が、該後段のデータ処理手段が処理実行を一時的に停止するときに所定時間に亘って停止信号を発生し、前段のデータ処理手段に出力する停止信号発生ステップと、

40

前記後段のデータ処理手段への突入電流を抑制するように、前記停止信号発生ステップにおいて前記停止信号の発生が止められた時点から、時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成し、前記前段のデータ処理手段に出力する保持信号生成ステップと、

前記前段のデータ処理手段が、前記停止信号が入力している期間および前記データ保持信号のデータ保持期間において前記データ処理手段に内蔵されたDフリップフロップに処理データを保持する保持ステップと

を有することを特徴とするデータ処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、データ処理装置およびその制御方法に関し、特に、データ保持信号に応じて処理データを保持することが可能なデータ処理手段を有するデータ処理装置、処理順序に沿って並べられた少なくとも2つのデータ処理手段を有するデータ処理装置、および該データ処理装置に適用される制御方法に関する。

【 0 0 0 2 】

上記データ処理手段は、例えば集積回路に含まれる回路である。

【 背景技術 】

【 0 0 0 3 】

近年、デジタル回路の微細加工技術が飛躍的な進歩を遂げ、大規模の集積回路をLSI (Large Scale Integration) へ集積化することが可能となった。また、動作周波数が高くなって処理パフォーマンスが向上し、さらに、動作電圧が低下して低消費電力化を実現した。

【 0 0 0 4 】

動作電圧に関しては現在、一般コンシューマ向けに使用される100万ゲート規模相当のLSIでは、3.3Vから1.0V程度であることが多い。なお、LSIに供給される電圧レベルが低電圧化すると、ノイズマージンが厳しくなる。ノイズマージンが厳しくなると、LSIの誤動作の可能性が高くなる。そこで、ノイズを低減させる技術が重要視されてきている。

【 0 0 0 5 】

ところで、LSIに対する供給電源としては、電圧値、システムの構成、変換効率などを考慮してDC-DCコンバータを使用することが多い(例えば、非特許文献1参照)。

【 0 0 0 6 】

図8は、降圧型DC-DCコンバータ(以下「DC-DCコンバータ」という)の基本的な構成を示す回路図である。

【 0 0 0 7 】

図中200は、電源であるDC-DCコンバータである。210は、DC-DCコンバータ200と接続される負荷装置であり、例えば、LSI等である。211は、DC-DCコンバータ200と負荷装置210とが、例えばプリント基板上で配線されている場合の配線負荷である。201はバッテリーであり、DC-DCコンバータ200へ入力電圧 V_{in} を供給する。

【 0 0 0 8 】

202は、DC-DCコンバータ200の入力端子INである。203は、入力端子202に寄生する容量C1である。204は、入力電圧 V_{in} を降圧するためのスイッチングトランジスタTr1である。205は、スイッチングトランジスタ(Tr1)204がON時にOFFし、OFF時にONとなるスイッチの役割をするフリー・ホイール・ダイオードDである。206, 207は、スイッチングトランジスタ(Tr1)204、ダイオード(D)205によりスイッチングされた入力電圧 V_{in} に対するLPF (Low Pass Filter) の役割をするコイルLおよびコンデンサC2である。209は、DC-DCコンバータ200の出力電圧 V_{out} を出力するための出力端子OUTである。208, 211は、出力電圧 V_{out} の分圧抵抗R1, R2である。212はバッテリーであり、基準電圧 V_{ref} を出力する。213は、出力電圧 V_{out} の分圧分と、基準電圧 V_{ref} とを比較するためのアナログコンパレータである。214は、コンパレータ213での比較結果を基に、パルス幅変調を行うPWM (Pulse Width Modulation) 部である。

【 0 0 0 9 】

DC-DCコンバータ200は、負荷装置210のインピーダンスの変動による出力電圧 V_{out} の変動に対して、定電圧化する機能を備えている。すなわち、出力電圧 V_{out} の変動に基づいて、PWM部214がパルス幅変調を適正に行うことで、出力電圧 V_{out} を一定電圧に保持する。

【 0 0 1 0 】

10

20

30

40

50

ところで、負荷装置 210 において急激な電流消費が発生して、DC - DC コンバータ 200 から負荷装置 210 へ突入電流が流れる場合、負荷装置 210 に供給される電圧値 V_{out} は、大きく降下（ドロップ）する。図 9 は、負荷装置 210 に対して流れる電流量 I_{cc} (A) が急激に増加したときに、負荷装置 210 に印加されている電圧値 V_{cc} (B) (出力電圧 V_{out} に相当) に現れる時間変化を示すグラフである。

【0011】

つぎに、負荷装置 210 に供給される電圧値が、突入電流に伴って急激に降下する過程について説明する。ここで、負荷装置 210 を LSI とし、初め、該 LSI は OFF の状態にあり、DC - DC コンバータ 200 から該 LSI に所望の一定レベルの電圧が供給されているものとする。

10

【0012】

LSI が OFF 状態であるとき、DC - DC コンバータ 200 からみた LSI の負荷インピーダンスは、ほぼ無限大であり、DC - DC コンバータ 200 から LSI に流れる電流値は、ほぼ 0 である。このとき、該 LSI に対してリセット IC からリセットをかけ、パワーオン状態にすると、LSI のインピーダンスが、ほぼ無限大から急激に降下し、DC - DC コンバータ 200 から LSI に対して電流が高速に流れ込む。一方、DC - DC コンバータ 200 内部の定電圧化回路は、急激な電流増大に対して即座に追従できない。そのため、DC - DC コンバータ 200 から LSI に供給される出力電圧 V_{out} が、急激に降下する。

【0013】

20

この出力電圧 V_{out} の急激な降下に伴い、DC - DC コンバータ 200 から LSI に至る電源ラインにノイズが乗り、LSI を誤動作させる可能性がある。DC - DC コンバータ 200 から、同様に電圧供給を受けている他のデバイスが存在する場合、これらのデバイスでも誤動作が発生する可能性がある。

【0014】

このような問題に対して、従来、LSI に入力するクロックの周波数を段階的に増減制御し、これによって、急激な電源電流変化を抑えるクロック制御回路（例えば、特許文献 1 参照）が提案されている。

【0015】

これによれば、まず一般的に、CMOS 型の LSI の内部回路が消費する電力 P は、LSI の内部容量を C 、DC - DC コンバータの出力電圧を V_{cc} 、LSI 内に設けられたトランジスタのスイッチング周波数を f とすると、下記式で表される。

30

【0016】

$$P = C \times V_{cc}^2 \times f$$

ここで、トランジスタのスイッチング周波数 f は、LSI に供給されるクロックの周波数に依存し、このクロックの周波数を段階的に低くすることで、電源側から LSI に流入する電流の量を下げることが可能である。これによって、LSI をパワーセーブ状態にすることができる。また、このパワーセーブ状態から通常の動作状態にするには、LSI に供給されるクロックの周波数を段階的に高くする。これによって、突入電流のスルーレート（継続時間）を大きくして、DC - DC コンバータの出力電圧の降下を抑制できる。

40

【非特許文献 1】鈴木正太郎著「オンボード電源の設計と活用」CQ 出版

【特許文献 1】特開 2004 - 13820 号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、上記従来のクロック制御回路が提案された時点以後、CMOS 型の LSI では回路規模が大幅に増大している。そのため、上記従来のクロック制御回路のように、クロック周波数を段階的に高くする制御を行うだけでは、突入電流のスルーレートを大きくすることが困難となっている。

【0018】

50

すなわち、C M O S 型 L S I におけるデジタル回路の設計では、D フリップフロップ（以下「D - F F」という）を用いた同期化設計を行うことが一般的である。D - F F は図 1 0 に示すような構成をもち、D - F F 4 0 0 は、入力端子 D と、出力端子 Q と、クロック端子 C L K と、リセット端子 R E S E T とを備える。4 0 1 はクロック信号であり、クロック端子 C L K に入力される。4 0 2 は、非同期に入力されるリセット信号であり、リセット端子 R E S E T に入力される。4 0 3 は入力データ信号であり、入力端子 D に入力される。4 0 4 は出力データ信号であり、出力端子 Q から出力される。

【 0 0 1 9 】

図 1 1 は、D - F F 4 0 0 の動作を示すタイミングチャートである。

【 0 0 2 0 】

図 1 1 (B) に示すように、リセット信号 4 0 2 (R E S E T) が低レベルから高レベルへ変化したとする。この変化の直後における、図 1 1 (A) に示すクロック信号 4 0 1 (C L K) の立下りのタイミング（立ち上がりのタイミングでもよい）で、入力データ信号 4 0 3 (D) が D - F F 4 0 0 に入力される（図 1 1 (C) ）。つぎに、クロック信号 4 0 1 (C L K) の立ち上がりのタイミング（立下りのタイミングでもよい）で、D - F F 4 0 0 に入力されていた入力データ信号が、出力データ信号 4 0 4 (Q) として出力される（図 1 1 (D) ）。クロック信号に基づいて、入力データ信号 (D) を保持し、出力データ信号 (Q) として出力することを、データをラッチするという。入力データ信号 4 0 3 (D) が、出力データ信号 4 0 4 (Q) として出力されるタイミングは、クロック信号 4 0 1 (C L K) の立ち上がりまたは立下りのタイミングのみによって決まる。

【 0 0 2 1 】

上記従来のクロック制御回路では、D - F F へ入力されるクロック信号の周波数を段階的に増減制御し、これによって、C M O S 型 L S I の内部回路が消費する電流量を制御するようにしている。ここで最も高速に L S I 内のトランジスタをスイッチングしている成分は、D - F F へ入力されるクロック信号の周波数である。ところで、前述のように回路規模の増大に伴い、入力データ信号 4 0 3 (D) による L S I 内のトランジスタのスイッチング成分についても、考慮する必要がある。

【 0 0 2 2 】

また、上記従来のクロック制御回路では、クロック信号の周波数を段階的に増減制御するために、クロック信号の間引き、クロック信号の分周、P L L 回路の分周制御などを行っている。しかし、昨今の大規模な L S I においては、クロック信号の周波数制御について、L S I の設計上考慮すべき点が多く、設計負荷が大きい。

【 0 0 2 3 】

また、L S I におけるクロック信号の区分（ドメイン）は、処理単位に細かく分割することが難しい。そのため、上記従来のクロック制御回路のように、ある機能ブロックに対して上記のような制御を加えた場合、クロック周波数を制御したくない他のブロックに上記制御が及ぶことがあり得る。

【 0 0 2 4 】

かくして、L S I 内のトランジスタのスイッチングを、より簡単に、細かく制御できる方式の提供が求められている。

【 0 0 2 5 】

本発明はこのような問題点に鑑みてなされたものであって、L S I での処理開始直後における直流定電圧電源からの突入電流のスルーレートを大きくして、L S I に供給される電源電圧の降下を抑え、電源の安定化を図ったデータ処理装置およびその制御方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 6 】

上記目的を達成するために、請求項 1 記載の発明によれば、D フリップフロップを内蔵し、データ保持信号に応じて処理データを保持することが可能なデータ処理手段と、前記データ処理手段への突入電流を抑制するように、処理開始直後に時間経過に従って段階的

10

20

30

40

50

に短縮する複数のデータ保持期間をもつデータ保持信号を生成し、前記データ処理手段に出力する保持信号生成手段とを有し、前記データ処理手段は、前記保持信号手段により出力されたデータ保持信号のデータ保持期間において前記Dフリップフロップに処理データを保持することを特徴とするデータ処理装置が提供される。

【0027】

また、請求項4記載の発明によれば、処理順序に沿って並べられた少なくとも2つのデータ処理手段と、前記少なくとも2つのデータ処理手段のうちの後段のデータ処理手段に設けられ、該後段のデータ処理手段が処理実行を一時的に停止するときに所定時間に亘って停止信号を発生し、前段のデータ処理手段に出力する停止信号発生手段と、前記後段のデータ処理手段への突入電流を抑制するように、前記停止信号発生手段が前記停止信号の発生を止めた時点から、時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成し、前記前段のデータ処理手段に出力する保持信号生成手段と、前記前段のデータ処理手段に内蔵され、前記停止信号が入力している期間および前記データ保持信号のデータ保持期間において処理データを保持するDフリップフロップとを有することを特徴とするデータ処理装置が提供される。

10

【0028】

また、請求項6記載の発明によれば、Dフリップフロップを内蔵し、データ保持信号に応じて処理データを保持することが可能なデータ処理手段を有するデータ処理装置の制御方法であって、前記データ処理手段への突入電流を抑制するように、処理開始直後に時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成する保持信号生成ステップと、前記保持信号生成ステップにおいて生成されたデータ保持信号を前記データ処理手段に出力する出力ステップと、前記保持信号手段により出力されたデータ保持信号のデータ保持期間において前記Dフリップフロップに処理データを保持する保持ステップと、を有することを特徴とするデータ処理装置が提供される。

20

【0029】

また、請求項9記載の発明によれば、処理順序に沿って並べられた少なくとも2つのデータ処理手段を有するデータ処理装置の制御方法において、前記少なくとも2つのデータ処理手段のうちの後段のデータ処理手段が、該後段のデータ処理手段が処理実行を一時的に停止するときに所定時間に亘って停止信号を発生し、前段のデータ処理手段に出力する停止信号発生ステップと、前記データ処理手段への突入電流を抑制するように、前記停止信号発生ステップにおいて前記停止信号の発生が止められた時点から、時間経過に従って段階的に短縮する複数のデータ保持期間をもつデータ保持信号を生成し、前記前段のデータ処理手段に出力する保持信号生成ステップと、前記前段のデータ処理手段が、前記停止信号が入力している期間および前記データ保持信号のデータ保持期間において前記データ処理手段に内蔵されたDフリップフロップに処理データを保持する保持ステップとを有することを特徴とするデータ処理装置の制御方法が提供される。

30

【発明の効果】

【0030】

本発明によれば、処理の開始時において、従来のようにクロック周波数を段階的に高くするのではなく、データ処理手段における処理データの保持期間を該データ処理手段への突入電流を抑制するように段階的に短縮させる。これにより、データ処理手段を構成するトランジスタのスイッチング回数が削減するとともに、突入電流のスルーレートが大きくなる。したがって、データ処理手段に供給される電源電圧の降下が抑制され、電源が安定化する。

40

【0031】

また、処理順序に沿って並べられた少なくとも2つのデータ処理手段のうち、後段のデータ処理手段において処理が一時的に停止し、その後処理が再開した場合であっても、上記処理の停止時から所定時間に亘って停止信号を発生させると共に、後段のデータ処理手段への突入電流を抑制するように、この停止信号の発生が止まった時点から、前段のデータ処理手段における処理データの保持期間を段階的に短縮させる。これにより、処理再

50

開時において、後段のデータ処理手段に電源から供給される電流の急峻な立ち上がりが抑えられ、電源電圧の降下が抑制され、電源ラインの安定化を図ることができる。

【発明を実施するための最良の形態】

【0032】

以下、本発明を実施するための最良の形態について、図面を参照して説明する。

【0033】

〔第1の実施の形態〕

図1は、本発明の第1の実施の形態に係る突入電流制御装置を含むCMOS型のLSIの構成を示すブロック図である。このLSIはデジタル回路で構成される。

【0034】

100は、デジタル回路で構成されるCMOS型のLSIである。115は、LSI100をコントロールするためのメインCPUである。117は、CPU115とインターフェイスを行うCPUインターフェイス回路である。116は外部メモリである。

【0035】

101~112は、LSI100に含まれる各機能ブロックである。各機能ブロック101~112は、処理単位でグルーピングされている。ブロック(1)101からブロック(4)104までが、処理1としてグルーピングされている。ブロック(5)105からブロック(8)108までが、処理2としてグルーピングされている。ブロック(9)109からブロック(12)112までが、処理3としてグルーピングされている。

【0036】

処理1のブロック(1)101へ入力されるデータをDINとし、ブロック(1)101からブロック(2)102へ出力されるデータをDOUT1とする。処理1のブロック(2)102からブロック(3)103へ出力されるデータをDOUT2とする。処理1のブロック(3)103よりブロック(4)104へ出力されるデータをDOUT3とする。処理1のブロック(4)104よりメモリコントローラ113へ出力されるデータをDOUT4とする。メモリコントローラ113は、外部メモリ116とのインターフェイスを行う。

【0037】

なお、説明は省略するが、処理2~3における各ブロックでのデータの入出力も、上記の処理1における各ブロックでのデータの入出力と同様である。

【0038】

114はデータホールド信号生成回路であり、処理1~3における各ブロックで処理されたデータを各ブロックに保持(ホールド)させるためのコントローラである。データホールド信号生成回路114は、CPU115からの制御により、処理毎に、ホールド信号HOLD1~HOLD3を各ブロックに出力する。ホールド信号HOLD1によって、処理1の各ブロック1~4がデータをホールドする。ホールド信号HOLD2によって、処理2の各ブロック5~8がデータをホールドする。ホールド信号HOLD3によって、処理3の各ブロック9~12がデータをホールドする。

【0039】

図2は、ブロック(1)101~ブロック(12)112の各内部構成を示す図である。ブロック(1)101~ブロック(12)112のいずれも同じ構成であるので、その1つをブロック600として説明する。

【0040】

ブロック600には、入力データ信号DIN、ブロック内のD-FFを動作させるためのクロック信号CLK、D-FFにデータホールド(保持)を行わせるためのホールド信号HOLDが入力される。ホールド信号HOLDは、データホールド信号生成回路114から供給される信号である。また、ブロック600からは、出力データ信号DOUTが出力される。出力データ信号DOUTは、後段ブロック(例えば、ブロック(1)101に対してブロック(2)102)の入力データ信号DINとなる。

【0041】

10

20

30

40

50

610は、ブロック600を構成する論理回路であるが、D-FFを含まない論理回路（組み合わせ回路）である。612はD-FFであり、論理回路610で論理演算されて出力されたデータをラッチするためのものである。611はセクタであり、ホールド信号HOLDの論理値に応じて、論理回路610で論理演算されて出力されたデータ、またはD-FF612の出力データQ1を選択して、D-FF612へ出力する。

【0042】

論理回路620、セクタ621、及びD-FF622、並びに、論理回路630、セクタ631、及びD-FF632は、論理回路610、セクタ611、及びD-FF612とそれぞれ同じ構成であるので、説明を省略する。なお、D-FF622の出力データをQ2とする。

10

【0043】

図3は、図2に示すブロック600の各部における信号形態を示すタイミングチャートである。

【0044】

ホールド信号HOLD（図3（B））が高レベル（H）を維持する間、さらに高レベル（H）から低レベル（L）へ切り替わった直後のクロック信号CLK（図3（A））の1周期分の時間だけ、D-FF612～632が各々、出力データを保持する。すなわち、D-FF612が出力データQ1としてD3を保持し（図3（D））、D-FF622が出力データQ2としてD2を保持し（図3（E））、D-FF632が出力データDOUTとしてD1を保持する（図3（F））。

20

【0045】

図4は、図1に示すデータホールド信号生成回路114の内部構成を示す図である。なお、図4では、ホールド信号HOLD1～HOLD3のうちの1つを出力する構成だけを図示する。他の2つのホールド信号を出力する構成も、図4に示す構成とそれぞれ同じであり、それらの図示及び説明は省略する。

【0046】

図4において801は、クロック同期式のカウンタである。カウンタ801にはシステムクロックSYCLKが入力され、カウンタ801は、システムクロックSYCLKをカウントして、カウンタ値COUNTERを出力する。

【0047】

802～805はレジスタ（0）～レジスタ（N）であり、CPUインターフェイス回路117によってデータがセットされる。806は、レジスタ802～805の出力の1つを選択して出力するためのセクタである。セクタ806は、コンパレータ807の出力に応じて、レジスタを順に選択する。

30

【0048】

807はコンパレータであり、カウンタ801の出力するカウンタ値COUNTERと、セクタ806の出力するレジスタ値とを比較する。コンパレータ807は、カウンタ値COUNTERとレジスタ値とが一致すると、高レベル（H）を出力する。一致しなければ低レベル（L）を出力する。

【0049】

808はトグルフリップフロップ（以下「T-FF」という）であり、D-FFと論理回路とを内蔵する。T-FF808は、コンパレータ807からの出力信号が高レベル（H）の期間にD-FFの出力を反転させ、コンパレータ807からの出力信号が低レベル（L）の期間にT-FFの出力を保持する。T-FF808の出力信号は、イネーブル回路809を介してホールド信号HOLDとなる。810は、イネーブル信号ENABLEを保持するレジスタであり、このイネーブル信号ENABLEは、CPUインターフェイス回路117によってON（高レベル）設定される。イネーブル回路809は、レジスタ810から出力されるイネーブル信号ENABLEに基づいて、T-FF808の出力信号をイネーブルし、ホールド信号HOLDを出力する。

40

【0050】

50

図5は、図1に示すLSI100および図4に示すデータホールド信号生成回路114の各部における信号形態を示すタイミングチャートである。

【0051】

CPU115がCPUインターフェイス回路117に対して、処理1の実行開始の命令を送信する。これを受けたCPUインターフェイス回路117は、データホールド信号生成回路114のレジスタ810に保持されるイネーブル信号をON（高レベル）に設定する。また、CPUインターフェイス回路117はメモリコントローラ113の設定を行うとともに、処理1の実行開始を行うためのその他の所定の設定を行う。また、処理1に必要とされるクロック信号CLK1、CLK2、CLK3、CLK4、SYSCLKを供給する。本実施の形態では、クロック信号CLK1、CLK2、CLK3、CLK4、SYSCLKは、同一のクロック信号（CLK）である。

10

【0052】

メモリコントローラ113は、処理1を実行するために、メモリ116からデータを読み出す。読み出されたデータは、メモリコントローラ113を介して、入力データ信号DINとして出力される。この入力データ信号DINは、ブロック(1)101へ入力される。ブロック(1)101で処理されたデータは、出力データ信号DOU1としてブロック(2)102へ入力される。ブロック(2)102で処理されたデータは、出力データ信号DOU2としてブロック(3)103へ入力される。ブロック(3)103で処理されたデータは、出力データ信号DOU3としてブロック(4)104へ入力される。ブロック(4)104で処理されたデータは、出力データ信号DOU4としてメモリコントローラ113へ入力される。メモリコントローラ113は、出力データ信号DOU4をメモリ116へ格納して、処理1を終了する。

20

【0053】

ここで、処理1の開始直後の動作について説明する。

【0054】

前述のとおり、CPU115がCPUインターフェイス回路117に対して、処理1の実行開始の命令を送信する。これにより、CPUインターフェイス回路117が、データホールド信号生成回路114のレジスタ810に保持されるイネーブル信号をON（高レベル）に設定する（図5（B））。処理開始前に、レジスタ(0)802、レジスタ(1)803、・・・レジスタ(N-1)804、レジスタ(N)805には、ホールド信号HOLDをトグルさせるタイミングに相当する値がCPUインターフェイス回路117によって設定される。

30

【0055】

処理1の実行が開始されると、カウンタ801がシステムクロックSYSCLKのカウントをスタートし、カウンタ値COUNTERをコンパレータ807へ出力する。セレクタ806は、最初、レジスタ(0)802を選択し、レジスタ(0)802に設定された値をコンパレータ807へ出力する。その後、コンパレータ807の出力値が低レベル（L）から高レベル（H）になるごとに、レジスタ(1)803、・・・レジスタ(N-1)804、レジスタ(N)805を順に選択する。

【0056】

図5に示す例では、レジスタ(0)802には値2が設定され、レジスタ(1)803には値6が設定されている。したがって、コンパレータ807は、カウンタ801が出力するカウンタ値COUNTER（図5（C））が2になった時に、高レベル（H）を出力する。これによって、T-FF808がトグルされて、ホールド信号HOLD1（図5（D））が低レベル（L）から高レベル（H）に反転される。

40

【0057】

このとき同時に、セレクタ806がレジスタ(1)803を選択する。前述のように、レジスタ(1)803には、値6が設定されているので、カウンタ801が出力するカウンタ値COUNTER（図5（C））が6になった時に、高レベル（H）を出力する。これによって、T-FF808がトグルされて、ホールド信号HOLD1（図5（D））が

50

高レベル（H）から低レベル（L）に反転される。

【0058】

同様にして、各レジスタに設定された値と、カウンタ801が出力するカウンタ値COUNTERとを比較することで、図5（D）に示すように、ホールド信号HOLD1が生成される。レジスタ（0）802～レジスタ（N）805にそれぞれ設定する値を適切に制御することで、ホールド信号HOLD1の高レベル（H）の期間を段階的に減少させることが可能である。ホールド信号HOLD1の高レベル（H）の期間では、図5（F）～（I）に示すように、ブロック（1）101～ブロック（4）104からそれぞれ出力される出力データ信号DOUT1～DOUT4は、各ブロックにおいて保持され、変化しない。

10

【0059】

なお、図2に示すブロック600（ブロック（1）101～ブロック（4）104）内においても、D-FF612, 622, 632の各出力データQ1, Q2, DOUTが、ホールド信号HOLD1の高レベル（H）の期間、各D-FFに保持される（図3参照）。

【0060】

以上のように、処理1が実行されるブロック（1）101～ブロック（4）104における各出力データは、ホールド信号HOLD1が高レベル（H）の期間、保持される。この出力データの保持により、処理1が実行されるブロック（1）101～ブロック（4）104をそれぞれ形成している各トランジスタのスイッチング回数が減少される。したがって、処理1を開始直後に、処理1のブロック（1）101～ブロック（4）104へそれぞれ流れる電流が削減し、処理1の開始時においてDC-DCコンバータ（電源）からLSI100に供給される突入電流を抑えることができる。しかも、ホールド信号HOLD1の高レベル（H）期間を、処理1の開始直後から次第に短くすることにより、通常の処理状態に滑らかに移行させることができる。かくして、処理開始時にLSI100にDC-DCコンバータから供給される電源電圧の低下を抑えることができ、電源の安定化を図ることができる。

20

【0061】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態を説明する。

30

【0062】

図6は、第2の実施の形態に係る突入電流制御装置を含むCMOS型のLSIの構成を示すブロック図である。このLSIはデジタル回路で構成される。

【0063】

第2の実施の形態におけるLSIは、処理ブロックであるブロック（1）1001、ブロック（2）1002、ブロック（3）1003がカスケード接続された構成からなる。第2の実施の形態では、後段ブロックが処理を停止する場合、後段ブロックが、前段ブロックからの出力データ信号の出力を停止させるための停止信号を前段ブロックへ出力する機能を備える。すなわち、ブロック（2）1002が処理を停止する場合、ブロック（2）1002が、ブロック（1）1001からの出力データ信号の出力を停止させるための停止信号STOP1をブロック（1）1001へ出力する。また、ブロック（3）1003が処理を停止する場合、ブロック（3）1003が、ブロック（2）1002からの出力データ信号の出力を停止させるための停止信号STOP2をブロック（2）1002へ出力する。

40

【0064】

入力データ信号DINに基づき、ブロック（1）1001が処理を行って、出力データ信号DOUT1をブロック（2）1002へ出力する。これを受け取ったブロック（2）1002において、例えば処理が間に合わない場合、ブロック（1）1001での処理を停止させる必要があるため、ブロック（2）1002が、停止信号STOP1をブロック（1）1001に対して出力する。

50

【 0 0 6 5 】

この停止信号 S T O P 1 はタイマ (1) 1 0 0 7 にも出力され、停止信号 S T O P 1 を受け取ったタイマ (1) 1 0 0 7 は計時を開始する。タイマ (1) 1 0 0 7 は、停止信号 S T O P 1 を受け取った時点から所定のアサート期間が経過すると、イネーブル信号 E N A B L E 1 をホールド生成回路 (1) 1 0 0 6 へ出力する。この所定のアサート期間は、ブロック (2) 1 0 0 2 が停止信号 S T O P 1 の出力を継続する期間である。すなわち、ブロック (2) 1 0 0 2 は、停止信号 S T O P 1 を所定のアサート期間に亘って出力し、該所定のアサート期間の経過後には、停止信号 S T O P 1 の出力を停止する。

【 0 0 6 6 】

ホールド生成回路 (1) 1 0 0 6 は、イネーブル信号 E N A B L E 1 の入力によって、ホールド信号 H O L D 1 の生成を開始する。なお、ホールド生成回路 (1) 1 0 0 6 は、ホールド信号 H O L D 1 の O N (高レベル) 期間を段階的に変更することが可能な回路である。

10

【 0 0 6 7 】

図 7 は、ホールド生成回路 (1) 1 0 0 6 の内部構成を示す図である。なお、図 7 に示すホールド生成回路 (1) 1 0 0 6 は、図 4 に示す第 1 の実施の形態におけるデータホールド信号生成回路 1 1 4 と基本的に同じ構成であるので、同一部分には同一の参照符号を付してその説明を省略する。

【 0 0 6 8 】

第 1 の実施の形態におけるデータホールド信号生成回路 1 1 4 に比べて、ホールド生成回路 (1) 1 0 0 6 では、レジスタ 8 1 0 とイネーブル回路 8 0 9 との間に O R ゲート 1 0 0 7 が設けられる。そして、O R ゲート 1 0 0 7 の一方の入力端子にはレジスタ 8 1 0 の出力信号が入力され、他方の入力端子にはタイマ (1) 1 0 0 7 からのイネーブル信号 E N A B L E 1 が入力される。

20

【 0 0 6 9 】

図 6 に戻って、1 0 0 4 は O R ゲートであり、ホールド生成回路 (1) 1 0 0 6 からのホールド信号 H O L D 1 と、ブロック (2) 1 0 0 2 からの停止信号 S T O P 1 とが入力される。O R ゲート 1 0 0 4 は、ホールド信号 H O L D 1 または停止信号 S T O P 1 をホールド信号 H O L D 1 としてブロック (1) 1 0 0 1 へ出力する。ホールド信号 H O L D 1 を受け取ったブロック (1) 1 0 0 1 では、ブロック (1) 1 0 0 1 を形成している D - F F が保持状態となる。この D - F F による保持 (ラッチ) 動作については、第 1 の実施の形態におけるものと同じであるので、説明を省略する。

30

【 0 0 7 0 】

なお、図 6 に示す停止信号 S T O P 2 、タイマ (2) 1 0 0 9 、イネーブル信号 E N A B L E 2 、ホールド生成回路 (2) 1 0 0 8 、ホールド信号 H O L D 2 、O R ゲート 1 0 0 5 については、前述した対応部分と同様である。すなわち、停止信号 S T O P 1 、タイマ (1) 1 0 0 7 、イネーブル信号 E N A B L E 1 、ホールド生成回路 (1) 1 0 0 6 、ホールド信号 H O L D 1 、O R ゲート 1 0 0 4 とそれぞれ同様であり、その説明を省略する。

【 0 0 7 1 】

次に、図 6 に示す C M O S 型の L S I の動作を説明する。

40

【 0 0 7 2 】

入力データ信号 D I N が、ブロック (1) 1 0 0 1 へ入力され、ブロック (1) 1 0 0 1 で処理がなされ、出力データ信号 D O U T 1 としてブロック (2) 1 0 0 2 へ出力される。出力データ信号 D O U T 1 を受け取ったブロック (2) 1 0 0 2 では、これに基づいて処理を行い、出力データ信号 D O U T 2 としてブロック (3) 1 0 0 3 へ出力する。出力データ信号 D O U T 2 を受け取ったブロック (3) 1 0 0 3 では、これに基づいて処理を行い、出力データ信号 D O U T として出力する。

【 0 0 7 3 】

ここで例えば、ブロック (2) 1 0 0 2 での処理が停止される場合について説明する。

50

【0074】

ブロック(2)1002での処理が停止される場合、出力データ信号DOUT1がブロック(2)1002へ出力されることを停止する必要があるために、ブロック(2)1002が停止信号STOP1をブロック(1)1001へ出力する。停止信号STOP1は、ORゲート1004を介して、高レベルの出力データ信号DOUTとしてブロック(1)1001へ入力される。これにより、ブロック(1)1001の内部D-FFが保持状態を保ち、出力データ信号DOUT1がブロック(1)1001で保持される。

【0075】

なお、停止信号STOP1がタイマ(1)1007へ入力され、タイマ(1)1007が計時を開始する。タイマ(1)1007は、停止信号STOP1を受け取った時点から所定のアサート期間が経過すると、イネーブル信号ENABLE1をホールド生成回路(1)1006へ出力する。ホールド生成回路(1)1006は、イネーブル信号ENABLE1を受け取ると、ホールド信号HOLD1をORゲート1004へ出力する。このとき、所定のアサート期間が経過した後のため、ORゲート1004に、ブロック(2)1002から停止信号STOP1が入力されていない。また、ホールド信号HOLD1のON(高レベル)期間は、ホールド生成回路(1)1006によって段階的に縮小される。

10

【0076】

これによって、本実施の形態によれば、カスケード接続された複数のブロックの1つにおいて処理停止が発生し、その後に処理が再開したときに、ブロック内のトランジスタのスイッチングの増加に伴う突入電流のスルーレートを抑えることが可能である。したがって、ブロックの処理再開時にDC-DCコンバータ(電源)から供給される電源電圧の低下を抑えることができ、電源の安定化を図ることができる。

20

【図面の簡単な説明】

【0077】

【図1】本発明の第1の実施の形態に係る突入電流制御装置を含むCMOS型のLSIの構成を示すブロック図である。

【図2】ブロックの内部構成を示す図である。

【図3】図2に示すブロックの各部における信号形態を示すタイミングチャートである。

【図4】図1に示すデータホールド信号生成回路の内部構成を示す図である。

【図5】図1に示すLSIおよび図4に示すデータホールド信号生成回路の各部における信号形態を示すタイミングチャートである。

30

【図6】第2の実施の形態に係る突入電流制御装置を含むCMOS型のLSIの構成を示すブロック図である。

【図7】ホールド生成回路の内部構成を示す図である。

【図8】降圧型DC-DCコンバータの基本的な構成を示す回路図である。

【図9】負荷装置に対して流れる電流量Iccが急激に増加したときに、負荷装置に印加されている電圧値Vccに現れる時間変化を示すグラフである。

【図10】D-FFの構成を示す図である。

【図11】D-FFの動作を示すタイミングチャートである。

【符号の説明】

40

【0078】

100 LSI

115 CPU

116 外部メモリ

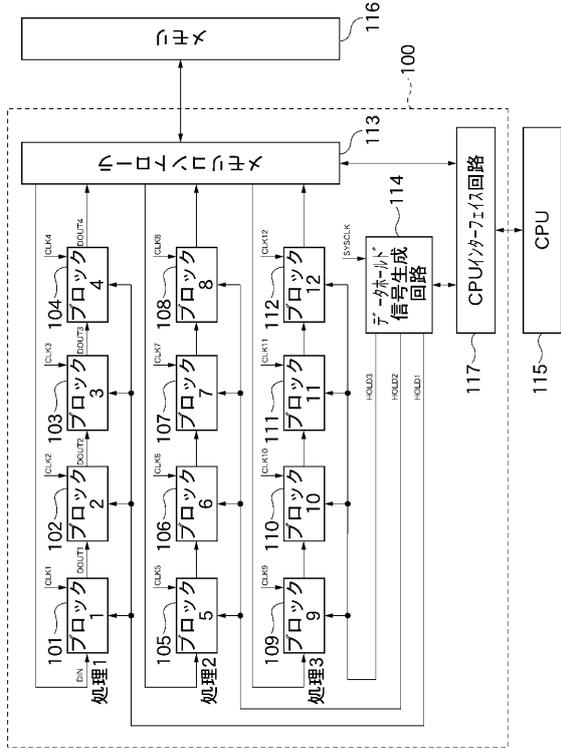
117 CPUインターフェイス回路

101~112 機能ブロック(データ処理手段)

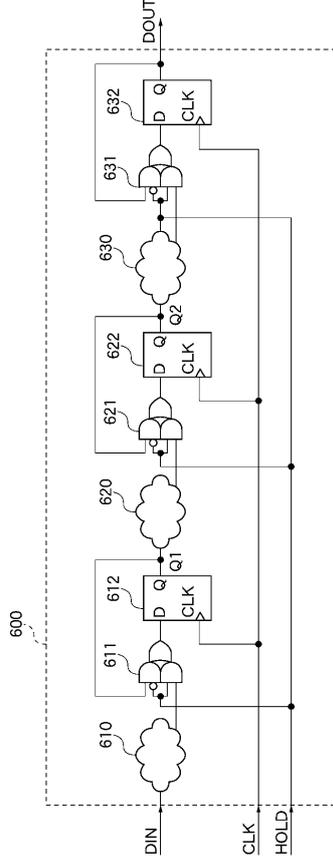
114 データホールド信号生成回路(保持信号生成手段)

HOLD1~3 ホールド信号(データ保持信号)

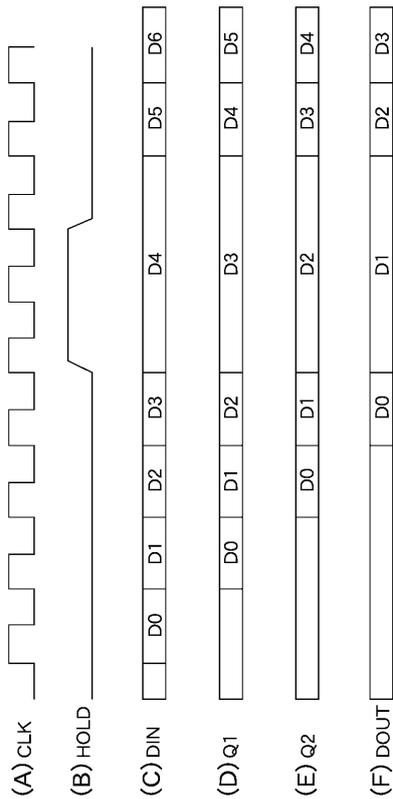
【 図 1 】



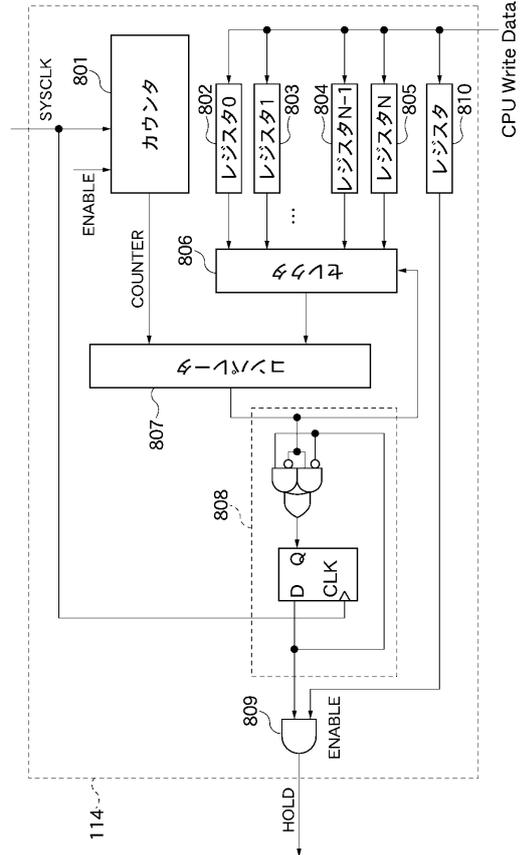
【 図 2 】



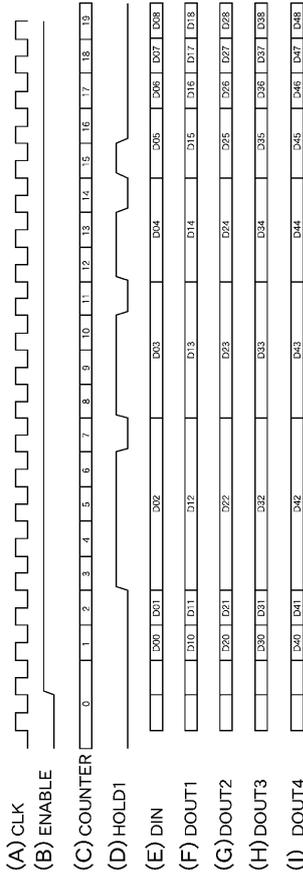
【 図 3 】



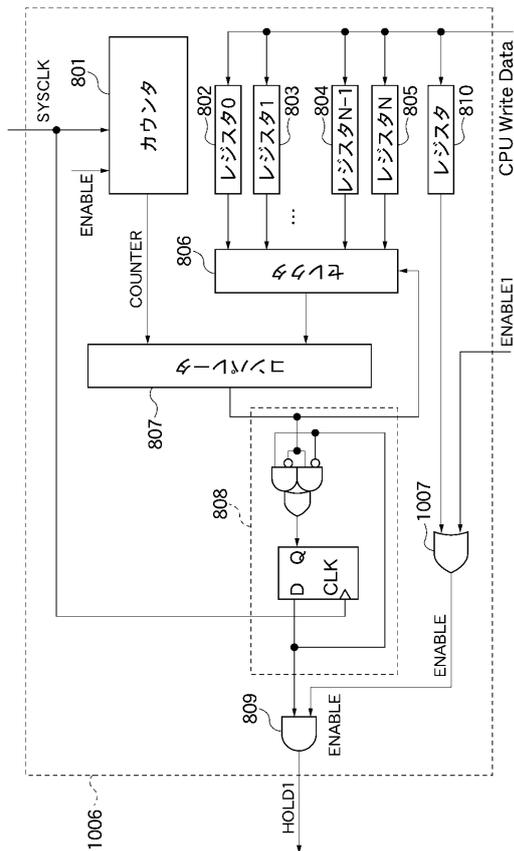
【 図 4 】



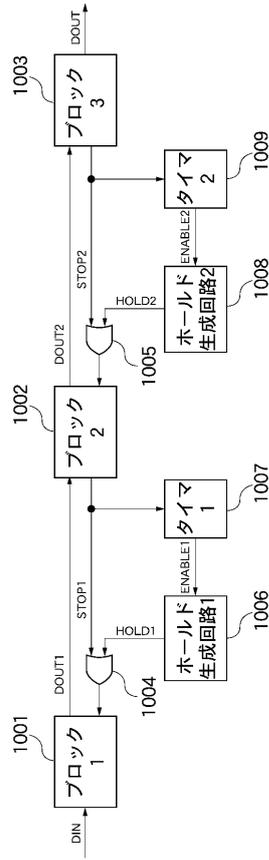
【図 5】



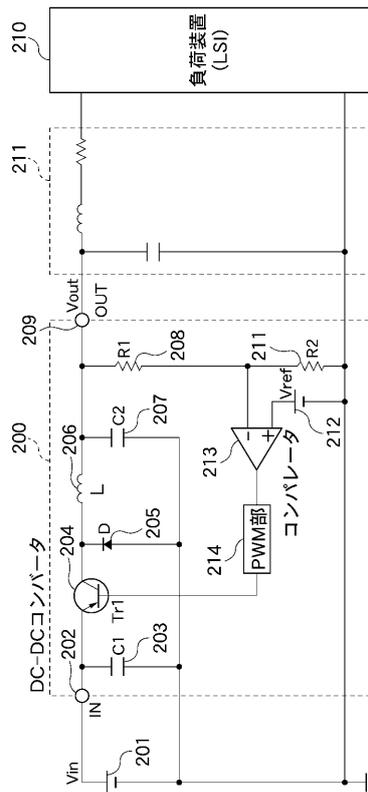
【図 7】



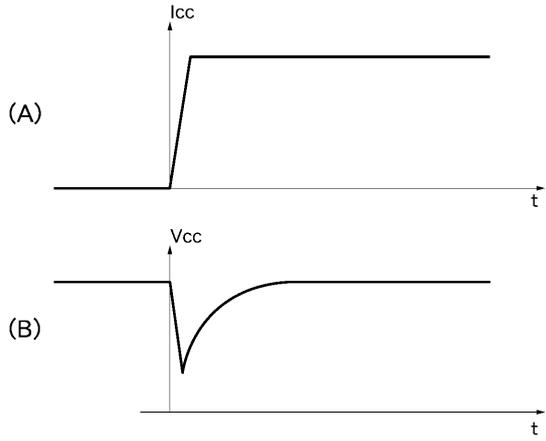
【図 6】



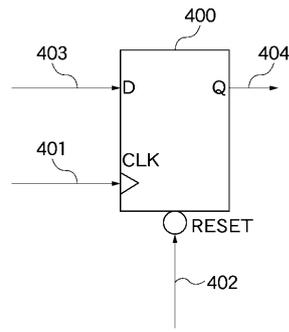
【図 8】



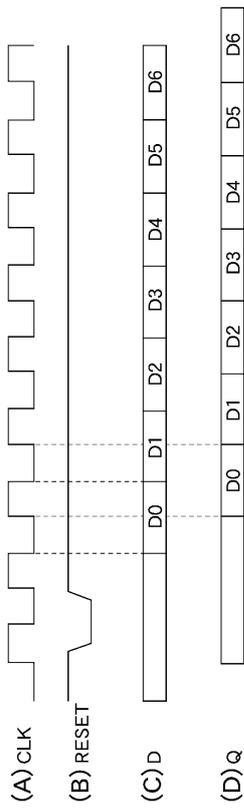
【 9 】



【 10 】



【 11 】



フロントページの続き

(56)参考文献 特開2004-094776(JP,A)
特開2000-029563(JP,A)
特開2003-241847(JP,A)
特開平01-300321(JP,A)
特開2000-341093(JP,A)
特開2004-127012(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01 - 19/082, 19/092 - 19/096
G06F1/04