



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년01월19일

(11) 등록번호 10-2205405

(24) 등록일자 2021년01월14일

(51) 국제특허분류(Int. Cl.)

H01L 29/792 (2006.01) H01L 21/02 (2006.01)

H01L 21/28 (2006.01) H01L 29/423 (2006.01)

H01L 29/66 (2006.01)

(52) CPC특허분류

H01L 29/792 (2013.01)

H01L 21/0217 (2013.01)

(21) 출원번호 10-2019-0087741

(22) 출원일자 2019년07월19일

심사청구일자 2019년07월19일

(56) 선행기술조사문헌

KR1020030012268 A*

(뒷면에 계속)

(73) 특허권자

충남대학교 산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이가원

대전광역시 유성구 배울2로 42 신동아파밀리에
503동 1603호

송유민

대전광역시 유성구 지족북로 60 한화꿈에그린2블
럭 207동 2602호

(뒷면에 계속)

(74) 대리인

김민규

전체 청구항 수 : 총 10 항

심사관 : 강필승

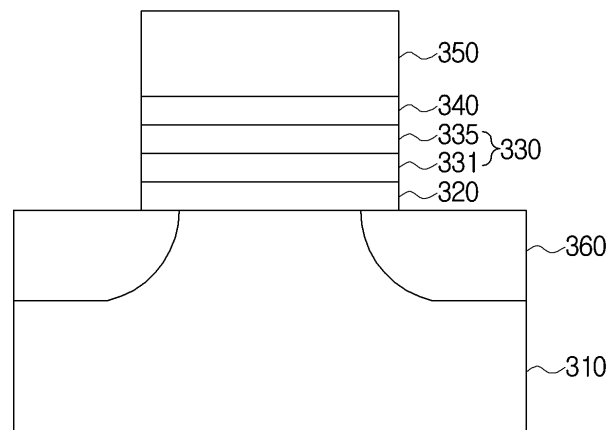
(54) 발명의 명칭 플래시 메모리 소자 및 그의 제조 방법

(57) 요약

본 발명의 플래시 메모리 소자는 반도체 기판의 채널 영역상에 형성된 터널링 절연막; 상기 터널링 절연막상에 형성된, 다층 구조를 갖는 전하 저장층; 상기 전하 저장층상에 형성된 콘트롤 게이트를 구비한다. 상기 전하 저장층은 전하 트래핑 구조를 갖는 제1막; 및 상기 제1막보다 높은 유전율과 낮은 에너지 레벨을 갖는 제2막을 구비하고, 상기 제1막과 제2막의 유전율을 변화시켜 상기 전하 저장층의 전기장을 제어하거나 전도대 에너지 준위를 조정할 수 있다.

대표도 - 도3

300



(52) CPC특허분류

H01L 29/40117 (2019.08)
H01L 29/4234 (2013.01)
H01L 29/66833 (2013.01)
H01L 2924/01008 (2013.01)
H01L 2924/0103 (2013.01)
H01L 2924/01031 (2013.01)
H01L 2924/01049 (2013.01)

(72) 발명자

성재영

세종특별자치시 대평로 34 해들마을4단지 420동
1202호

정준교

충청북도 청주시 서원구 모충로145번길 5-6

정병준

대전광역시 유성구 은구비로156번길 29-20

(56) 선행기술조사문헌

KR1020100055732 A*
KR1020140051331 A*
JP05121699 A
KR1020070094154 A
KR1020080030273 A
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 기판의 채널 영역상에 형성된 터널링 절연막;
 상기 터널링 절연막상에 형성된, 다층 구조를 갖는 전하 저장층;
 상기 전하 저장층상에 형성된 블록킹 절연막; 및
 상기 블록킹 절연막상에 형성된 콘트롤 게이트를 구비하며,
 상기 전하 저장층은
 전하 트랩핑 구조를 갖으며, 상기 터널링 절연막상에 형성된 제1막; 및
 상기 제1막보다 높은 유전율과 낮은 에너지 레벨을 갖으며, 상기 제1막상에 형성된 제2막을 구비하되,
 상기 제1막과 제2막의 유전율을 변화시켜 상기 전하 저장층의 전기장 제어 및 전도대 에너지 준위를 조정하는
 것을 특징으로 하는 플래시 메모리 소자.

청구항 2

제1항에 있어서, 제1막은 실리콘 질화막을 포함하고, 상기 제2막은 적어도 ZnO, Ga 및 In 으로 구성되는 IGZO 막을 포함하는 것을 특징으로 하는 플래시 메모리 소자.

청구항 3

제2항에 있어서, 상기 제1막은 상기 터널링 절연막과 상기 제2막사이에 형성된, 단일의 실리콘 질화막 또는 적층된 다수의 실리콘 질화막을 포함하는 것을 특징으로 하는 플래시 메모리 소자.

청구항 4

제3항에 있어서, 상기 제1막을 구성하는 다수의 실리콘 질화막은 서로 다른 유전율을 갖는 것을 특징으로 하는 플래시 메모리 소자.

청구항 5

제2항에 있어서, 상기 제2막은 상기 제1막과 상기 블록킹 절연막사이에 형성된, 단일의 IGZO 막 또는 적층된 다수의 IGZO 막을 포함하는 것을 특징으로 하는 플래시 메모리 소자.

청구항 6

제5항에 있어서, 상기 다수의 IGZO 막은 서로 다른 유전율을 갖는 것을 특징으로 하는 플래시 메모리 소자.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

터널링 절연막을 구비하는 반도체 기판을 제공하는 단계;

상기 터널링 절연막상에 전하 저장층의 하부 저장층을 형성하는 단계;

상기 하부 저장층상에 상기 전하 저장층의 상부 저장층을 형성하는 단계;

상기 상부 저장층상에 블록킹 절연막을 형성하는 단계; 및

상기 블록킹 절연막상에 콘트롤 게이트를 형성하는 단계를 포함하되,

상기 하부 저장층은 전하 트랩핑 구조를 갖으며, 상기 상부 저장층은 상기 하부 저장층보다 높은 유전율과 낮은 에너지 레벨을 갖으며,

상기 하부 저장층과 상기 상부 저장층의 형성시 상기 하부 저장층과 상부 저장층의 유전율을 변화시켜 전하 저장층의 전기장 제어 및 전도대 에너지 준위를 조정하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

청구항 13

제12항에 있어서, 상기 하부 저장층은 실리콘 질화막을 포함하고, 상기 상부 저장층은 IGZO 막을 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

청구항 14

제13항에 있어서, 상기 하부 저장층은 실리콘 질화막의 증착 전, 후 또는 증착중 온도 및 압력, 상기 실리콘 질화막에 도핑되는 물질 및 양, 그리고 상기 실리콘 질화막의 조성비를 변화시켜 유전율을 변화시키고,

상기 상부 저장층은 IGZO 막의 조성비의 변화를 변화시켜 유전율을 변화시키는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

청구항 15

제13항 또는 제14항에 있어서, 상기 하부 저장층을 형성하는 단계는 상기 터널링 절연막과 상기 상부 저장층사이에, 서로 다른 유전율을 갖는 다수의 실리콘 질화막을 순차적으로 적층 형성하는 것을 포함하고,

상기 상부 저장층을 형성하는 단계는 상기 하부 저장층과 상기 블록킹 절연막사이에, 서로 다른 유전율을 갖는 다수의 IGZO 막을 순차적으로 적층 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 소자에 관한 것으로서, 보다 상세하게는 전하 저장층의 전기장을 제어하거나 전도대 에너지 준위 조정을 포함하는 최적화를 통하여 성능이 향상된 플래시 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

- [0002] 일반적으로, 메모리 소자는 파워 오프되면 저장되어 있던 데이터가 지워지는 DRAM 또는 SRAM 과 같은 휘발성 메모리 소자와 전원 공급이 중단되었다고 저장되어 있던 데이터가 그대로 유지되는(retention) 비휘발성 메모리 소자로 구분된다. 비휘발성 메모리 소자로써는 대표적으로 플래시 메모리 소자가 있다.
- [0003] 도 1A는 통상적인 플래시 메모리 소자(100)의 단면도를 도시한 것이다. 도 1A의 플래시 메모리 소자(100)는 전하 저장층으로서 플로팅 게이트를 구비하는 플래시 메모리 소자이다.
- [0004] 도 1A를 참조하면, 일반적인 플래시 메모리 소자(100)는 반도체 기판(110)과상기 기판(110)상에 순차 적층된 절연막(120), 플로팅 게이트(130), 층간 절연막(140) 및 콘트롤 게이트(150)를 구비한다. 상기 반도체 기판(110) 내의 게이트 구조물의 양측에는 불순물 영역(160)이 형성된다. 상기 불순물 영역(160)은 소오스 및 드레인 영역으로 작용한다.
- [0005] 상기 절연막은 게이트 산화막으로서, 채널층으로부터 전하가 플로팅 게이트(130)로 터널링되는 터널링층으로 작용한다. 상기 플로팅 게이트(130)는 상기 게이트 절연막(120)을 통해 터널링되는 전하가 저장되는 층으로서, 도전막, 예를 들어 n⁺-도핑된 폴리실리콘막을 포함할 수 있다.
- [0006] 상기한 바와 같은 구조를 갖는 일반적인 플래시 메모리 소자(100)는 콘트롤 게이트(150)에 소정의 전압, 예를 들어, 프로그램 전압이 인가되면, 반도체 기판(110)으로부터 전하, 예를 들어, 전자(-)가 게이트 절연막(120)을 통해 플로팅 게이트(130)로 터널링되어 축적되므로써, 원하는 데이터를 프로그램하게 된다.
- [0007] 상기한 바와 같은 플로팅 게이트 구조를 갖는 플래시 메모리 소자(100)는 전하 저장층으로 도체인 도핑된 폴리실리콘막을 사용하므로, 도 1B에 도시된 바와 같이, 플래시 메모리 소자의 동작중에 등전위가 형성됨으로써 전하 저장층에 걸리는 전기장을 고려하지 않아도 된다.
- [0008] 그러나, 플로팅 게이트 구조를 갖는 플래시 메모리 소자는 고집적화가 급속히 진행됨에 따라 공정 난이도가 증가하고, 전기적 특성, 안정성 및 신뢰성의 열화 등으로, 소자 크기를 축소시키는 데 한계에 도달하였다.
- [0009] 이를 해결하기 위하여, 전하 저장층으로 고유전율을 갖는 실리콘 질화막(Si₃N₄)을 사용하는 SONOS 구조를 갖는 플래시 메모리 소자가 제안되었다.
- [0010] 도 2A는 일반적인 플래시 메모리 소자(200)의 단면도를 도시한 것이다. 도 2A의 플래시 메모리 소자(200)는 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 전하 트랩핑 구조를 갖는 플래시 메모리 소자이다.
- [0011] 도 2A를 참조하면, 일반적인 플래시 메모리 장치(200)는 반도체 기판(210), 예를 들어 P 형 기판(210)상에 ONO 구조물, 예를 들어, 산화막(220), 질화막(230), 산화막(240)이 순차 적층된다. 상기 반도체 기판(210)내의 ONO 구조물의 양측에는 불순물 영역, 예를 들어, N⁺형 불순물 영역(260)이 형성된다.
- [0012] 상기 산화막(220)은 박막의 터널링층으로서 채널층과 전하 저장층(230)간의 전하 터널링으로 작용하며, 상기 질화막(230)은 채널층으로부터 터널링된 전하가 트랩핑되는 전하 저장층(230)으로 작용하며, 상기 산화막(240)은 층간 절연막으로서 블록킹층으로 작용한다. 상기 ONO 구조물상에 콘트롤 게이트(250)로서 폴리 실리콘막이 형성된다.
- [0013] 상기 SONOS 구조를 갖는 플래시 메모리 소자는 콘트롤 게이트(250)에 소정의 전압, 예를 들어, 프로그램 전압이 인가되면, 반도체 기판(210)으로부터 전하, 예를 들어, 전자(-)가 터널링층(220)을 통해 전하 저장층(230)으로 터널링되어 트랩핑되며, 이로써 전하 저장층(230)에 트랩되어 원하는 데이터를 프로그램하게 된다.
- [0014] 상기와 같은 SONOS 구조를 갖는 플래시 메모리 소자의 경우에도 지속적인 고집적화로 인해 구조의 변화, 셀 간 격 및 적층 물질의 두께 감소에 따라 메모리 성능의 열화가 초래되었다.
- [0015] 또한, 상기 SONOS 구조를 갖는 플래시 메모리 소자의 경우에는 전하 저장층으로 부도체인 실리콘 질화막을 사용하므로, 프로그램을 위해 콘트롤 게이트에 양의 전압을 인가하게 되면, 도 2B에 도시된 바와 같이 전하 저장 공간인 전하 저장층(230)에 전기장이 형성되어 전자가 힘을 받게 된다. 즉, 프로그램 동작시, 전하 저장층(230)의 전압 강하에 따라 전자가 콘트롤 게이트쪽으로 이동하게 되며, 전하 저장 공간중 블록킹층(240)측으로 전자가 이동할 확률이 높아진다. 전하 저장 공간중 블록킹층(240)에 가까운 부분에 전하가 저장되면, 콘트롤 게이트(250)쪽으로 전하가 이동하는 백터널링(back tunneling) 현상이 일어나 프로그램 동작이 지연되거나 프로그램 동작이 충분히 이루어지지 않는 등 프로그램 동작의 실패를 초래하게 된다.
- [0016] 이러한 현상은 블록킹층의 두께가 감소할수록 더욱 더 심각해지며, 이에 따라 리텐션 모드에서의 전하 손실이

심화되는 등 전반적인 메모리 성능의 열화를 초래한다. 따라서, 전하 저장층(230)중 블록킹층(240)과 가까운 부분에 전하가 저장되는 경우가 전하 저장층(230)중 터널링막(220)에 가까운 부분에 전하가 저장되는 경우에 비하여 프로그램 속도, 프로그램 성공율, 프로그램 인가 전압 등에 더 큰 영향을 미치게 된다.

[0017] 그러므로, 플래시 메모리 소자의 구현시 전하 저장층의 물질에 따른 전기장의 변화를 고려하여 메모리 소자의 동작 특성을 개선하는 연구가 필요하게 되었다.

발명의 내용

해결하려는 과제

[0018] 본 발명은 전하 저장층의 전기장을 제어하거나 전도대 에너지 준위 조정을 포함하는 최적화를 통하여 메모리 성능을 향상시킬 수 있는 플래시 메모리 소자 및 그의 제조 방법을 제공하는 데 그 목적이 있다.

[0019] 본 발명은 전하 저장층의 유전율을 변화시켜 전기장의 크기를 제어함으로써 프로그램 및 소거 능력을 향상시킬 수 있는 플래시 메모리 소자 및 그의 제조 방법을 제공하는 데 그 목적이 있다.

[0020] 본 발명은 전하 저장층을 양호한 전하 트랩핑 능력을 갖는 물질과 에너지 레벨이 낮아 전하 저장에 유리한 물질의 다층막으로 구성하여, 전하 트랩핑 능력을 향상시킴과 동시에 유전체 기반의 전하 저장층에서의 전압 강하를 최소화하여 백 터널링을 억제할 수 있는 플래시 메모리 소자 및 그의 제조 방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0021] 본 발명의 플래시 메모리 소자는 반도체 기판의 채널 영역상에 형성된 터널링 절연막; 상기 터널링 절연막상에 형성된, 다층 구조를 갖는 전하 저장층; 상기 전하 저장층상에 형성된 콘트롤 게이트를 구비한다. 상기 전하 저장층은 전하 트랩핑 구조를 갖는 제1막; 및 상기 제1막보다 높은 유전율과 낮은 에너지 레벨을 갖는 제2막을 구비하되, 상기 제1막과 제2막의 유전율을 변화시켜 상기 전하 저장층의 전기장을 제어하거나 전도대 에너지 준위를 조정할 수 있다.

[0022] 제1막은 실리콘 질화막을 포함하고, 상기 제2막은 산화물 반도체막으로서 적어도 ZnO, Ga 및 In 으로 구성되는 IGZO 막을 포함할 수 있다. 상기 제1막은 단일의 실리콘 질화막 또는 적층된 다수의 실리콘 질화막을 포함하되, 상기 다수의 실리콘 질화막은 서로 다른 유전율을 가질 수 있다. 상기 제2막은 단일의 IGZO 막 또는 적층된 다수의 IGZO 막을 포함하되, 상기 다수의 IGZO 막은 서로 다른 유전율을 가질 수 있다. 상기 제1막은 상기 터널링 절연막상에 형성되고, 상기 제2막은 상기 제1막상에 형성될 수 있다.

[0023] 상기 전하 저장층은 상기 제2막상에 형성되는 제3막을 더 포함하되, 상기 제3막은 상기 제2막보다는 높은 에너지 레벨을 가질 수 있다. 상기 제3막은 제1막과 동일한 유전율을 갖는 실리콘 질화막 또는 제1막과 다른 유전율을 갖는 실리콘 질화막을 포함할 수 있다. 상기 제3막은 단일의 실리콘 질화막 또는 서로 다른 유전율을 갖는 적층된 다수의 실리콘 질화막을 포함할 수 있다.

[0024] 상기 제1막은 동일한 유전율을 갖는 다수의 실리콘 질화막 또는 서로 다른 유전율을 갖는 다수의 실리콘 질화막으로 구성되고, 상기 제2막은 동일한 유전율을 갖는 다수의 IGZO 막 또는 서로 다른 유전율을 갖는 다수의 IGZO 막으로 구성되며, 상기 다수의 실리콘 질화막과 상기 다수의 IGZO 막은 교대로 순차 적층되되, 상기 터널링 절연막상에는 실리콘 질화막이 형성되고, 상기 콘트롤 게이트 하부에는 IGZO 막이 형성될 수 있다.

[0025] 본 발명의 플래시 메모리 장치의 제조 방법은 터널링 절연막을 구비하는 반도체 기판을 제공하는 단계; 상기 전하 저장층의 하부 저장층을 형성하는 단계; 및 상기 하부 저장층상에 상기 전하 저장층의 상부 저장층을 형성하는 단계를 포함하되, 상기 하부 저장층과 상기 상부 저장층의 형성시 상기 하부 저장층과 상부 저장층의 유전율을 변화시켜 전하 저장층의 전기장을 제어하거나 전도대 에너지 준위를 조정할 수 있다.

[0026] 상기 하부 저장층은 실리콘 질화막의 증착 전, 후 또는 증착중 온도 및 압력, 상기 실리콘 질화막에 도핑되는 물질 및 양, 그리고 상기 실리콘 질화막의 조성비를 변화시켜 유전율을 변화시키고, 상기 상부 저장층은 IGZO 막의 조성비의 변화를 변화시켜 유전율을 변화시킬 수 있다.

발명의 효과

[0027] 본 발명의 실시예에 따르면, 플래시 메모리 소자의 전하 저장층에 형성되는 전기장을 제어하거나 전도대 에너지 준위 조정을 포함하는 최적화를 통하여 메모리 소자의 성능을 향상시킬 수 있다.

[0028] 또한, 플래시 메모리 소자의 유전체 기반의 전하 저장층을 구성하는 물질의 유전율을 변화시켜 전기장의 크기를 제어함으로써, 백 터널링 현상을 억제하고 이에 따라 프로그램 및 소거 능력을 향상시킬 수 있다.

[0029] 플래시 메모리 소자의 전하 저장층으로 전하 트랩핑 능력이 우수한 물질과 고 유전율의 에너지 레벨이 낮은 물질을 포함하는 다층막으로 구성하여 전하 저장 능력, 데이터 쓰기 및 소거 능력을 향상시킬 수 있다.

도면의 간단한 설명

[0030] 도 1A 및 도 1B는 일반적인 플로팅 게이트 구조를 갖는 플래시 메모리 소자의 단면 구조 및 에너지 밴드 다이어그램을 도시한 도면이다.

도 2A 및 도 2B는 일반적인 SONOS 구조를 갖는 플래시 메모리 소자의 단면 구조 및 에너지 밴드 다이어그램을 도시한 도면이다.

도 3은 본 발명의 실시예에 따른 플래시 메모리 소자의 단면도를 도시한 것이다.

도 4는 도 3에 도시된 플래시 메모리 소자의 다른 예를 나타내는 단면도를 도시한 것이다.

도 5는 본 발명의 다른 실시예에 따른 플래시 메모리 소자의 단면도를 도시한 것이다.

도 6A 및 도 6B는 도 5의 플래시 메모리 소자의 프로그램 및 소거 동작시 에너지 밴드 다이어그램을 도시한 것이다.

도 7은 본 발명의 또 다른 실시예에 따른 플래시 메모리 소자의 단면도를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0032] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

[0033] 도 3은 본 발명의 실시예에 따른 플래시 메모리 소자의 단면도를 도시한 것이다. 도 3을 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(300)는 반도체 기판(310), 예를 들어 P 형 기판(310)상에 터널링 절연막(320)이 형성된다. 상기 터널링 절연막(320)은 상기 반도체 기판(310)의 채널층과 전하 저장층(330)간의 전하 터널링층으로 작용하며, 예를 들어, 실리콘 산화막을 포함할 수 있다.

[0034] 상기 터널링 절연막(320)상에 전하 저장층(330)이 형성된다. 상기 전하 저장층(330)은 하부 저장층(331)과 상부 저장층(335)의 이층막으로 구성될 수 있다. 상기 상부 저장층(335)은 상기 하부 저장층(331)보다 낮은 에너지 레벨을 가지며 고유전율을 갖는 물질을 포함할 수 있다. 상기 하부 저장층(331)은 실리콘 질화막을 포함하고, 상기 상부 저장층(335)은 산화막을 포함할 수 있다.

[0035] 상기 상부 저장층(335)은 상기 하부 저장층(331)인 실리콘 질화막(331)보다 낮은 에너지 레벨을 가지며 고유전율을 갖는 산화막으로서, IGZO 막(335)을 포함할 수 있다. 상기 IGZO 막(335)은 적어도 ZnO, In, 및 Ga 로 구성될 수 있다. 예를 들어, 상기 실리콘 질화막(331)은 7의 유전율과 5.1의 밴드 갭을 가질 수 있으며, 상기 IGZO 막(335)은 8.75의 유전율과 3.2의 밴드 갭을 가질 수 있다.

[0036] 상기 실리콘 질화막(331)과 상기 IGZO 막(335)의 유전율은 상기 값에 한정되는 것이 아니라 상기 실리콘 질화막(331)과 상기 IGZO 막(335)의 두께 등을 고려하여 다양하게 변화시킬 수 있다. 상기 하부 저장층(331)은 실리콘 질화막의 증착 전, 후 또는 증착중 온도 및 압력, 상기 실리콘 질화막에 도핑되는 물질 및 양, 그리고 상기 실리콘 질화막의 조성비를 변화시켜 유전율을 변화시키고, 상기 상부 저장층(335)은 IGZO 막의 조성비의 변화를 변화시켜 유전율을 변화시킬 수 있다. 예를 들어, 상기 실리콘 질화막(331)은 Si 과 N의 조성비를 변화시켜 유전율을 변화시키거나 또는 나노 파티클 물질 또는 양을 변화시켜 상기 실리콘 질화막에 도핑하여 유전율을 변화시킬 수도 있다. 한편, IGZO 막(335)은 ZnO, In, 및 Ga 의 조성비를 변화시켜 원하는 유전율을 얻을 수 있다.

[0037] 상기 전하 저장층(330)상에 블록킹 절연막(340)이 형성되고, 상기 블록킹 절연막(340)상에 콘트롤 게이트(350)

가 형성된다. 상기 블록킹 절연막(340)은 실리콘 산화막을 포함하고, 상기 콘트롤 게이트(350)는 도핑된 폴리실리콘막, 예를 들어, N⁺-폴리 실리콘막을 포함할 수 있다. 콘트롤 게이트(350)를 구성하는 물질은 이에 한정되는 것이 아니라, 실시예에 따라 메탈 물질을 포함할 수도 있다. 상기 콘트롤 게이트(350) 양측의 기판(310)내에는 소오스/드레인용 불순물 영역(360), 예를 들어, N⁺ 불순물 영역(360)이 형성될 수 있으며, 상기 소오스/드레인용 불순물 영역(360)사이의 콘트롤 게이트(350) 하부의 반도체 기판(310)은 채널층으로 작용할 수 있다.

[0038] 상기 플래시 메모리 소자(300)는 콘트롤 게이트(350)에 소정의 전압, 예를 들어, 프로그램 전압이 인가되면, 반도체 기판(310)의 채널층으로부터 전하, 예를 들어, 전자(-)가 터널링층(320)을 통해 전하 저장층(330)으로 터널링되어 트랩핑되므로, 데이터가 프로그램된다. 이때, 상기 실리콘 질화막(331)의 에너지 레벨보다 상기 IGZO 막(335)의 에너지 레벨이 낮으므로, 채널층으로부터 터널링 절연막(320)을 통해 터널링되어 트랩된 전하들은 실리콘 질화막(331)의 트랩 사이트에 트랩핑될 뿐만 아니라 에너지 레벨이 낮은 IGZO 막(335)에 저장될 수 있다. 따라서, 전하 트랩핑 능력 및 전하 저장 능력이 향상되어 다량의 전자 저장에 유리하다. 또한, 리텐션 모드(retention mode)에서, 상기 실리콘 질화막(331)에 트랩된 전하의 유지에 유리하다.

[0039] 본 발명의 실시예에 따른 플래시 메모리 소자(300)에 있어서, 상기 하부 저장층(331)으로 사용되는 실리콘 질화막은 상기 상부 저장층(335)으로 사용되는 IGZO 막에 비하여 유전율이 낮지만 에너지 레벨이 높으므로, 전하 트랩핑에 유리한 구조를 가지므로, 상기 터널링 절연막(320) 측에 형성되는 것이 바람직하다. 상기 IGZO 막(335)은 실리콘 질화막(331) 보다는 전도대의 레벨이 낮으므로, 전하 저장층(330)에 트랩핑된 전하의 저장에 유리하므로, 상기 콘트롤 게이트(350) 측인 상기 실리콘 질화막(331)상에 형성되는 것이 바람직하다.

[0040] 도 4를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 소자(300a)의 전하 저장층(330a)은 도 3의 플래시 메모리 소자(300)의 단일의 실리콘 질화막으로 된 상기 하부 저장층(331)과 단일의 IGZO 막으로 된 상부 저장층(335)을 구비하는 전하 저장층(330)과는 달리, 상기 하부 저장층(331)은 서로 다른 유전율을 갖는 다층의 실리콘 질화막(331a, 331b, 331c)으로 구성되고, 상기 상부 저장층(335)은 서로 다른 유전율을 갖는 다층의 IGZO 막(335a, 335b, 335c)으로 구성될 수 있다.

[0041] 본 발명의 실시예에 따른 플래시 메모리 소자(300, 300a)는 전하 저장층이 전하 트랩핑 능력이 우수한 실리콘 질화막(331)과 고유전율의 에너지 레벨이 낮은 IGZO 막(335)의 다층 구조를 가지므로, 고유전율의 전하 트랩핑 능력 및 전하 저장 능력을 갖는 전하 저장층을 구현할 수 있다. 또한, 실리콘 질화막(331)과 IGZO 막(335)을 유전율이 서로 다른 다층막으로 구성하여 유전율 변화에 따른 전기장의 제어가 보다 용이한 전하 저장층을 구현할 수 있다.

[0042] 도 5는 본 발명의 다른 실시예에 따른 플래시 메모리 소자의 단면도를 도시한 것이다. 본 발명의 다른 실시예에 따른 플래시 메모리 소자(400)는 도 3의 플래시 메모리 소자(300)에 비해, 상기 전하 저장층(430)의 구성만이 상이하다.

[0043] 도 5를 참조하면, 상기 전하 저장층(430)은 하부 저장층(431), 중간 저장층(435) 및 상부 저장층(437)의 3층막으로 구성될 수 있다. 상기 하부 저장층(431)은 상기 터널링 절연막(420)과 상기 중간 저장층(435) 사이에 형성되는 전하 저장층이며, 상기 상부 저장층(437)은 상기 중간 저장층(435)과 블록킹층(440) 사이에 형성되는 전하 저장층이며, 상기 중간 저장층(435)은 상기 하부 및 상부 저장층(431), (437) 사이에 개재되는 전하 저장층일 수 있다.

[0044] 상기 하부 저장층(431)은 상기 중간 저장층(435)보다 높은 에너지 레벨을 가는 물질로 구성될 수 있다. 상기 상부 저장층(437)은 상기 중간 저장층(435)보다 높은 에너지 레벨을 갖는 물질로 구성될 수 있다. 상기 중간 저장층(435)은 상기 하부 및 상부 저장층(431), (437)보다 낮은 에너지 레벨을 가지며 고유전율을 갖는 물질을 포함할 수 있다.

[0045] 일 예로, 상기 하부 및 상부 저장층(431), (437)은 상기 중간 저장층(435)보다 높은 에너지 레벨을 갖되, 동일한 조성비를 갖는 물질, 예를 들어, 실리콘 질화막으로 구성될 수 있다. 다른 예로서, 상기 하부 및 상부 저장층(431), (437)은 상기 중간 저장층(435)보다 높은 에너지 레벨을 갖되, 서로 다른 조성비를 갖는 물질로 구성될 수 있다. 본 예에서, 상기 하부 및 상부 저장층(431), (437)은 서로 다른 조성비를 갖는 실리콘 질화막을 포함할 수 있다. 또 다른 예로서, 상기 하부 및 상부 저장층(431), (437)은 상기 중간 저장층(435)보다 높은 에너지 레벨을 갖되, 서로 다른 고유전 물질로 구성될 수 있다.

[0046] 상기 중간 저장층(435)은 상기 하부 및, 상부 저장층(431), (437)보다 높은 유전율과 낮은 에너지 레벨을 갖는 물질로 구성될 수 있다. 상기 중간 저장층(435)은 산화막, 예를 들어, IGZO 막을 포함할 수 있다. 상기 IGZO 막

(435)은 적어도 ZnO, In, 및 Ga 로 구성될 수 있다.

- [0047] 상기 플래시 메모리 소자(400)는 콘트롤 게이트(450)에 소정의 전압, 예를 들어, 프로그램 전압이 인가되면, 도 6A에 도시된 바와 같이 반도체 기판(410)의 채널층으로부터 전하, 예를 들어, 전자(-)가 터널링층(420)을 통해 전하 저장층(430)으로 터널링되어 트랩핑되므로, 데이터가 프로그램된다. 이때, 상기 IGZO 막(435)의 전도대의 에너지 레벨이 하부 및 상부 실리콘 질화막(431), (437)의 에너지 레벨보다 낮으므로, 채널층으로부터 터널링 절연막(420)을 통해 터널링되어 트랩된 전하들은 실리콘 질화막(431)의 트랩 사이트에 트랩되거나 에너지 레벨이 낮은 IGZO 막(435)의 전도대에 저장될 수 있다. 즉, 상기 하부 및 상부 실리콘 질화막(431), (437)사이의 에너지 레벨이 낮은 상기 IGZO 막(435)의 전도대에 다량의 전자가 저장될 수 있다.
- [0048] 리텐션 모드(retention mode)에서, 하부의 실리콘 질화막(431)의 양호한 전하 트랩핑 특성으로, 상기 하부 및 상부 실리콘 질화막(431), (437)에 트랩된 전하를 그대로 유지할 수 있다. 본 발명의 다른 실시예에서는 IGZO 막(435)가 상기 실리콘 질화막(431, 437)사이에서 개재되므로, 전하 트랩핑 능력 뿐만 아니라 전하 저장 능력을 보다 향상시킬 수 있다.
- [0049] 한편, 소거 모드에서는, 도 6B에 도시된 바와 같이, 전하 저장층(430)의 중간 저장층(435)의 전도대에 저장된 전자들이 하부 실리콘 질화막(431)으로의 이동이 용이하며, 이에 따라 전하 저장층(430)의 전자들이 터널링 절연막(420)을 통해 터널링되어 소거될 수 있다.
- [0050] 본 발명의 다른 실시예에 따른 플래시 메모리 소자(400)에 있어서, 상기 하부 및 상부 저장층(431), (437)으로 사용되는 실리콘 질화막은 상기 중간저장층(435)으로 사용되는 IGZO 막에 비하여 유전율이 낮지만 에너지 레벨이 높으므로, 전하 트랩핑에 유리한 구조를 가지므로, 상기 터널링 절연막(420)과 콘트롤 게이트(450) 측에 형성되는 것이 바람직하다. 상기 IGZO 막(435)은 전도대의 레벨이 실리콘 질화막(431), (437)보다는 낮으므로, 전하 저장층(430)에 트랩핑된 전하의 저장에 유리하므로, 상기 하부 실리콘막(431)과 상기 상부 실리콘 질화막(437)사이에서 개재되도록 형성되는 것이 바람직하다.
- [0051] 도 5를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 소자(400)의 전하 저장층(430)은 단일의 실리콘 질화막으로 된 상기 하부 및 상부 저장층(431), (437)과 단일의 IGZO 막으로 된 중간 저장층(435)을 구비하는 것을 개시하였으나, 도 4에 도시된 전하 저장층(330a)와 마찬가지로, 상기 하부 및 상부 저장층(431), (437) 각각은 서로 다른 유전율을 갖는 다층의 실리콘 질화막으로 구성되고, 상기 상부 저장층(435)은 서로 다른 유전율을 갖는 다층의 IGZO 막으로 구성될 수 있다. 이때, 상기 하부 저장층(431)을 구성하는 다층막의 수 및 유전율은 상기 상부 저장층(437)을 구성하는 다층막의 수 및 유전율과는 서로 동일하거나 또는 서로 상이할 수 있다.
- [0052] 도 7은 본 발명의 또 다른 실시예에 따른 플래시 메모리 소자의 단면도를 도시한 것이다. 본 발명의 또 다른 실시예에 따른 플래시 메모리 소자(500)는 도 3 내지 도 5의 플래시 메모리 소자(300), (300a), (400)에 비해, 상기 전하 저장층(530)의 구성만이 상이하다.
- [0053] 도 7을 참조하면, 상기 전하 저장층(530)은 하부 저장층(531)과 상부 저장층(535)의 다층막으로 구성될 수 있다. 예를 들어, 하부 저장층(531)은 다수의 실리콘 질화막(531a, 531b, 531c)으로 구성되고, 상기 상부 저장층(535)은 다수의 IGZO 막(535a, 535b, 535c)으로 구성되며, 상기 다수의 실리콘 질화막(531a, 531b, 531c)과 상기 다수의 IGZO 막(535a, 535b, 535c)은 교대로 순차적으로 적층 배열될 수 있다.
- [0054] 도 7에는 하부 저장층의 다층막(531a, 531b, 531c)과 상부 저장층의 다층막(535a, 535b, 535c)이 순차 적층되는 것으로 도시하였으나, 상기 전하 저장층(530)을 구성하는 다층막중 터널링 절연막(520)상에 직접 형성되는 최하부막과 콘트롤 게이트(550) 하부에 형성되는 최상부막은 전하 트랩핑 특성이 좋고 높은 에너지 레벨을 갖는 실리콘 질화막이 형성되고, 상기 실리콘 질화막들(531a, 531b, 531c)사이에는 고 유전율의 낮은 에너지 레벨을 갖는 IGZO 막이 개재되는 것이 바람직할 수 있다.
- [0055] 상기 하부 저장층(531)을 구성하는 다수의 실리콘 질화막(531a, 531b, 531c)은 서로 동일한 조성비를 갖는 실리콘 질화막 또는 서로 다른 조성비를 갖는 실리콘 질화막을 포함할 수 있다. 상기 다수의 실리콘 질화막(531a, 531b, 531c)사이에서 배열되는 상기 상부 저장층(535)을 구성하는 IGZO 막(535a, 535b, 535c)은 서로 동일한 조성비를 갖는 IGZO 막 또는 서로 다른 조성비를 갖는 IGZO 막을 포함할 수 있다.
- [0056] 상기 플래시 메모리 소자(500)는 콘트롤 게이트(550)에 소정의 전압, 예를 들어, 프로그램 전압이 인가되면, 도 6A와 마찬가지로 반도체 기판(510)의 채널층으로부터 전하, 예를 들어, 전자(-)가 터널링층(520)을 통해 전하 저장층(530)으로 터널링되어 트랩핑되므로, 데이터가 프로그램된다. 이때, 다수의 실리콘 질화막들(531a, 531b, 531c) 사이에 배열되는 상기 IGZO 막들(535a, 535b, 535c)의 전도대의 에너지 레벨이 다수의 실리콘 질화막

(531a, 531b, 531c)보다 낮으므로, 채널층으로부터 터널링 절연막(520)을 통해 터널링되어 트랩된 전하들은 다수의 실리콘 질화막들(531a, 531b, 531c)의 트랩 사이트에 트랩될 뿐만 아니라 에너지 레벨이 낮은 다수의 IGZO 막들(535a, 535b, 535c)의 전도대에 저장된다.

[0057] 리텐션 모드(retention mode)에서, 하부 실리콘 질화막(531)의 양호한 전하 트랩핑 특성으로, 상기 하부 전하 저장층(531)을 구성하는 다수의 실리콘 질화막(531a, 531b, 531c)에 트랩된 전하를 그대로 유지할 수 있다. 또한, 본 발명의 다른 실시예에서도 상부 전하 저장층(535)을 구성하는 다수의 IGZO 막(535a, 535b, 535c)가 상기 다수의 실리콘 질화막(531a, 531b, 531c)사이에서 개재되므로, 전하 트랩핑 능력 뿐만 아니라 전하 저장 능력을 보다 향상시킬 수 있다.

[0058] 한편, 소거 모드에서는, 도 6B와 마찬가지로, 전하 저장층(530)의 IGZO 막들(535a, 535b, 535c)의 전도대에 저장된 전자들이 다수의 실리콘 질화막(531a, 531b, 531c)으로 순차적으로 이동하므로, 이에 따라 전하 저장층(530)의 전자들이 터널링 절연막(520)을 통해 터널링되어 소거될 수 있다.

[0059] 상기와 같은 본 발명의 실시예에 따르면, 전하 저장층을 수한 트랩핑 능력과 높은 에너지 레벨을 갖는 하부 물질과 상기 하부 물질보다 높은 유전율과 낮은 에너지 레벨을 갖는 상부 물질로 된 다층막으로 구성하여, 전하 저장층의 전기장을 제어하거나 전도대 에너지 준위 조정을 포함하는 최적화를 통하여 메모리 소자의 성능을 향상시킬 수 있다.

[0060] 또한, 다층막중 터널링 절연막 측에 배열되는 최하부막은 전하 트랩핑 능력이 우수한 실리콘 질화막으로 구성하고, 상기 게이트 전극 측에 인접하도록 상기 최하부막상에는 상기 실리콘 질화막보다는 높은 유전율과 낮은 에너지 레벨을 갖는 IGZO 막으로 구성하여, 전하 저장층을 감소시켜 전기장을 용이하게 컨트롤할 수 있다. 그러므로, 채널층으로부터 터널링 절연막을 통해 터널링된 전하들(예를 들어, 전자들)이 우수한 전하 트랩핑 능력을 갖는 실리콘 질화막에 트랩됨과 동시에 전도대 에너지 레벨이 낮은 IGZO 막에 전하를 저장할 수 있으므로, 다량의 전하들의 저장이 가능하며, 데이터 유지에 유리하다. 따라서, 플래시 메모리 소자의 전하 저장 능력 및 데이터 쓰기 및 소거 능력을 향상시킬 수 있다.

[0061] 본 발명의 실시예는 전하 저장층이 실리콘 질화막과 IGZO 막으로 구성되는 것을 개시하였으나, 이에 반드시 한정되는 것이 아니라 하부 저장층으로 전하 트랩핑 능력이 우수한 고유전율의 물질과 상부 저장층으로 상기 하부 저장층보다 에너지 레벨이 낮은 고 유전율의 물질로 구성될 수 있다. 또한, 본 발명의 실시예를 2 dimensional (2D) 플래시 메모리 소자의 전하 저장층에 한정하여 설명하였으나, 3D 플래시 메모리 소자 뿐만 아니라 전하 저장층을 갖는 다양한 반도체 소자 또는 디스플레이 소자 등에 적용될 수 있다. 또한, 전하 저장층을 구성하는 물질의 변경없이, 전하 저장층의 유전율을 변화시켜 줄 수 있으므로, 전하 저장층의 유전율의 컨트롤이 필요한 분야에 적용 가능하다.

[0062] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

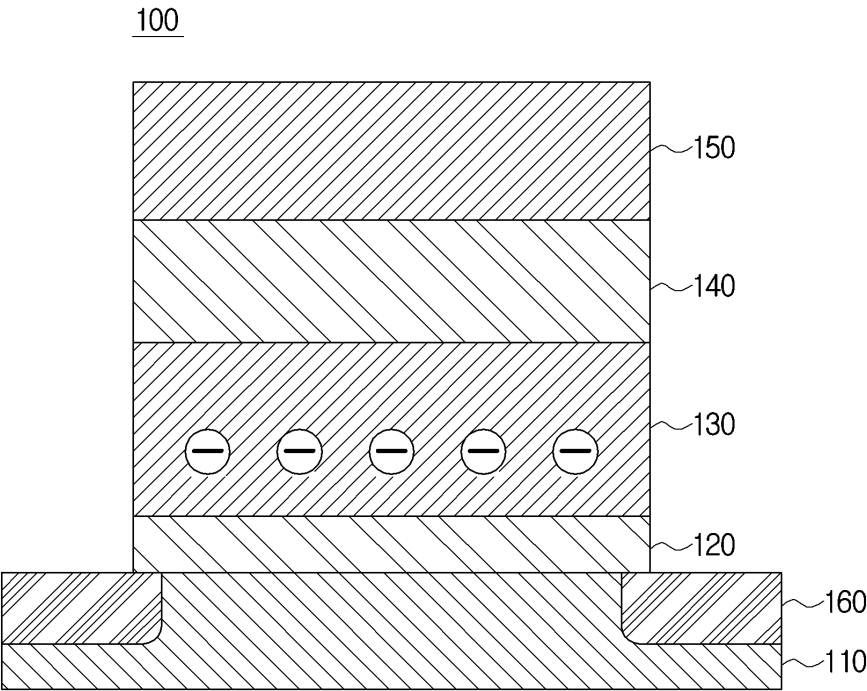
부호의 설명

[0063] 300, 400, 500: 플래시 메모리 소자
310, 420, 510: 반도체층
320, 420, 520: 터널링 절연막
330, 430, 530: 전하 저장층
331, 331a-331c, 431, 437, 531, 531a-531c: 실리콘 질화막
335, 335a-335c, 435, 535, 535a-535c: IGZO 막
340, 440, 540: 블록킹층
350, 450, 550: 컨트롤 게이트

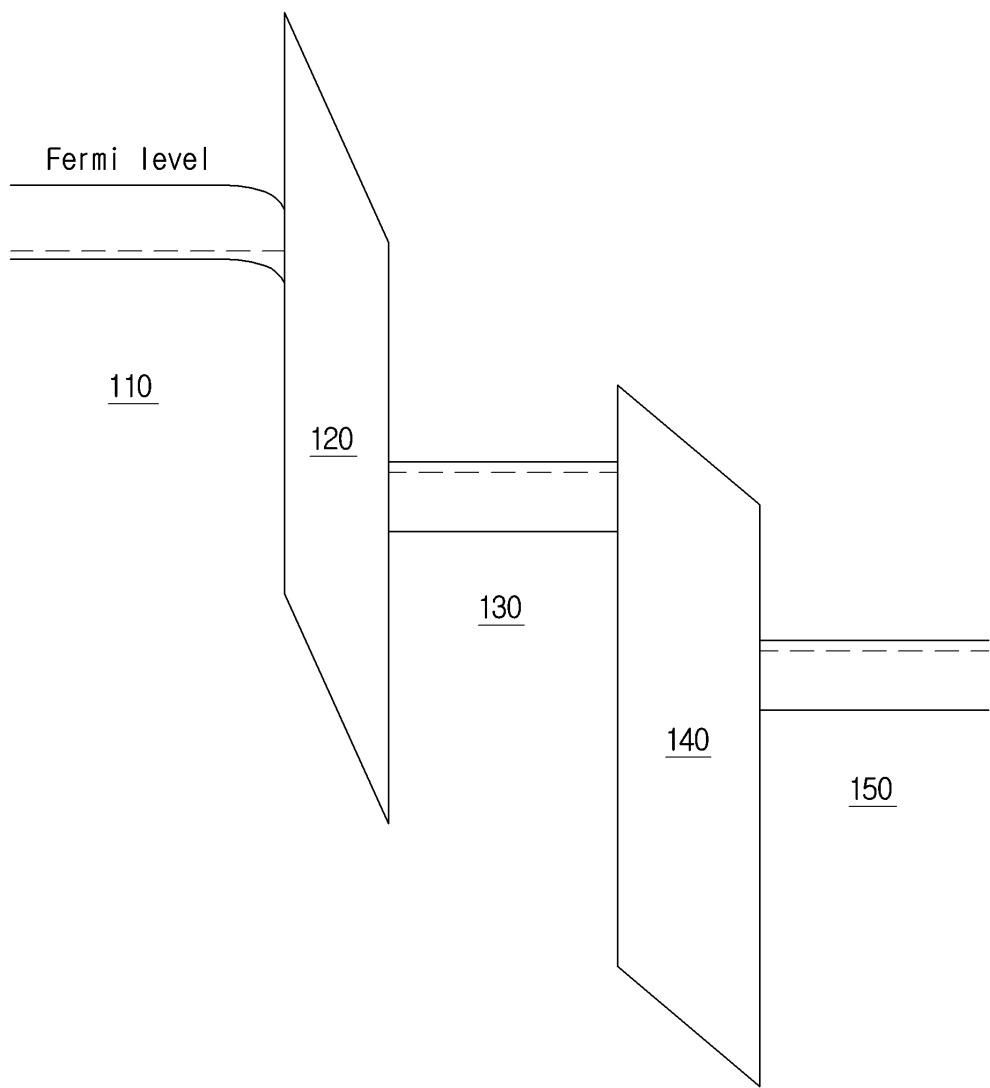
360, 460, 560: 불순물 영역

도면

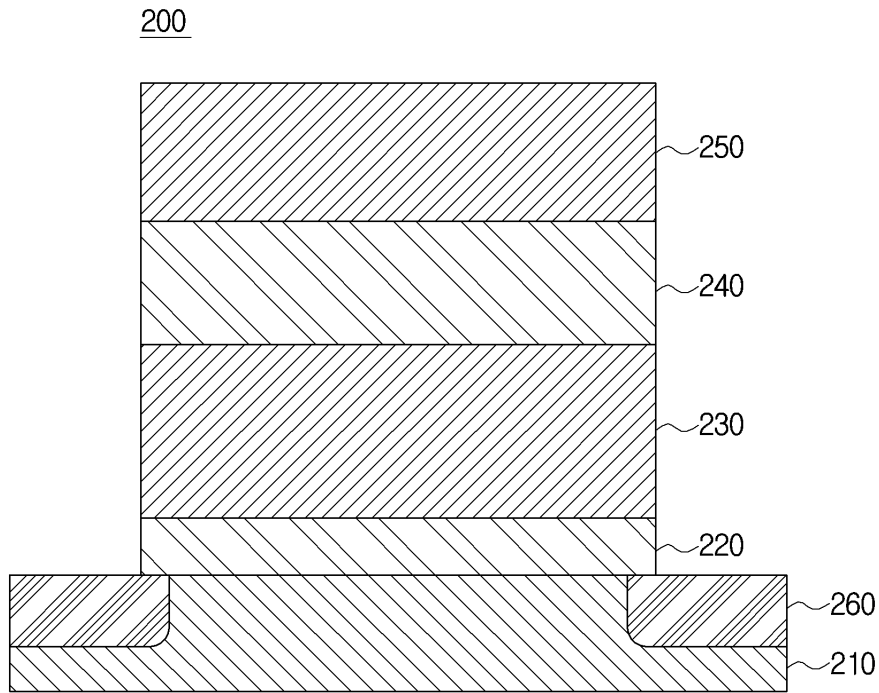
도면1a



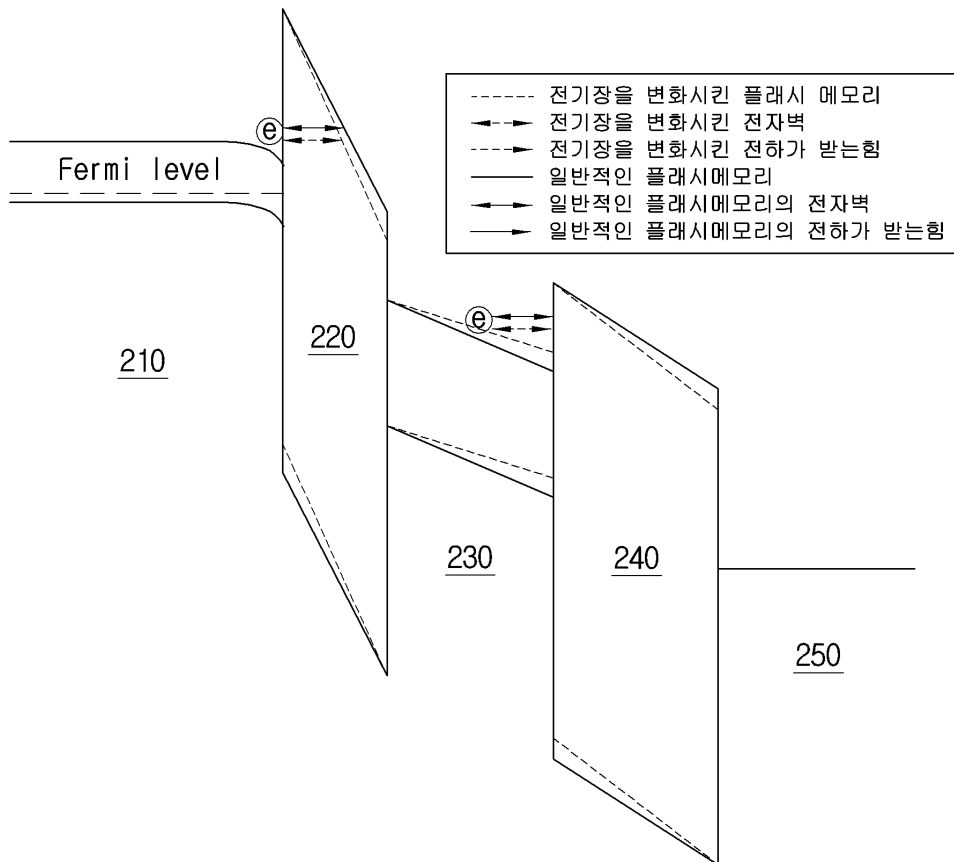
도면1b



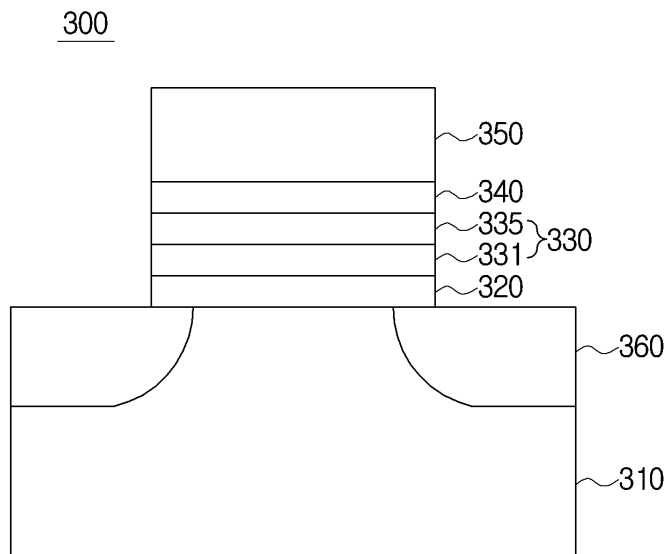
도면2a



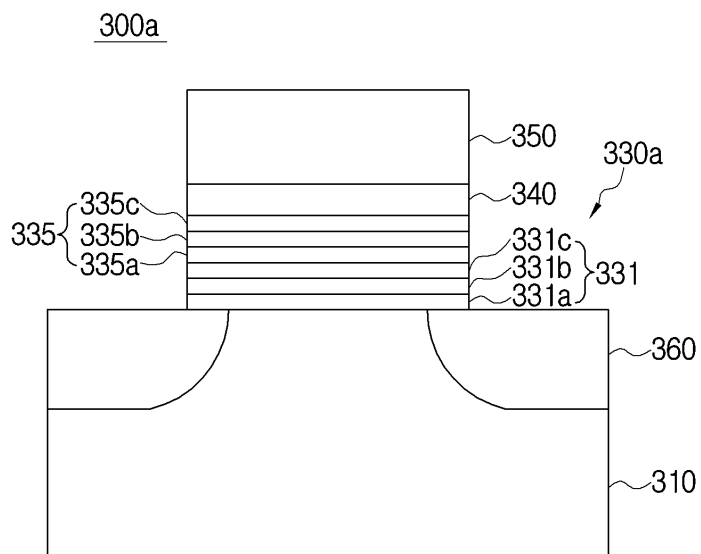
도면2b



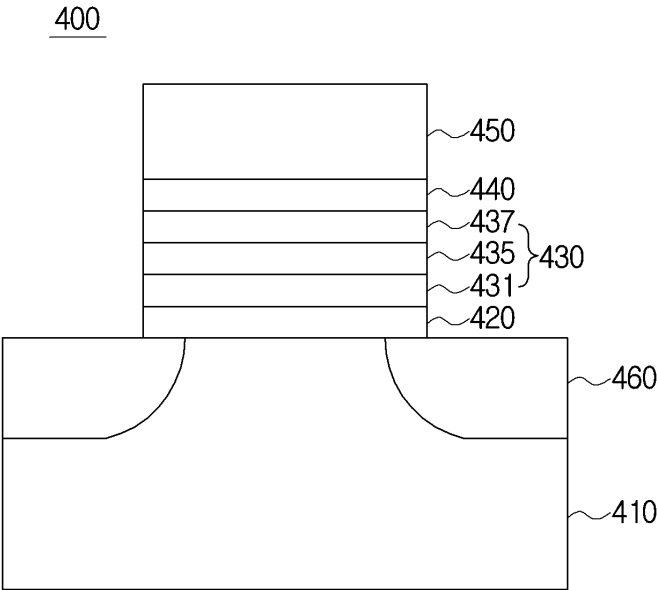
도면3



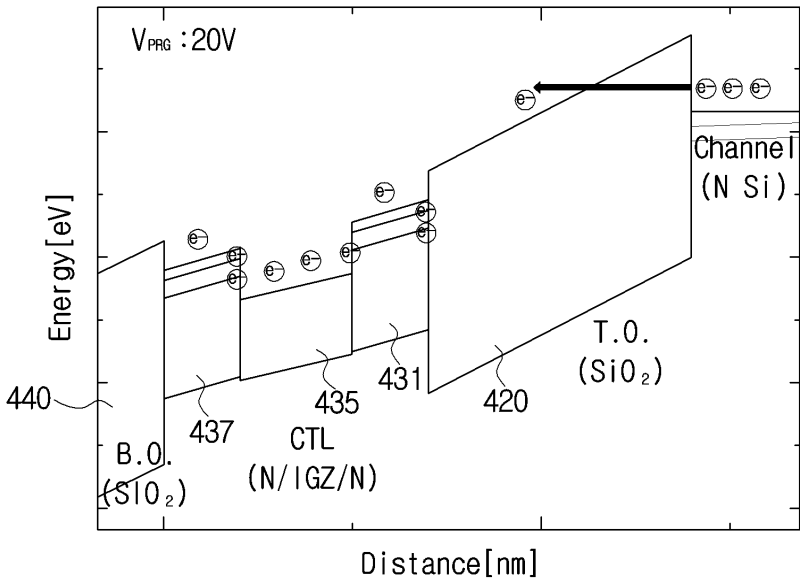
도면4



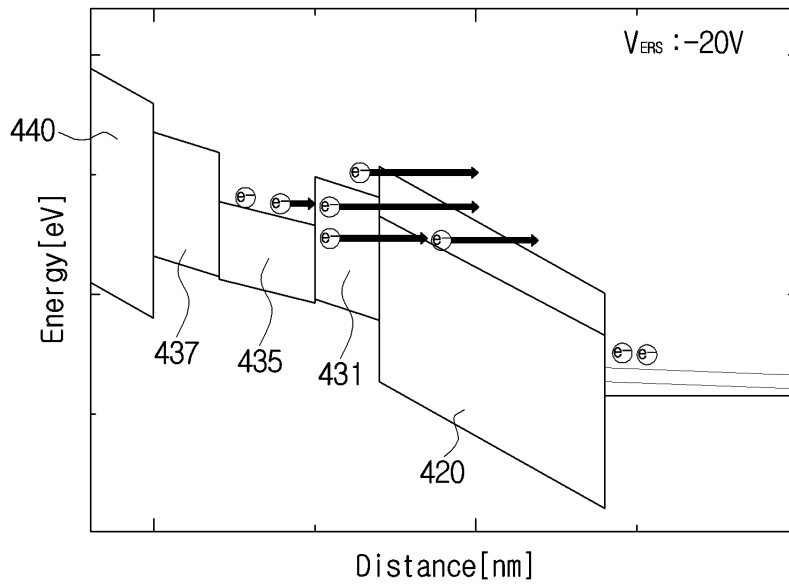
도면5



도면6a



도면 6b



도면7

500

